

Зміст

Зміст.....	1
Вступ	2
1. Огляд методів логічного моделювання.....	3
2. Опис алгоритму логічного моделювання.....	5
3. Розробка системи.....	7
3.1 Опис функціоналу програми	7
Список літератури.....	15

					ІАЛЦ. 462637.003 ПЗ				
Зм.	Лис	№	Підпис	Дат	Пояснювальна записка				
Виконав		Бас А. В.							
Перевір		Чебаненко							
Н.									
Затвер									
					Лит.	Лис	Листо		
					Т	1	15		
					НТУУ «КПІ», ФІОТ, група ІО-22				

Вступ

Широке поширення радіоелектронних пристроїв із застосуванням цифрової обробки сигналів обумовлює підвищений інтерес до питань діагностування їх технічного стану.

Однією з різновидів діагностування цифрових вузлів і блоків є тестове діагностування, застосування якого на етапі проектування і виготовлення цифрових вузлів дозволяє визначити правильність їх функціонування. При розробці тестової діагностики виникає складність у визначенні еталонних реакцій при тестуванні існуючих схем і оптимального числа контрольних точок для зняття вихідних реакцій діагностується цифрової схеми. Це можна зробити або створюючи прототип розробляється цифрового пристрою і проводячи його діагностику апаратурними методами, або здійснюючи моделювання на ЕОМ як цифрового пристрою, так і процесу діагностики. Найбільш раціональним є другий підхід, який передбачає створення автоматизованих систем, що дозволяють виробляти діагностику цифрових схем на стадії проектування. Одними з таких систем є системи логічного моделювання.

Мета логічного моделювання полягає в тому, щоб виконати функцію проектованої схеми без її фізичної реалізації. Перевірка на правильність моделювання може бути різною в залежності від рівня подання цифрової схеми в ЕОМ. Якщо, наприклад, здійснюється перевірка тільки значень логічної функції на виході схеми, то досить представити схему на рівні логічних елементів. Для того щоб перевірити стану сигналів в схемі, необхідно точно описати затримки спрацьовування всіх елементів в умовах синхронізації.

У даній роботі розглядається логічне моделювання схем за допомогою подієвого алгоритму (ЛІД-модель елементів).

1. Огляд методів логічного моделювання

Відносно асинхронних моделей можливі два методи логічного моделювання - покроковий (інкрементний) і подієвий [2].

У покроковому методі час дискретизується і обчислення за виразами моделі виконуються в дискретні моменти часу t_0, t_1, t_2, \dots і т. д. Крок дискретизації обмежений зверху значенням допустимої похибки визначення затримок і тому виявляється досить малим, а час аналізу - значним.

Для скорочення часу аналізу використовують подієвий метод. У цьому методі подією називають зміну будь-якої змінної моделі. Подієве моделювання ґрунтується на наступному правилі: звернення до моделі логічного елемента відбувається тільки в тому випадку, якщо на входах цього елемента відбулася подія. У складних логічних схемах на кожному такті синхронізації зазвичай відбувається перемикання всього лише 2 ... 3% логічних елементів, і відповідно в подієвому методі в кілька разів зменшуються обчислювальні витрати в порівнянні з покроковим моделюванням.

Методи аналізу синхронних моделей представляють собою методи вирішення систем логічних рівнянь. До цих методів належать метод простих ітерацій і метод Зейделя, які аналогічні однойменним методам вирішення систем алгебраїчних рівнянь в безперервної математики.

При використанні методу простих ітерацій в початковому стані задають початкові (можна довільні) значення проміжних і вихідних змінних. Новий стан має відповідати зазначеним у таблиці змінилися значенням вхідних сигналів. Обчислення закінчуються, якщо на черговій ітерації змін змінних немає.

Згідно з методом простих ітерацій, в праві частини рівнянь моделі на кожній ітерації підставляють значення змінних, отримані на попередній ітерації. На відміну від цього в методі Зейделя, якщо у деякої змінної оновлено значення на поточній ітерації, саме його і використовують у подальших обчисленнях вже на поточній ітерації. Метод Зейделя дозволяє скоротити число ітерацій, але для цього потрібно попередньо упорядкувати рівняння моделі так, щоб послідовність обчислень відповідала послідовності проходження сигналів по схемі. Таке впорядкування виконують за допомогою ранжирування.

Ранжування полягає в присвоєнні елементів і змінним моделі значень рангів відповідно до наступних правил: 1) в схемі розриваються всі контури зворотного зв'язку, що призводить до появи додаткових входів схеми (псевдовходов); 2) всі зовнішні змінні (в тому числі на псевдовходах) отримують ранг 0; 3) елемент і його вихідні змінні отримують ранг до, якщо у елемента всі входи проранжовано і старший серед рангів входів дорівнює до - 1.

Для скорочення обсягу обчислень в синхронному моделюванні можливе використання подієвого підходу. Звернення до моделі елемента відбувається, тільки якщо на його входах відбулася подія.

2. Опис алгоритму логічного моделювання

У даній роботі для реалізації системи логічного моделювання використовувався подієвий алгоритм моделювання логічних схем (ЛІД-модель елементів).

Основною властивістю подієвого алгоритму є те, що на кожному кроці виконується моделювання роботи не всієї множини елементів схеми, а тільки тих елементів, у яких змінився хоча б один вхідний сигнал і, отже, може змінитися вихідний сигнал. Моделювання, при якому використовується модель, яка не враховує тимчасових характеристик, називається аналітично-статичною (Л-модель). Модель, будь-який елемент якої можна уявити функціональним і динамічним блоками, враховує тимчасові характеристики і називається логічно-динамічною (ЛІД-модель). Модель, що враховує динамічні і інерційні властивості елементів називається динамічно-інерційною (ЛІД-модель). У даній роботі використовується ЛІД-модель елементів.

Реалізація подієвого алгоритму вимагає наявності Таблиці Майбутніх Станів (ТБС), Таблиці Поточних Станів (ТТС) і лічильника системного часу (ССВ). У ТБС заносяться номери елементів, на входах яких змінилися сигнали. На кожному кроці елементу ставиться момент часу T можливої зміни сигналу на виході елемента, який визначається сумою ССВ, значенням динамічної та інерційної затримки елемента. Таблиця Поточних Станів (ТТС) містить номери елементів, для яких виконується розрахунок вихідних сигналів на даному етапі.

Початкове значення ССВ дорівнює 0. Потім подаються нульові сигнали, і виконується моделювання схеми за алгоритмом простої ітерації. Після цього подається набір вхідних сигналів, і в ТБС

заносяться номери елементів, на які надійшли сигнали. На кожному наступному кроці з ТБС в ТТС переносяться номери тих елементів, T яких мінімальне, і виконується розрахунок вихідних сигналів всіх елементів з ТТС. Якщо вихідний сигнал елемента змінив своє значення, то в ТБС заносяться номери всіх елементів, на входи яких подається цей сигнал.

Ітерації для заданого набору закінчуються, коли ТБС порожня або ССВ перевищив значення $ССВ_k + T_{max}$. T_{max} дорівнює затримці найдовшого ланцюжка елементів.

Блок-схема використаного алгоритму приведена в Додатку А.

3. Розробка системи

3.1 Опис функціоналу програми

При запуску програми користувачеві відображається головний екран програми. Рис 3.1.

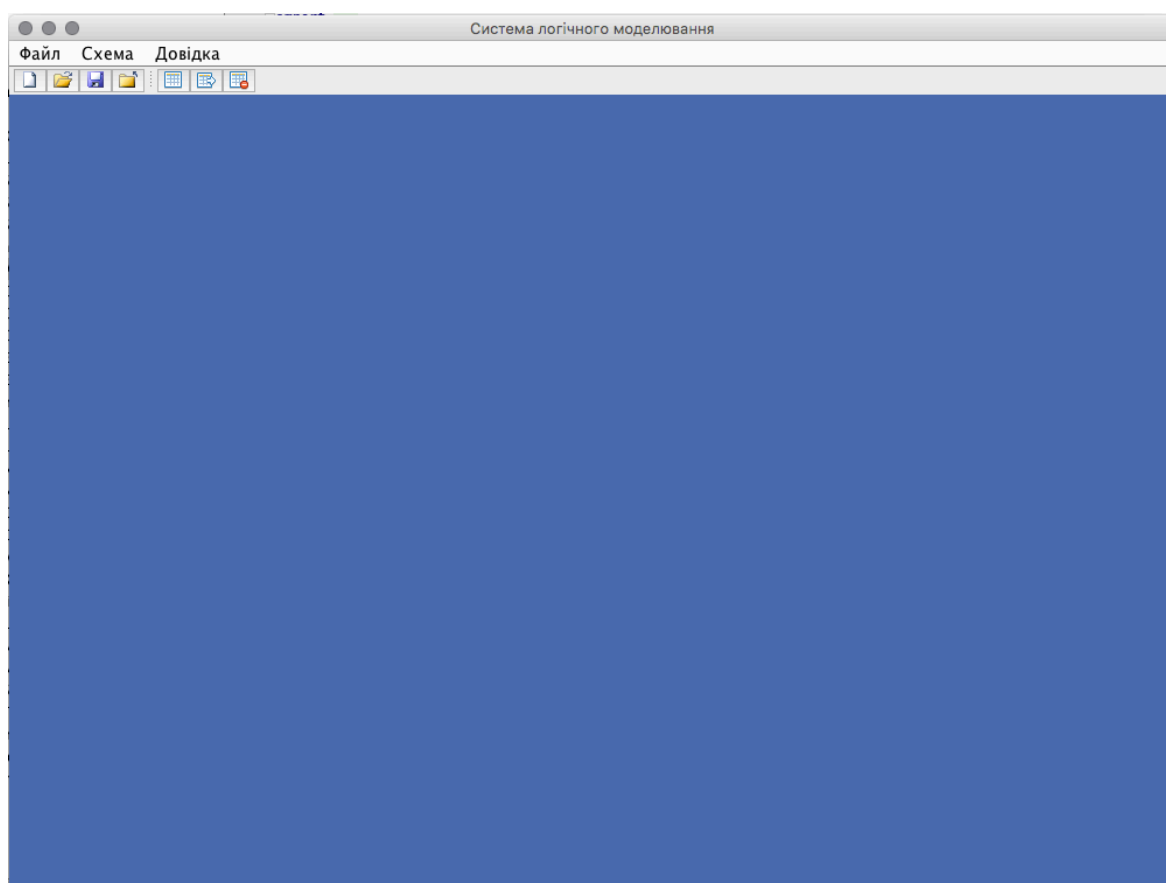


Рис. 3.1 – Головне вікно програми

Головне вікно містить головне меню і головну панель інструментів. Програма дає можливість працювати з великою кількістю схем одночасно, тому що підтримує інтерфейс MDI, і кожна схема має свій фрейм всередині головного вікна.

Для створення нової схеми можна скористатися пунктом головного меню «Файл» -> «Новий ...», комбінацією клавіш Ctrl-N або кнопкою на панелі інструментів. Після цього на екрані з'явиться діалогове вікно

Зм.	Лис	№ докум.	Підпис	Дата

ІАЛЦ. 463627.003 ПЗ

Лист

7

для вказівки налаштувань відображення схеми, яка зображена на Рис 3.2.

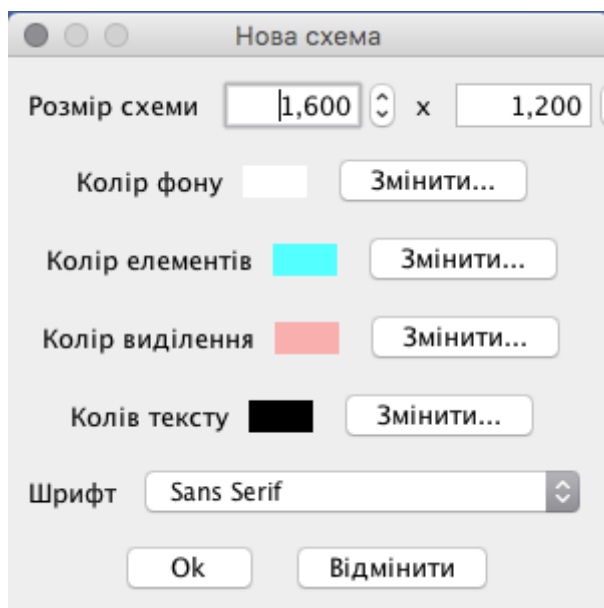


Рис. 3.2 – діалогове вікно вибору налаштувань

Після цього в робочій області головного вікна програми відкривається фрейм для роботи зі схемою, який зображений на рисунку 3.3.

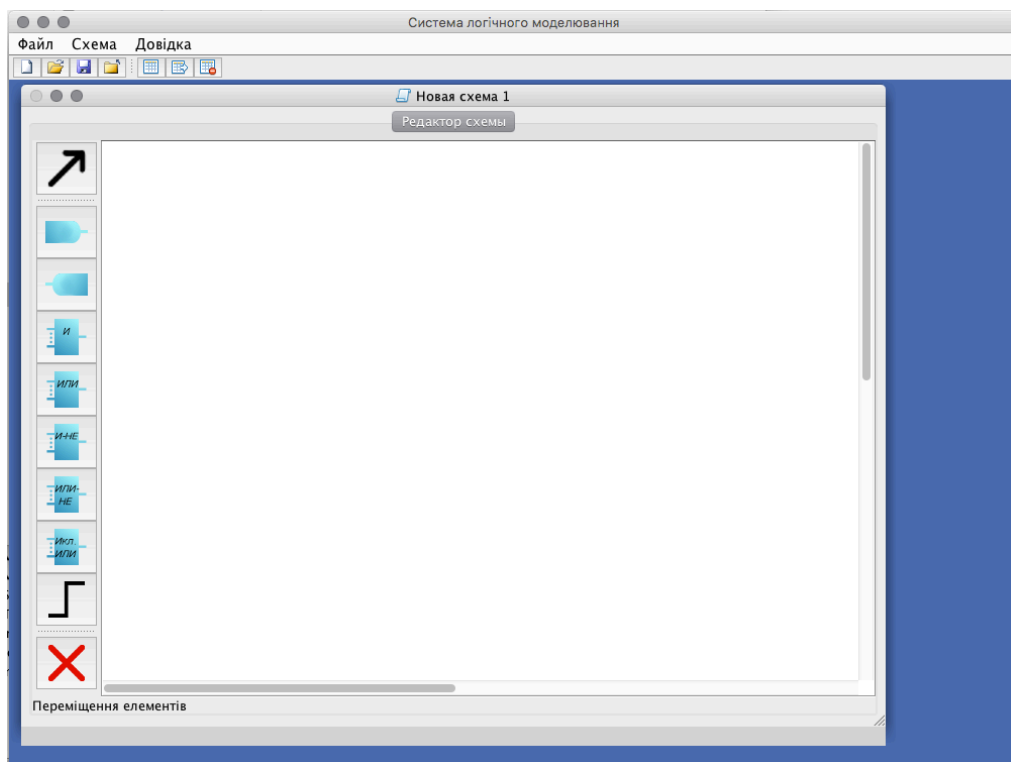


Рис. 3.3 – Головне вікно програми з фреймом для редагування схеми

Зліва у внутрішньому фреймі знаходиться панель інструментів для введення схеми. За допомогою кнопок цієї панелі можна вибрати необхідну дію. Безпосередньо сам введення проводиться за допомогою миші в робочій області редактора схем з підтримкою механізму drag'n'drop. Щоб додати елемент на схему необхідно вибрати необхідний елемент на панелі інструментів і клікнути на робочій області. Після цього з'явиться діалогове вікно для введення параметрів елемента (рис. 3.4).

Додавання елемента I	
Ім'я елемента	<input type="text"/>
Ітераційна затримка	<input type="text" value="0"/> ↑ ↓
Динамічна затримка	<input type="text" value="0"/> ↑ ↓
Кількість входів	<input type="text" value="2"/> ↑ ↓
OK	Відмінити

Рис. 3.4 – Діалогове вікно для введенні параметрів елемента

Для з'єднання елементів необхідно вибрати таку дію на панелі інструментів, натиснути клавішу миші на вході / виході елемента і тягнути миша до виходу / входу необхідного елемента. Можливі з'єднання будуть підсвічуватися.

Для видалення елемента необхідно вибрати таку дію на панелі інструментів і клікнути на елементі і підтвердити дану дію в діалоговому вікні.

Для збереження схеми можна скористатися пунктом головного меню «Файл» -> «Зберегти», комбінацією клавіш Ctrl-S або кнопкою на головній панелі інструментів. Схема зберігається в XML-файл. Для відкриття раніше створеної схеми необхідно скористатися пунктом головного меню «Файл» -> «Відкрити ...», комбінацією клавіш Ctrl-O або кнопкою на головній панелі інструментів. Закрити схему можна за допомогою пункту головного меню «Файл» ->

«Закрити», комбінації клавіш *Ctrl-W* або кнопки на головній панелі інструментів.

Приклад створеної схеми приведений на рисунку 3.6.

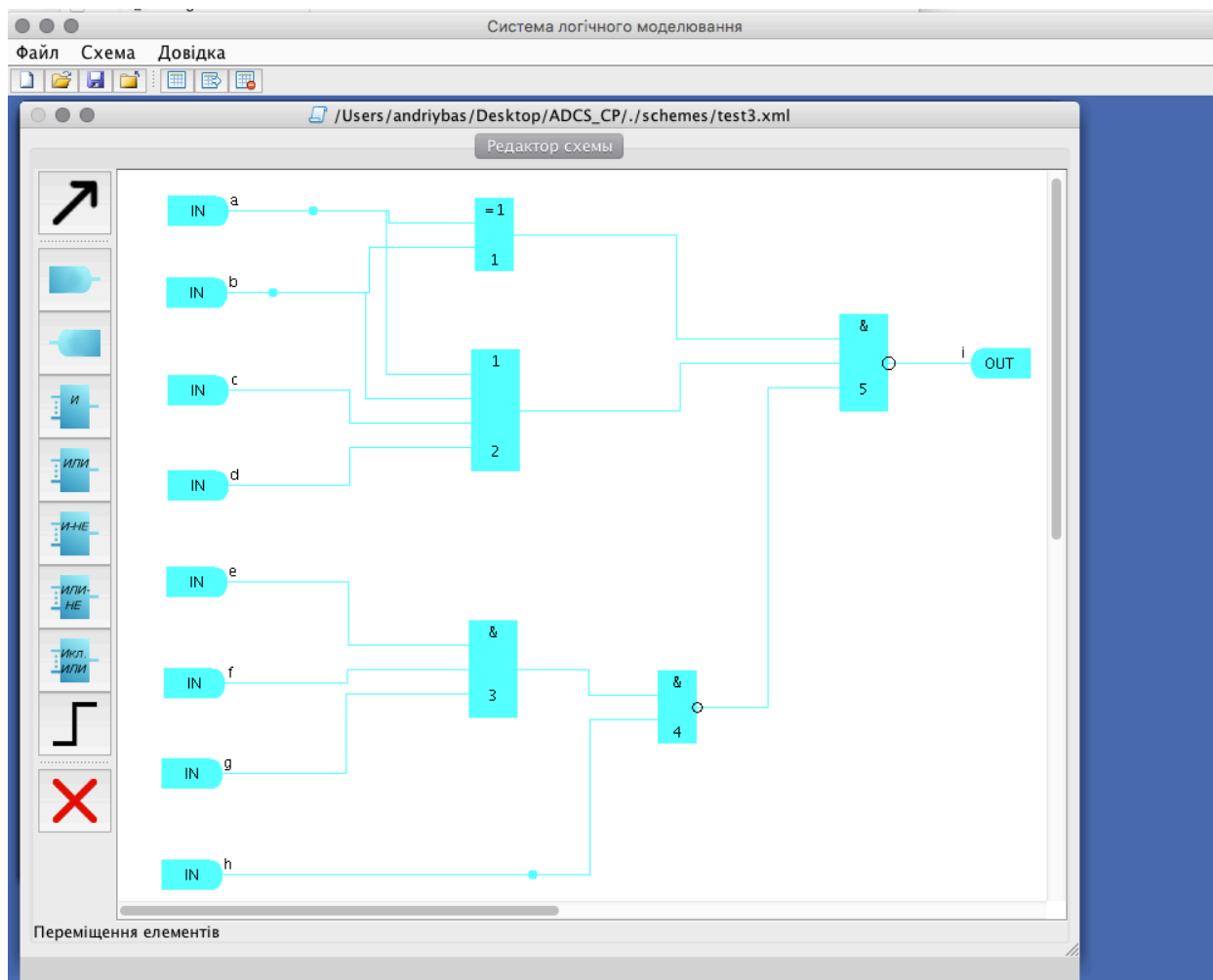


Рис. 3.6 – Приклад схеми

Для перегляду матриці зв'язків між елементами схеми необхідно скористатися пунктом головного меню «Схема» -> «Матриця зв'язності», комбінацією клавіш *Ctrl-Shift-M* або кнопкою на головній панелі інструментів. При цьому матриця буде виведена в новій вкладці в фреймі схеми. Матриця зв'язків між елементами схеми для схеми на рис. 3.6 приведена на малюнку 3.7.

Система логічного моделювання

ФайлСхемаДовідка

</

Рис. 3.7 – Матриця зв'язей между елементами схеми с рис.3.6

Для переходу в режим моделювання потрібно використовувати пункт головного меню «Схема» -> «Моделювання», комбінацію клавіш *Ctrl-M* або кнопку на головній панелі інструментів. При цьому зміна схеми стає неможливим. Щоб відредагувати схему потрібно вийти з режиму моделювання. Зробити це можна за допомогою пункту головного меню «Схема» -> «Редагувати схему», комбінації клавіш *Ctrl-E* або кнопки на головній панелі інструментів.

При переході в режим моделювання для управління моделюванням і виведення результатів відкриється нова вкладка в фреймі схеми (рис. 3.8). Вгорі знаходиться панель управління

моделювання. Нижче знаходяться таблиця і тимчасова діаграма для виведення результатів.

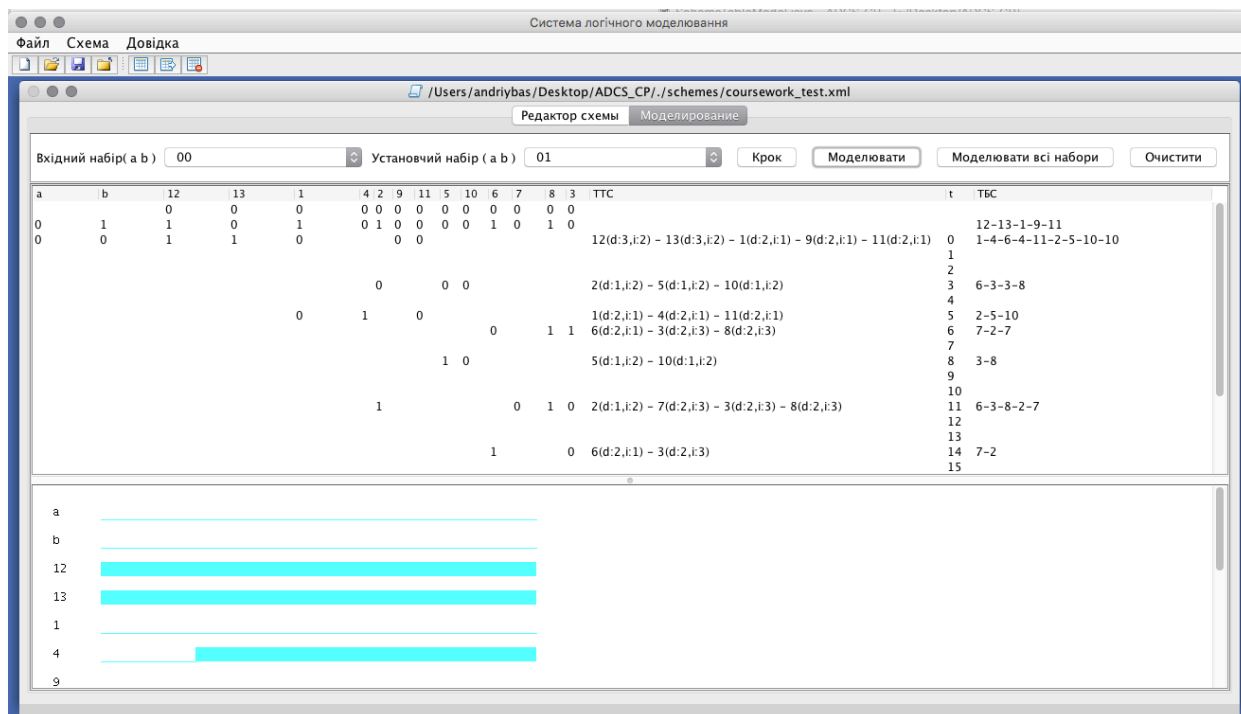


Рис. 3.8 – Вкладка режиму моделювання

Для початку моделювання необхідно вибрати зі списку інсталяційний вхідний набір, необхідний вхідний набір і натиснути кнопку «Моделювати». Також є можливість моделювати схему покроково за допомогою кнопки «Крок» і промоделювати схему на всіх можливий вхідних наборах за допомогою кнопки «Моделювати все набори». Для завершення моделювання та очищення результатів потрібно скористатися кнопкою «Очистити».

Приклади моделювання схеми з рис. 3.6 наведені на малюнках 3.9 і 3.10.

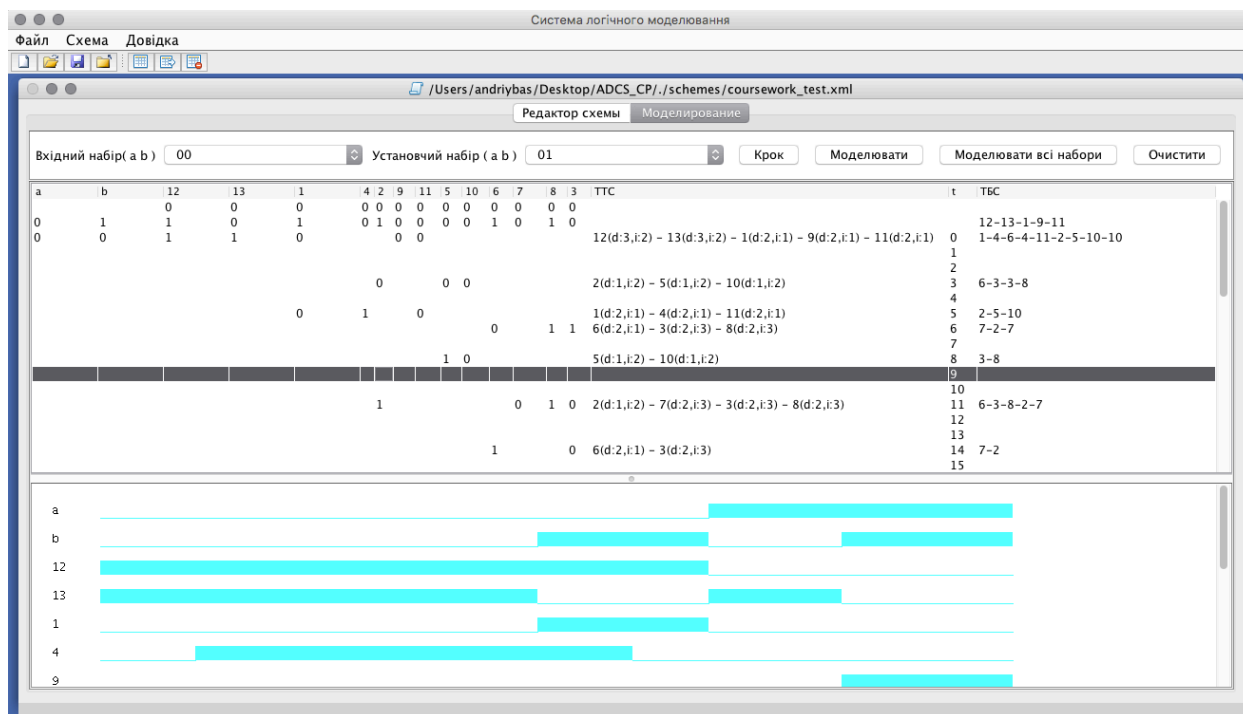


Рис. 3.9 – Приклад моделювання схеми

Висновок

У даній роботі була розроблена програма, що дозволяє виробляти моделювання логічних схем за допомогою подієвого алгоритму (ЛІД - модель елементів).

Перевагою використаного для моделювання алгоритму є те, що на кожному кроці проводиться моделювання не всіх елементів схеми, а тільки тих, на входах яких можлива зміна сигналу. Отже, при моделюванні за допомогою даного алгоритму виробляється меншу кількість обчислень, ніж при використанні ітераційних алгоритмів. Також гідністю подієвого алгоритму є те, що він досить точно відображає поведінку схеми, так як дає можливість враховувати динамічні і інерційні затримки на елементах схеми.

Недолік подієвого алгоритму - це складність реалізації через інтенсивне використання динамічних таблиць поточних і майбутніх подій.

Зм.	Лис	№ докум.	Підпис	Дата

ІАЛЦ. 463627.003 ПЗ

Лист

14

Список літератури

1. Конспект лекцій по курсу «Технології проектування комп'ютерних систем».
2. Норенков И.П. Основы автоматизированного проектирования // М.: Издательство МГТУ имени Н.Э. Баумана, 2002. – 336 с.
3. Жабін В.І., Жуков І.А., Клименко І.А., Ткаченко В.В. Прикладна теорія цифрових автоматів: Навч. посібник // К.: Книжкове видавництво НАУ, 2007. – 364 с.

Зм.	Лис	№ докум.	Підпис	Дата

ІАЛЦ. 463627.003 ПЗ

Лист

15