Page List

	1 ugc Lisi
Page	Content
1	COVER PAGE
2	ZYNQ BANK 0
3	ZYNQ BANK 500
4	ZYNQ BANK 501
5	GIGE PORT
6	USB PORTS
7	ZYNQ BANK 502
8	DDR3-256Mx32
9	PL BANK 34 & 35
10	ZYNQ PWR & GND
11	DSP PROCESSOR 1-OF-3
12	DSP PROCESSOR 2-OF-3
13	DSP PROCESSOR 3-OF-3
14	DSP eLINK CONNECTORS
15	HDMI INTERFACE
16	POWER MANAGEMENT
17	RESET GENERATION

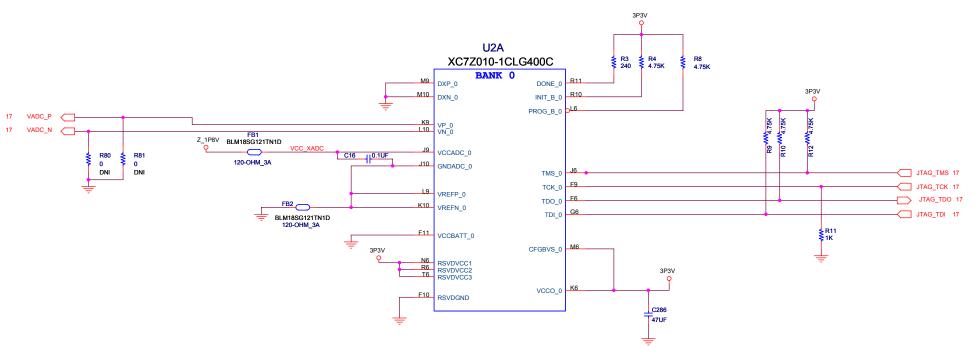
This work is licensed under Creative Commons Attribution-Share Alike 3.0 Unprotected License. To view a copy of this license, visit http://creativecommons.org/licenses/by-sa/3.0/ or send a letter to Creative Commons, 171 Second Street, Suite 300, San Francisco, California, 94105, USA.

This schematic is *NOT SUPPORTED* and DOES NOT constitute a reference design. Only *community* support is allowed via resources at forums.parallella.org.

THERE IS NO WARRANTY FOR THIS DESIGN, TO THE EXTENT PERMITTED BY APPLICABLE LAW. EXCEPT WHEN OTHERWISE STATED IN WRITING THE COPYRIGHT HOLDERS AND/OR OTHER PARTIES PROVIDE THE DESIGN *AS IS* WITHOUT WARRANTY OF ANY KIND, EITHER EXPRESSED OR IMPLIED, INCLUDING, BUT NOT LIMITED TO, THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR PURPOSE. THE ENTIRE RISK AS TO THE QUALITY OF PERFORMANCE OF THE DESIGN IS WITH YOU. SHOULD THE DESIGN PROVE DEFECTIVE, YOU ASSUME THE COST OF ALL NECESSARY SERVICING, REPAIR OR CORRECTION.

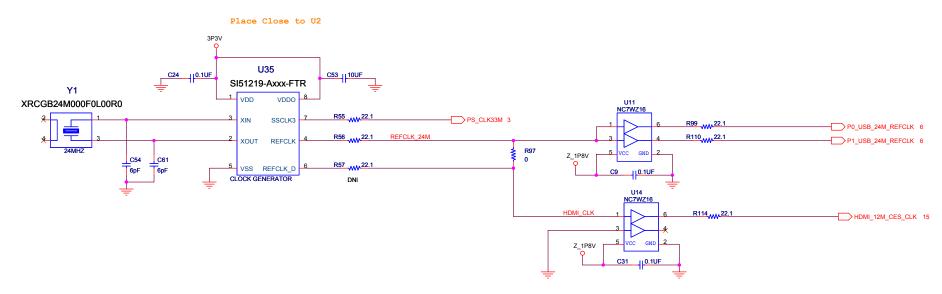
	Adapte	va, Inc.				
Title	Parallella	a-16 Boa	rd			
Size C	Document Number					Rev 1
Date:	Monday May 20 2013	Sheet	1	of	17	_

ZYNQ BANK0

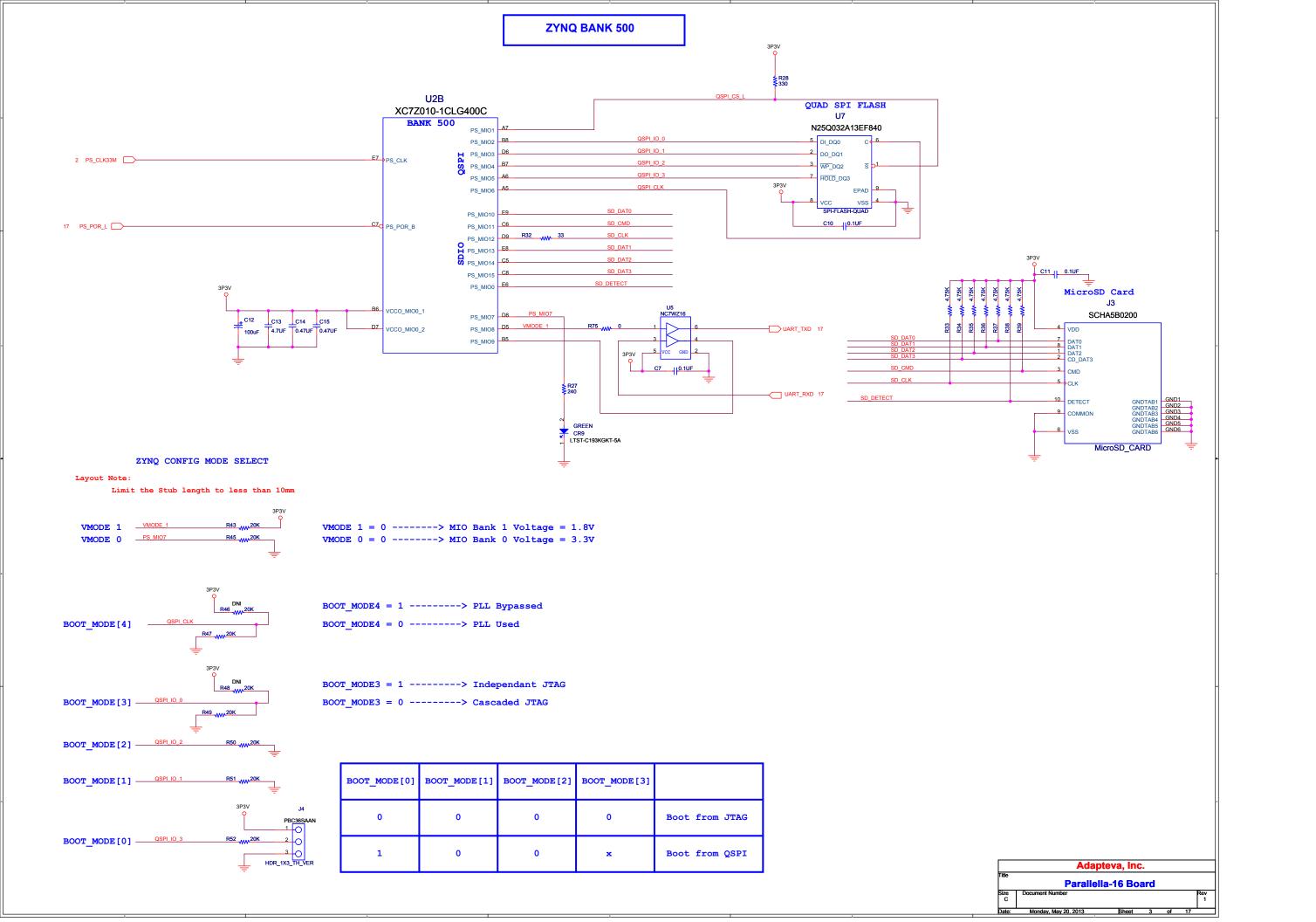


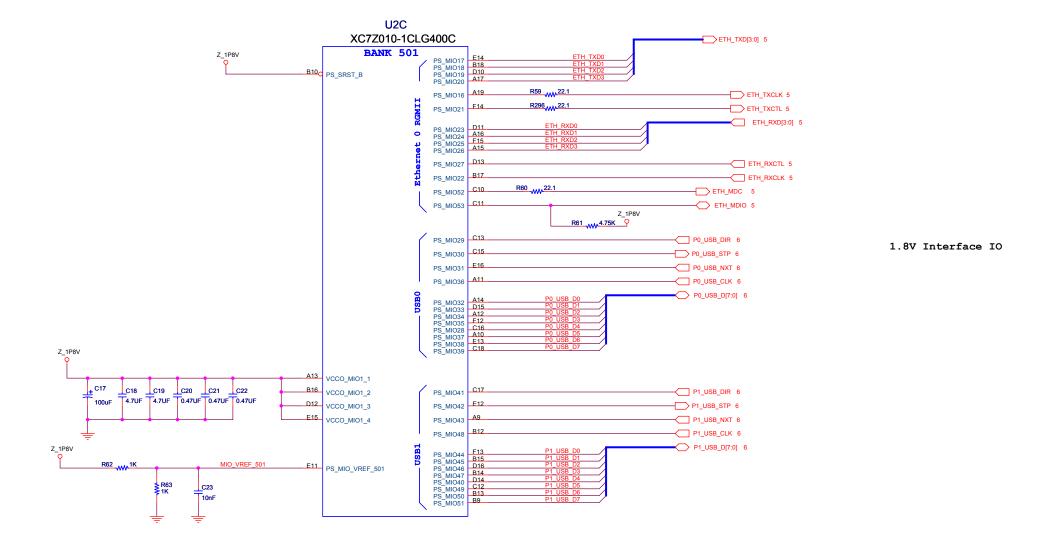
BANK 0 OPERATING VOLTAGE = 3.3V

PROGRAMMABLE CLOCK GENERATOR

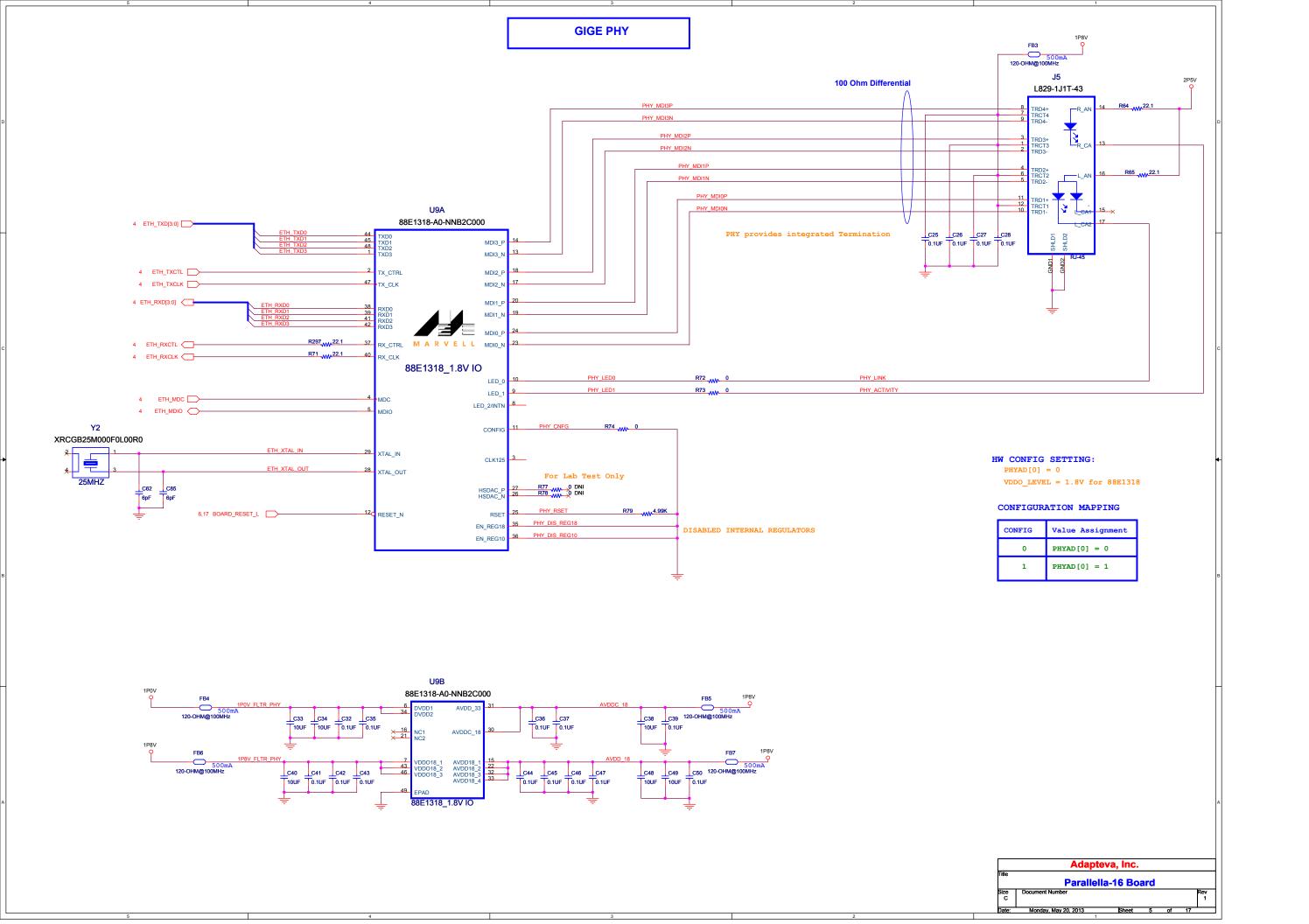


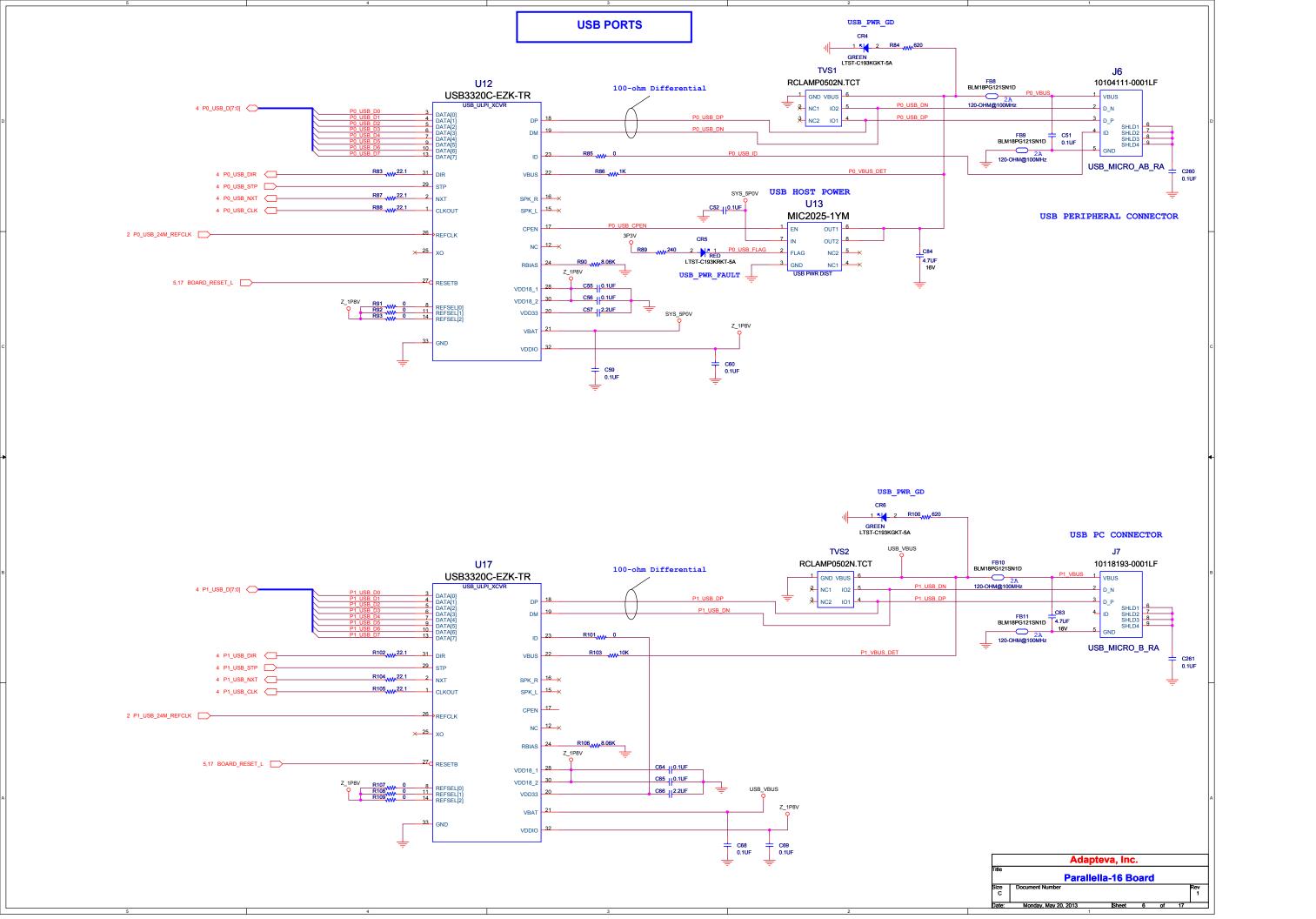
	Adapte	va, Inc.			
Title					
	Parallel	la-16 Bo	ard		
n:		10-10 DO	aru		_
Size	Document Number				Re
С					
	Monday, May 20, 2013	Sheet			_
Date:					



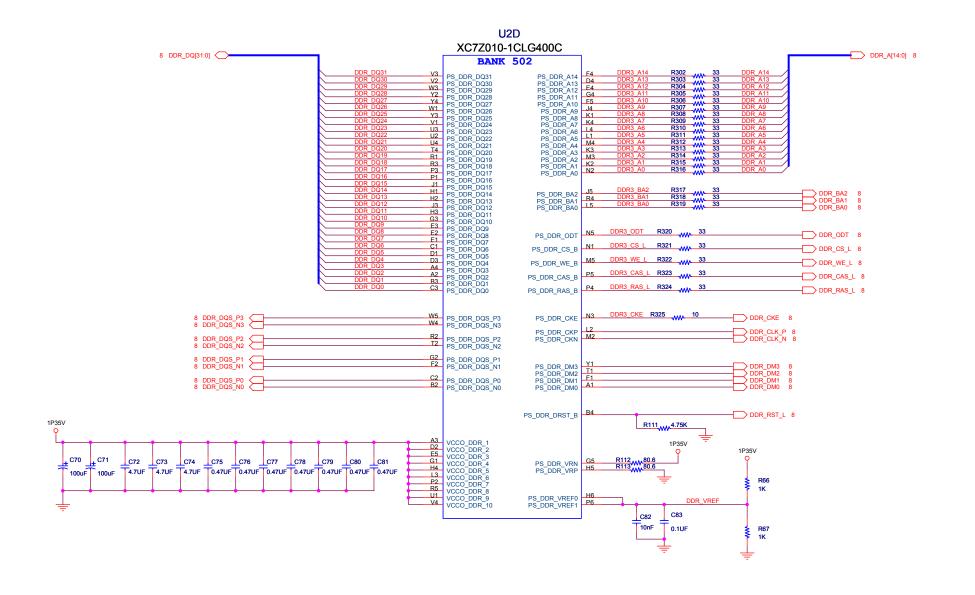


| Adapteva, Inc | Title | Parallella-16 Board | Size | Document Number | Rev | 1 | Date: | Monday, May 20, 2013 | Sheet | 4 | of | 17 |





ZYNQ BANK 502



Adapteva, Inc.

Title

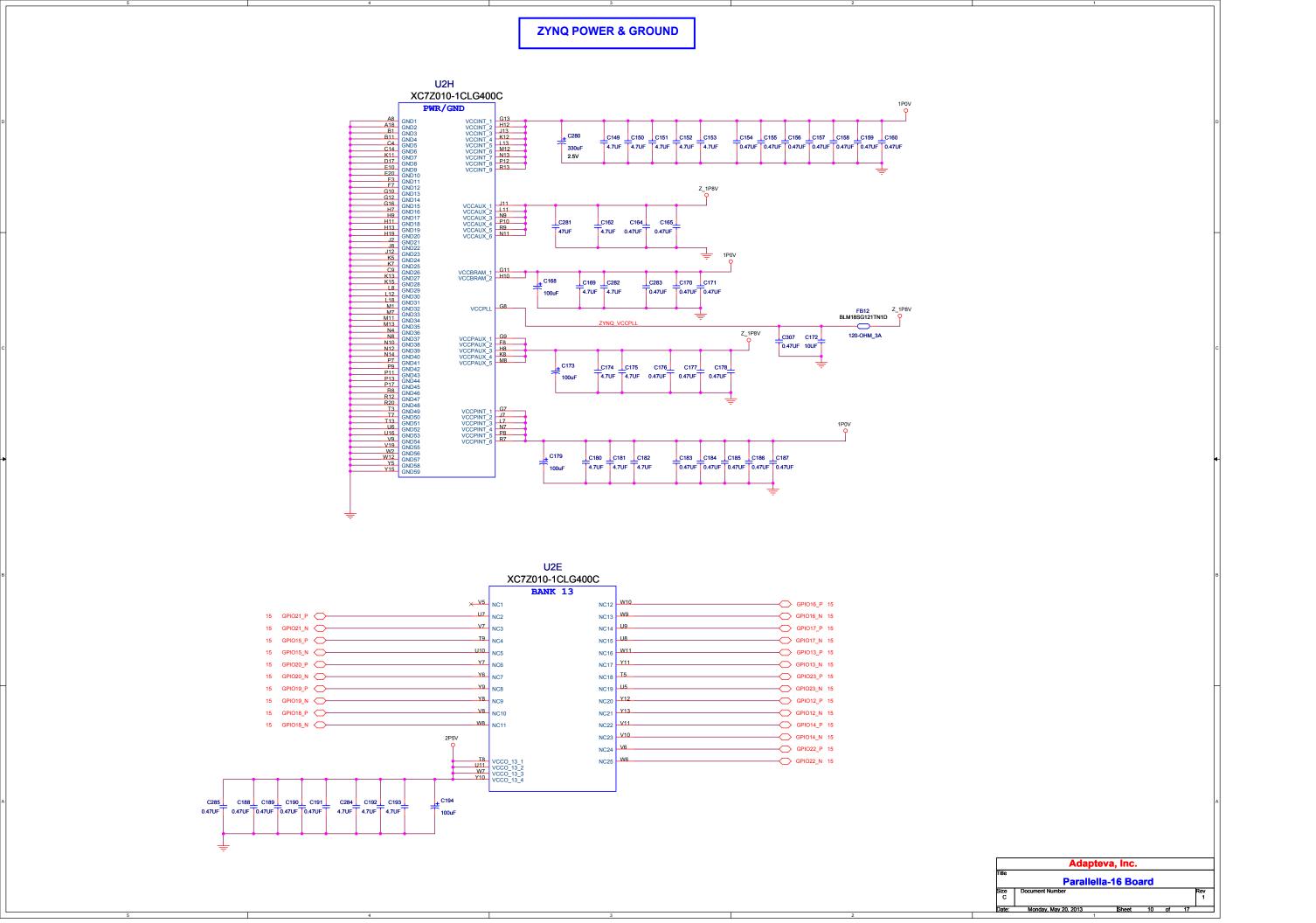
Parallella-16 Board

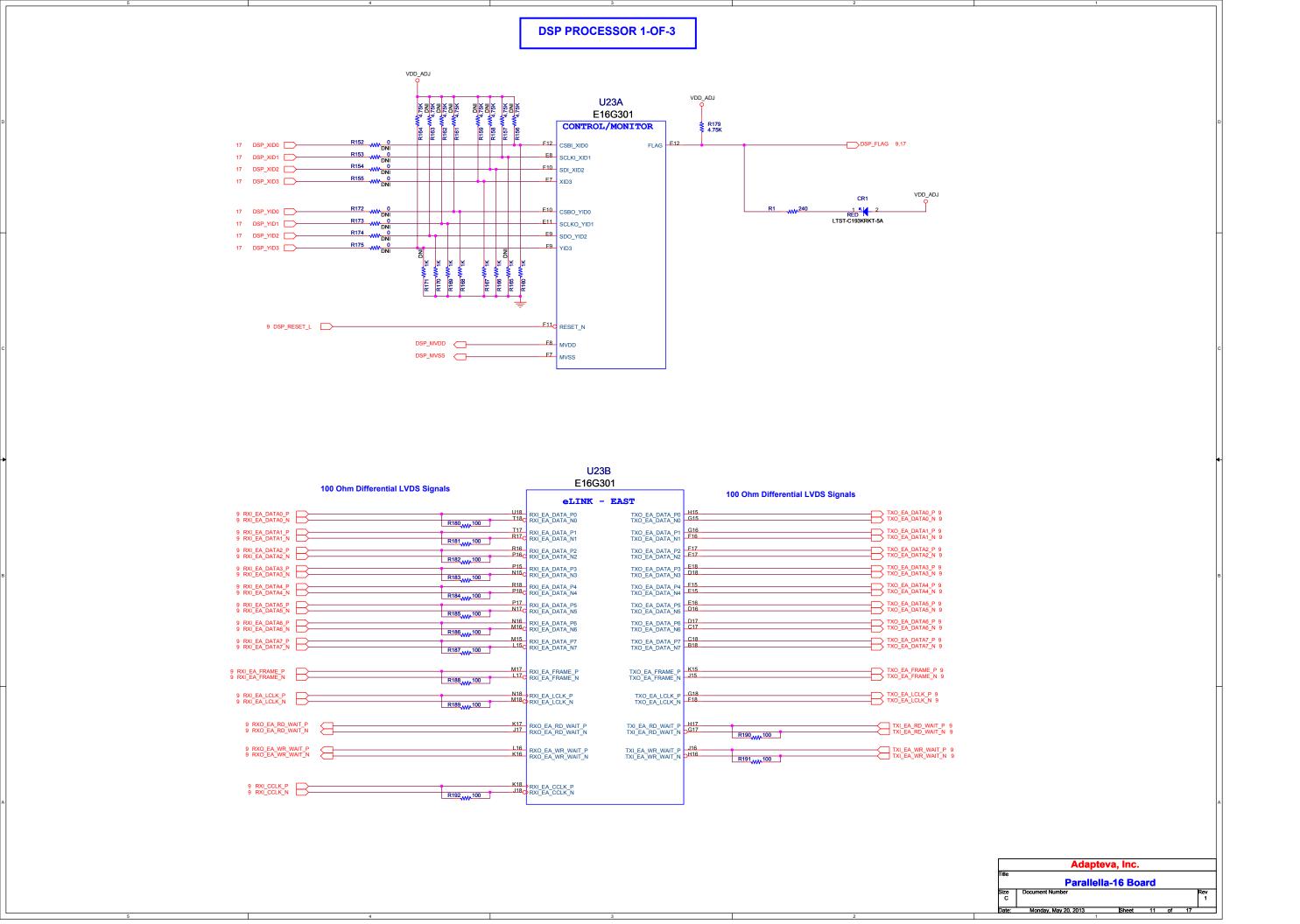
Size C Document Number Rev 1

Date: Monday, May 20, 2013 Sheet 7 of 17

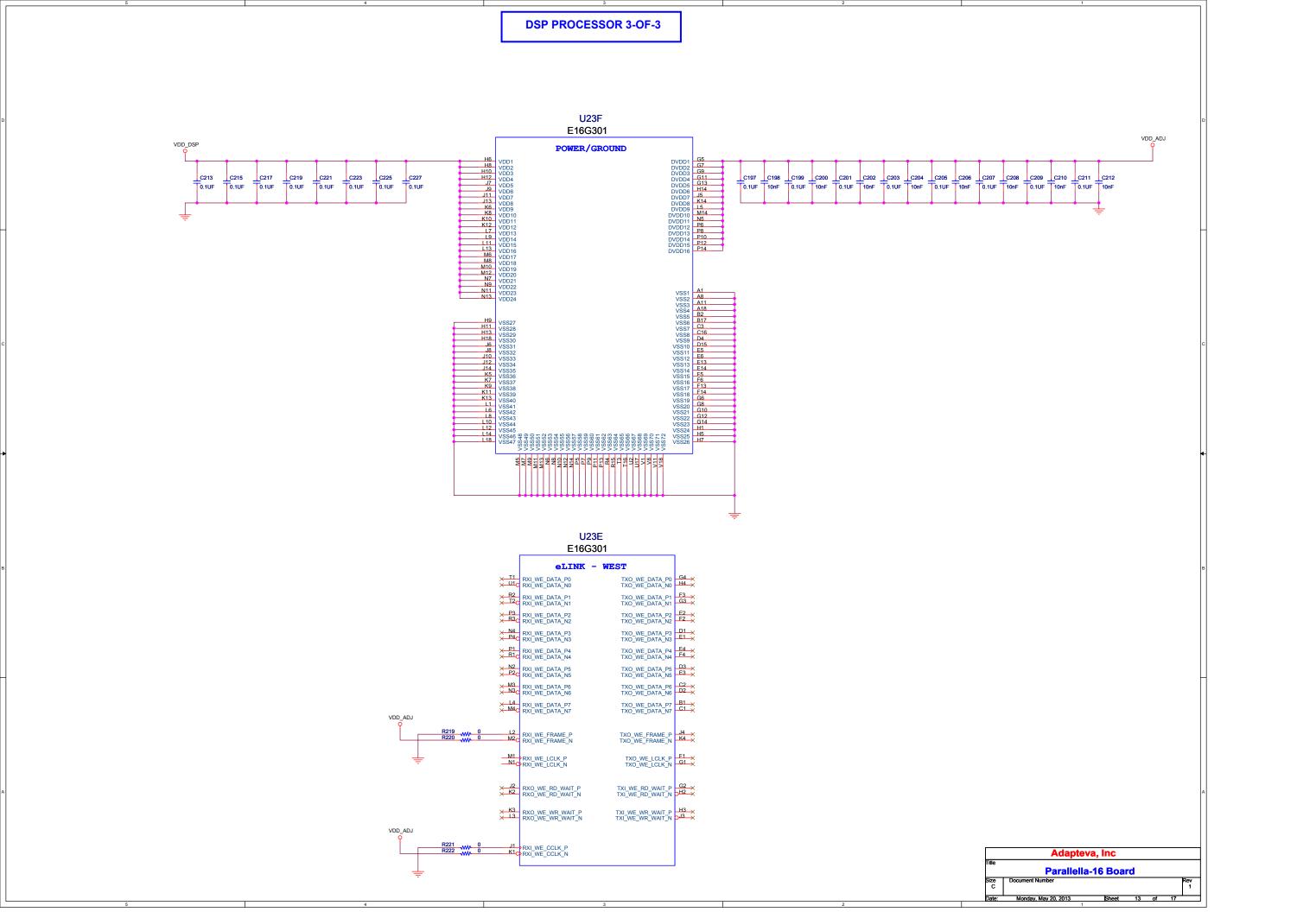
DDR3 - 256M X 32 7 DDR_DQ[31:0] ___ U20 MT41K256M32SLD-125:E 7 DDR_A[14:0] K4
J9
A1
J8
A1
A2
A3
A4
A3
A5
A4
A3
A5
K10
A6
A6
A7
A7
A9
A10
A9
A10
A9
A11
A11
A12
BCN
A11
A13
A10
A14 DQ0 B2
A4
DQ1 C2
DQ3
DQ4
DQ5
DQ6
DQ7
F2
F4 DQ16 DQ17 DQ18 DQ19 DQ20 DQ21 DQ21 DQ22 DQ23 DDR3_256MX32 7 DDR_ODT 7 DDR_CS_L 7 DDR_RAS_L G40 RAS_L DQ24 DQ25 DQ26 DQ26 DQ27 DQ28 DQ28 DQ30 DQ31 7 DDR_CAS_L _G3_C CAS_L 7 DDR_WE_L 1P35V C95 C96 R70 P10 DQS2 DQS2_L VREFDQ J1 P3 DQS3 DQS3_L 1P35V C97 4.7UF VDD1 A1 A12 VDD3 VDD4 VDD5 VDD6 VDD7 VDD8 C98 4.7UF C99 4.7UF C100 0.47UF 7 DDR_CKE VDD01 81
VDD01 81
VDD02 812
VDD03 C1
VDD04 C12
VDD05 D1
VDD06 D1
VDD07 E3
VDD08 E10
VDD01 M3
VDD01 M3
VDD01 M3
VDD01 M3
VDD01 M3
VDD01 P1
VDD01 R1
VDD01 R11
VDD01 R11
VDD01 R11
VDD01 T12 C101 0.47UF R115_{WW}80.6 C102 0.47UF 7 DDR_CLK_N C103 0.47UF 7 DDR_RST_L H10 RESET_L C104 0.047UF C105 0.047UF C106 0.047UF C107 0.047UF C108 0.047UF C109 0.047UF C110 0.047UF C111 0.047UF C112 0.047UF V8801 V8802 V8803 V8804 V8804 V8804 V8801 V8901 C113 0.047UF Adapteva, Inc. Parallella-16 Board

BANKS 34 & 35 Enable 100-ohm internal termination on all LVDS inputs 15 HDMI_D[23:8] U2F U2G XC7Z010-1CLG400C XC7Z010-1CLG400C BANK 34 BANK 35 R20__{MM}4.75K __R19___{IO_0_34} IO 25 34 11 DSP_RESET_L DSP_RESET_L IO_25_34 J15 IO_0_35 PS_I2C_SCL 15 15 GPI011_P ____ IO_L1P_T0_34 IO_L13P_T2_MRCC_34 N18 11 RXI_EA_DATA1_P ____C20__ IO_L1P_T0_AD0P_35 IO_L13P_T2_MRCC_35 H16 RXO_EA_RD_WAIT_P 11 IO_L13N_T2_MRCC_34 P19 HDMI_D19 15 GPIO11_N ____ 11 RXI_EA_DATA1_N ____ _B20 | IO_L1N_T0_AD0N_35 RXO_EA_RD_WAIT_N 11 __T12__IO_L2P_T0_34 IO_L14P_T2_SRCC_34 N20_ RXI_CCLK_P 11 15 GPIO10_P — 11 RXI_EA_DATA0_P _B19 IO_L2P_T0_AD8P_35 RXO_EA_WR_WAIT_P 11 RXI_CCLK_N 11 __U12__IO_L2N_T0_34 IO_L14N_T2_SRCC_34 P20 11 RXI_EA_DATA0_N ____ IO_L2N_T0_AD8N_35 RXO_EA_WR_WAIT_N 11 U13 | IO_L3P_T0_DQS_PUDC_B_34 | IO_L15P_T2_DQS_34 | T20 15 GPI08_P 🔷 11 RXI_EA_DATA4_P ____ E17 IO_L3P_T0_DQS_AD1P_35 IO_L15P_T2_DQS_AD12P_35 F19 RXI_EA_DATA5_P 11 V13 IO_L3N_T0_DQS_34 IO_L15N_T2_DQS_34 U20___ GPIO8 N 🔷 11 RXI_EA_DATA4_N ____ RXI_EA_DATA5_N 11 V12 IO_L4P_T0_34 IO_L16P_T2_34 V20 D19 IO_L4P_T0_35 IO_L16P_T2_35 G17 11 RXI_EA_DATA2_P (RXI_EA_DATA6_P 11 __W13__IO_L4N_T0_34 GPIO9_N < 11 RXI_EA_DATA2_N ____ __D20__IO_L4N_T0_35 IO_L16N_T2_35 G18 RXI_EA_DATA6_N 11 IO_L17P_T2_34 Y18 HDMI_D8 GPIO5_P 🔷 __E18__IO_L5P_T0_AD9P_35 11 RXI_EA_DATA3_P IO_L17N_T2_34 Y19 HDMI_D14 T15 IO_L5N_T0_34 IO_L17N_T2_AD5N_35 H20 TXO_EA_FRAME_N 11 11 RXI_EA_DATA3_N ____ __E19_IO_L5N_T0_AD9N_35 P14 IO_L6P_T0_34 GPIO4_P 🔷 IO_L18P_T2_34 —— GPIO1_P 15 11 RXI_EA_LCLK_P ____ IO_L18P_T2_AD13P_35 G19 __F16_ IO_L6P_T0_35 RXI_EA_DATA7_P 11 R14 IO_L6N_T0_VREF_34 IO_L18N_T2_34 W16_ —— GPIO1_N 15 11 RXI_EA_LCLK_N ____ __F17 IO_L6N_T0_VREF_35 IO_L18N_T2_AD13N_35 G20 RXI_EA_DATA7_N 11 22.1 R82 Y16 IO_L7P_T1_34 IO_L19P_T3_34 R16 15,17 HDMI_SPDIF ____ TURBO_MODE 16,17 M19 IO_L7P_T1_AD2P_35 IO_L19P_T3_35 H15 RXI_EA_FRAME_P 11 IO_L19N_T3_VREF_34 R17 R41 WW 22.1 __Y17__IO_L7N_T1_34 15 HDMI_DE ____ HDMI_CLK 15 RXI_EA_FRAME_N 11 ___M20__IO_L7N_T1_AD2N_35 11 TXO_EA_DATA5_N _W14_ IO_L8P_T1_34 HDMI_HSYNC 15 GPIO7_P 🔷 IO_L20P_T3_AD6P_35 K14 TXI_EA_RD_WAIT_P 11 ___M17__IO_L8P_T1_AD10P_35 11 TXO_EA_DATA6_P Y14 IO_L8N_T1_34 GPIO7_N 🔷 ___M18__ IO_L8N_T1_AD10N_35 11 TXO_EA_DATA6_N IO_L21P_T3_DQS_34 V17 R42 WW 22.1 _T16_ IO_L9P_T1_DQS_34 HDMI_VSYNC 15 L19 | IO_L9P_T1_DQS_AD3P_35 | IO_L21P_T3_DQS_AD14P_35 | N15 | TXO_EA_DATA7_P 11 11 TXO_EA_DATA4_P ___ _U17_ IO_L9N_T1_DQS_34 L20 IO_L9N_T1_DQS_AD3N_35 IO_L21N_T3_DQS_AD14N_35 N16 TXO_EA_DATA7_N 11 11 TXO_EA_DATA4_N ___ IO_L22P_T3_34 W18 HDMI_D9 V15 IO_L10P_T1_34 GPIO3_P — ___K19 IO_L10P_T1_AD11P_35 11 TXO_EA_DATAO_P _W15__IO_L10N_T1_34 IO_L22N_T3_34 W19 GPIO3_N < R18 4.75K __J19__IO_L10N_T1_AD11N_35 11 TXO_EA_DATAO_N _U14_ IO_L11P_T1_SRCC_34 IO_L23P_T3_34 N17 GPIO6_P — __L16_ IO_L11P_T1_SRCC_35 IO_L23P_T3_35 M14 TXO_EA_DATA3_P 11 11 TXO_EA_DATA2_P __U15_ IO_L11N_T1_SRCC_34 IO_L23N_T3_34 P18 GPIO6_N — IO_L23N_T3_35 M15 TXO_EA_DATA3_N 11 L17 IO_L11N_T1_SRCC_35 11 TXO_EA_DATA2_N ___U18_ IO_L12P_T1_MRCC_34 IO_L24P_T3_34 P15 → GPIO2_P 15 IO_L24P_T3_AD15P_35 K16 TXI_EA_WR_WAIT_P 11 __K17_ IO_L12P_T1_MRCC_35 11 TXO_EA_LCLK_P ____ ___U19__IO_L12N_T1_MRCC_34 IO_L24N_T3_34 P16 GPI02_N 15 K18 IO_L12N_T1_MRCC_35 IO_L24N_T3_AD15N_35 J16 TXI_EA_WR_WAIT_N 11 11 TXO_EA_LCLK_N ____ C126 C127 C128 C129 C130 C131 C132 C133 0.47UF 0.47UF 0.47UF 0.47UF 4.7UF 4.7UF 4.7UF 4.7UF . C134 . C143 100uF Adapteva, Inc. Parallella-16 Board

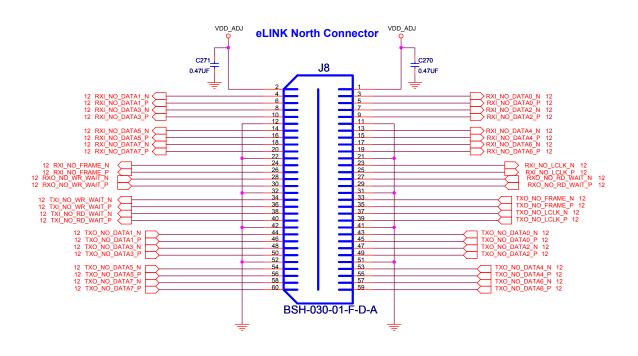


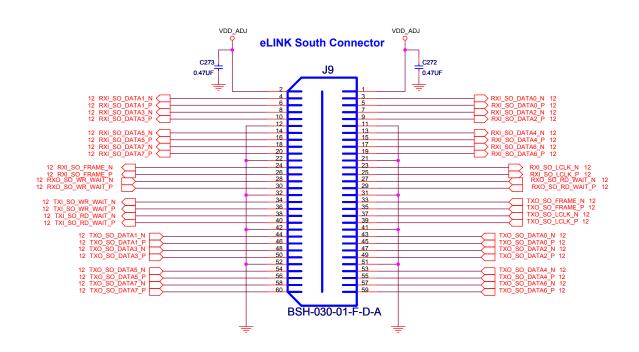


DSP PROCESSOR 2-OF-3 U23C E16G301 100 Ohm Differential LVDS Signals 100 Ohm Differential LVDS Signals eLINK - NORTH TXO_NO_DATA_P0 D12
TXO_NO_DATA_N0 D11 TXO_NO_DATA0_P 14
TXO_NO_DATA0_N 14 14 RXI_NO_DATA0_P 14 RXI_NO_DATA0_N A3 RXI_NO_DATA_P0 RXI_NO_DATA_N0 R233_{WW} 100 R194_{MM}100 TXO_NO_DATA_P1 C13
TXO_NO_DATA_N1 TXO_NO_DATA1_P 14
TXO_NO_DATA1_N 14 R232_{WW} 100 R195_{MM}100 TXO_NO_DATA_P2 B14 TXO_NO_DATA_N2 B13 TXO_NO_DATA2_P 14
TXO_NO_DATA2_N 14 C5 RXI_NO_DATA_P2
C4C RXI_NO_DATA_N2 R196 AAAA 100 R231_{WW} 100 TXO_NO_DATA3_P 14
TXO_NO_DATA3_N 14 R197_{AAA} 100 R230_{MM}100 TXO_NO_DATA_P4
TXO_NO_DATA_N4
D13 A5 RXI_NO_DATA_P4 RXI_NO_DATA_N4 TXO_NO_DATA4_P 14 TXO_NO_DATA4_N 14 14 RXI_NO_DATA4_P
14 RXI_NO_DATA4_N R198_{MM}100 R229_{WW} 100 TXO_NO_DATA5_P 14
TXO_NO_DATA5_N 14 14 RXI_NO_DATA5_P 14 RXI_NO_DATA5_N R199_{MM}100 R228_{WW}100 DNI TXO_NO_DATA6_P 14
TXO_NO_DATA6_N 14 TXO_NO_DATA_P6 B16_ TXO_NO_DATA_N6 B15 C7 RXI_NO_DATA_P6 RXI_NO_DATA_N6 14 RXI_NO_DATA6_P 14 RXI NO DATA6 N R200_{MM}100 R227_{WW} 100 TXO_NO_DATA_P7 A16 TXO_NO_DATA7_P 14
TXO_NO_DATA7_N 14 D8 RXI_NO_DATA_P7
D7_C RXI_NO_DATA_N7 14 RXI_NO_DATA7_P 14 RXI_NO_DATA7_N R226_{WW} 100 TXO_NO_FRAME_P 14
TXO_NO_FRAME_N 14 14 RXI_NO_FRAME_P
14 RXI_NO_FRAME_N TXO_NO_FRAME_P D10
TXO_NO_FRAME_N D9 R202,000,100 TXO_NO_LCLK_P 14
TXO_NO_LCLK_N 14 14 RXI_NO_LCLK_P
14 RXI_NO_LCLK_N R203_{AAA}100 R206_{WW} 100 B10 RXO_NO_RD_WAIT_P RXO_NO_RD_WAIT_N TXI_NO_RD_WAIT_P B12
TXI_NO_RD_WAIT_N B11 R204_{MM}100 14 RXO_NO_WR_WAIT_P
14 RXO_NO_WR_WAIT_N TXI_NO_WR_WAIT_P
TXI_NO_WR_WAIT_N
C10
C10 TXI_NO_WR_WAIT_P 14
TXI_NO_WR_WAIT_N 14 R205_{WM}100 U23D E16G301 100 Ohm Differential LVDS Signals 100 Ohm Differential LVDS Signals eLINK - SOUTH TXO_SO_DATA0_P 14
TXO_SO_DATA0_N 14 TXO_SO_DATA_P0 R11
TXO_SO_DATA_N0 R12 R207_{AAA}100 TXO_SO_DATA1_P 14
TXO_SO_DATA1_N 14 U3 RXI_SO_DATA_P1
U4C RXI_SO_DATA_N1 TXO_SO_DATA_P1 TXO_SO_DATA_N1 14 RXI_SO_DATA1_P 14 RXI_SO_DATA1_N R208_{MM}100 TXO_SO_DATA2_P 14 TXO_SO_DATA2_N 14 T4 RXI_SO_DATA_P2
T5C RXI_SO_DATA_N2 TXO_SO_DATA_P2 TXO_SO_DATA_N2 14 RXI_SO_DATA2_P 14 RXI_SO_DATA2_N R209_{MM}100 RS RXI_SO_DATA_P3
RXI_SO_DATA_N3 TXO_SO_DATA3_P 14 TXO_SO_DATA3_N 14 14 RXI_SO_DATA3_P 14 RXI_SO_DATA3_N R210_{MM}100 V4 RXI_SO_DATA_P4 V50 RXI_SO_DATA_N4 14 RXI_SO_DATA4_P 14 RXI_SO_DATA4_N TXO_SO_DATA_P4
TXO_SO_DATA_N4
R14 R211_{MM}100 TXO_SO_DATA5_P 14 TXO_SO_DATA5_N 14 U5 RXI_SO_DATA_P5 14 RXI_SO_DATA5_P 14 RXI_SO_DATA5_N TXO_SO_DATA_P5 T15 R212_{MM}100 TXO_SO_DATA6_P 14 TXO_SO_DATA6_N 14 14 RXI_SO_DATA6_P 14 RXI_SO_DATA6_N T6 RXI_SO_DATA_P6 RXI_SO_DATA_N6 TXO_SO_DATA_P6 U15
TXO_SO_DATA_N6 U16 R213_{AAA}100 R7 RXI_SO_DATA_P7 RXI_SO_DATA_N7 TXO_SO_DATA7_P 14 TXO_SO_DATA7_N 14 14 RXI_SO_DATA7_P 14 RXI_SO_DATA7_N R214_{WW}100 TXO_SO_FRAME_P 14
TXO_SO_FRAME_N 14 14 RXI_SO_FRAME_P 14 RXI_SO_FRAME_N R215_{MM}100 R236_{WW} 100 TXO_SO_LCLK_P 14
TXO_SO_LCLK_N 14 R216_{MM}100 U9 RXO_SO_RD_WAIT_P RXO_SO_RD_WAIT_N TXI_SO_RD_WAIT_P
TXI_SO_RD_WAIT_N
OU12 TXI_SO_RD_WAIT_P 14
TXI_SO_RD_WAIT_N 14 R234_{WW} 100 R217_{AAA}100 14 RXO_SO_WR_WAIT_P
14 RXO_SO_WR_WAIT_N T8 RXO_SO_WR_WAIT_P RXO_SO_WR_WAIT_N TXI_SO_WR_WAIT_P
TXI_SO_WR_WAIT_N TXI_SO_WR_WAIT_P 14
TXI_SO_WR_WAIT_N 14 R235_{MM} 100 R218_{MM}100 VDD ADJ Adapteva, Inc. Parallella-16 Board



DSP eLINK CONNECTORS





Adapteva, Inc.

Title

Parallella-16 Board

Size C Document Number Rev 1
Date: Monday, May 20, 2013 Sheet 14 of 17

