

### Ερώτηση 1

Δεν  
απαντήθηκε

Βαθμολογήθηκε  
στα 1,00



Σημαιοδότηση  
ερώτησης

Για ποιο λόγο χρησιμοποιούμε τη βελτιστοποίηση `#pragma hls dataflow`;

Επιλέξτε ένα:

- ☐ a. Για ταυτόχρονη ανάγνωση/εγγραφή πολλαπλών στοιχείων μνήμης BRAM.
- ☐ b. Για υλοποίηση pipelining μεταξύ tasks (loops, functions).
- ☐ c. Για υλοποίηση pipelining μεταξύ απλών operations.
- ☐ d. Για ταυτόχρονη ανάγνωση/εγγραφή πολλαπλών στοιχείων στο I/O interface του accelerator.

Η απάντησή σας είναι λανθασμένη

Η σωστή απάντηση είναι: Για υλοποίηση pipelining μεταξύ tasks (loops, functions).

### Ερώτηση 2

Δεν  
απαντήθηκε

Βαθμολογήθηκε  
στα 1,00



Σημαιοδότηση  
ερώτησης

Τι είδους array\_partition βελτιστοποίηση θα χρησιμοποιούσατε για να κάνετε ταυτόχρονη ανάγνωση 16 συνεχόμενων στοιχείων ενός μονοδιάστατου πίνακα A που περιλαμβάνει 128 στοιχεία; Θεωρείστε ότι κάθε στοιχείο BRAM έχει 2 εξόδους για ταυτόχρονη ανάγνωση.

Επιλέξτε ένα:

- ☐ a. `#pragma HLS array_partition variable=A block factor=16 dim=1`
- ☐ b. `#pragma HLS array_partition variable=A cyclic factor=16 dim=1`
- ☐ c. `#pragma HLS array_partition variable=A block factor=8 dim=1`
- ☐ d. `#pragma HLS array_partition variable=A cyclic factor=8 dim=1`

Η απάντησή σας είναι λανθασμένη

Η σωστή απάντηση είναι: `#pragma HLS array_partition variable=A cyclic factor=8 dim=1`

Ερώτηση **3**

Δεν  
απαντήθηκε

Βαθμολογήθηκε  
στα 1,00

🚩  
Σημαιοδότηση  
ερώτησης

Τι πετυχαίνουμε με τη βελτιστοποίηση `#pragma HLS PIPELINE II=1` σε ένα loop;

Επιλέξτε ένα:

- ☐ a. Να εκτελείται η επόμενη επανάληψη του loop αφού τελειώσει η προηγούμενη.
- ☐ b. Να εκτελείται η επόμενη επανάληψη του loop στη μέση της εκτέλεσης της προηγούμενης.
- ☐ c. Να εκτελείται η επόμενη επανάληψη του loop 1 κύκλο μετά το τέλος της εκτέλεσης της προηγούμενης.
- ☐ d. Να εκτελείται η επόμενη επανάληψη του loop 1 κύκλο μετά την έναρξη της εκτέλεσης της προηγούμενης.

Η απάντησή σας είναι λανθασμένη

Η σωστή απάντηση είναι: Να εκτελείται η επόμενη επανάληψη του loop 1 κύκλο μετά την έναρξη της εκτέλεσης της προηγούμενης.

Ερώτηση **4**

Δεν  
απαντήθηκε

Βαθμολογήθηκε  
στα 1,00

🚩  
Σημαιοδότηση  
ερώτησης

Ποιο/α στοιχείο/α του PL του FPGA SoC μπορούν να χρησιμοποιηθούν για αποθήκευση δεδομένων;

Επιλέξτε ένα:

- ☐ a. BRAMs, FFs, LUTs
- ☐ b. BRAMs, FFs
- ☐ c. BRAMs
- ☐ d. BRAMs, LUTs

Η απάντησή σας είναι λανθασμένη

Η σωστή απάντηση είναι: BRAMs, FFs, LUTs

Ερώτηση 5

Δεν

απαντήθηκε

Βαθμολογήθηκε  
στα 1,00



Σημαιοδότηση  
ερώτησης

Ποια είναι η σωστή χρήση της βελτιστοποίησης `#pragma HLS unroll` για να εκτελούνται ταυτόχρονα 2 επαναλήψεις κάθε φορά σε ένα loop;

Επιλέξτε ένα:

- ☐ a. 

```
loop_1: for(int i = 0; i < N; i++) {  
    #pragma HLS unroll factor=2  
    a[i] = b[i] + c[i];  
}
```
- ☐ b. 

```
loop_1: for(int i = 0; i < N; i++) {  
    #pragma HLS unroll  
    a[i] = b[i] + c[i];  
}
```
- ☐ c. 

```
#pragma HLS unroll factor=2  
loop_1: for(int i = 0; i < N; i++) {  
    #pragma HLS unroll  
    a[i] = b[i] + c[i];  
}
```
- ☐ d. 

```
#pragma HLS unroll factor=2  
loop_1: for(int i = 0; i < N; i++) {  
    a[i] = b[i] + c[i];  
}
```

Η απάντησή σας είναι λανθασμένη

Η σωστή απάντηση είναι:

```
loop_1: for(int i = 0; i < N; i++) {  
    #pragma HLS unroll factor=2  
    a[i] = b[i] + c[i];  
}
```

Ερώτηση 6

Δεν  
απαντήθηκε

Βαθμολογήθηκε  
στα 1,00



Σημαιοδότηση  
ερώτησης

Ποια είναι η διαφορά της λειτουργίας Software Emulation και της λειτουργίας Hardware Emulation στο εργαλείο Vitis;

Επιλέξτε ένα:

- ☐ a. Καμία και στις δύο περιπτώσεις το simulation τρέχει στη CPU.
- ☐ b. Στο Software Emulation τόσο το host κομμάτι όσο και ο accelerator γίνονται compile στη CPU (host) και εκτελούνται ως πρόγραμμα λογισμικού στη CPU. Στο Hardware Emulation το host κομμάτι γίνεται compile στη CPU και ο accelerator μετατρέπεται σε RTL - τελικά το host κομμάτι τρέχει ως πρόγραμμα στη CPU και ο accelerator τρέχει ως RTL simulation στη CPU.
- ☐ c. Στο Software Emulation τόσο το host κομμάτι όσο και ο accelerator γίνονται compile στη CPU (host) και εκτελούνται ως πρόγραμμα λογισμικού στη CPU. Στο Hardware Emulation το host κομμάτι γίνεται compile στη CPU και ο accelerator μετατρέπεται σε RTL - τελικά το host κομμάτι και ο accelerator τρέχουν στο FPGA.
- ☐ d. Στο Software Emulation τόσο το host κομμάτι όσο και ο accelerator γίνονται compile στη CPU (host) και εκτελούνται ως πρόγραμμα λογισμικού στη CPU. Στο Hardware Emulation το host κομμάτι γίνεται compile στη CPU και ο accelerator μετατρέπεται σε RTL - τελικά το host κομμάτι τρέχει ως πρόγραμμα στη CPU και ο accelerator τρέχει ως RTL στο FPGA.

Η απάντησή σας είναι λανθασμένη

Η σωστή απάντηση είναι: Στο Software Emulation τόσο το host κομμάτι όσο και ο accelerator γίνονται compile στη CPU (host) και εκτελούνται ως πρόγραμμα λογισμικού στη CPU. Στο Hardware Emulation το host κομμάτι γίνεται compile στη CPU και ο accelerator μετατρέπεται σε RTL - τελικά το host κομμάτι τρέχει ως πρόγραμμα στη CPU και ο accelerator τρέχει ως RTL simulation στη CPU.

## Ερώτηση 7

Δεν  
απαντήθηκε

Βαθμολογήθηκε  
στα 1,00



Σημαιοδότηση  
ερώτησης

Ποια είναι η διαδρομή των προς επεξεργασία δεδομένων στην περίπτωση μιας εφαρμογής που έγινε built για εκτέλεση στο FPGA (Build for Hardware) μιας κάρτας Alveo; Ζητείται η διαδρομή από τη CPU προς το FPGA.

Επιλέξτε ένα:

- ☐ a. Τα δεδομένα μεταφέρονται μέσω του διαύλου PCIe από τη μνήμη RAM του x86-host στη μνήμη RAM του Alveo και έπειτα μέσω AXI interfaces στις μνήμες του accelerator στο FPGA fabric.
- ☐ b. Τα δεδομένα μεταφέρονται μέσω του διαύλου PCIe από τη μνήμη RAM του x86-host απευθείας στις μνήμες του FPGA του Alveo.
- ☐ c. Τα δεδομένα μεταφέρονται απευθείας από τη μνήμη RAM του x86-host στη μνήμη RAM του Alveo και έπειτα μέσω AXI interfaces στις μνήμες του accelerator στο FPGA fabric.
- ☐ d. Τα δεδομένα μεταφέρονται μέσω του διαύλου PCIe από τη μνήμη RAM του x86-host στην global memory του Alveo και έπειτα μέσω AXI interfaces στις μνήμες του accelerator στο FPGA fabric.

Η απάντησή σας είναι λανθασμένη

Η σωστή απάντηση είναι: Τα δεδομένα μεταφέρονται μέσω του διαύλου PCIe από τη μνήμη RAM του x86-host στην global memory του Alveo και έπειτα μέσω AXI interfaces στις μνήμες του accelerator στο FPGA fabric.

Ερώτηση 8

Δεν  
απαντήθηκε

Βαθμολογήθηκε  
στα 1,00



Σημαιοδότηση  
ερώτησης

Σε ποια περίπτωση χρησιμεύει η χρήση της βελτιστοποίησης `#pragma hls loop_tripcount`

Επιλέξτε ένα:

- ☐ a. Στην περίπτωση που τα όρια ενός loop δεν είναι σταθερά. Η βελτιστοποίηση `#pragma hls loop_tripcount` χρησιμοποιείται για να ενημερώσουμε τον HLS compiler για τον αριθμό επαναλήψεων του loop. Η βελτιστοποίηση αυτή δεν έχει επίδραση στην σύνθεση της FPGA σχεδίασης.
- ☐ b. Στην περίπτωση που τα όρια ενός loop δεν είναι σταθερά. Κάνουμε χρήση της βελτιστοποίησης `#pragma hls loop_tripcount` για να τα καθορίσουμε και να τους δώσουμε συγκεκριμένες τιμές.
- ☐ c. Στην περίπτωση που τα όρια ενός loop δεν είναι σταθερά. Η βελτιστοποίηση `#pragma hls loop_tripcount` χρησιμοποιείται για να ενημερώσουμε τον HLS compiler για τον αριθμό επαναλήψεων του loop. Η βελτιστοποίηση αυτή βελτιώνει την FPGA σχεδίαση.
- ☐ d. Στην περίπτωση που τα όρια ενός loop δεν είναι σταθερά. Η βελτιστοποίηση `#pragma hls loop_tripcount` χρησιμοποιείται για να ενημερώσουμε τον HLS compiler για τον αριθμό επαναλήψεων του loop. Η βελτιστοποίηση αυτή χειροτερεύει την FPGA σχεδίαση.

Η απάντησή σας είναι λανθασμένη

Η σωστή απάντηση είναι: Στην περίπτωση που τα όρια ενός loop δεν είναι σταθερά. Η βελτιστοποίηση `#pragma hls loop_tripcount` χρησιμοποιείται για να ενημερώσουμε τον HLS compiler για τον αριθμό επαναλήψεων του loop. Η βελτιστοποίηση αυτή δεν έχει επίδραση στην σύνθεση της FPGA σχεδίασης.

Ερώτηση 9

Δεν  
απαντήθηκε

Βαθμολογήθηκε  
στα 1,00



Σημαιοδότηση  
ερώτησης

Ποιο είναι το τμήμα του workflow του εργαλείου Vitis το οποίο επιτρέπει τον επαναπρογραμματισμό του FPGA κατά την εκτέλεση μιας εφαρμογής;

Επιλέξτε ένα:

- ☐ a. Το περιβάλλον Xilinx Runtime (XRT).
- ☐ b. Το εργαλείο HLS σύνθεσης.
- ☐ c. Η OpenCL.
- ☐ d. Το εργαλείο Vivado.

Η απάντησή σας είναι λανθασμένη

Η σωστή απάντηση είναι: Το περιβάλλον Xilinx Runtime (XRT).

Ερώτηση 10

Δεν  
απαντήθηκε

Βαθμολογήθηκε  
στα 1,00



Σημαιοδότηση  
ερώτησης

Ποιες είναι οι βασικές πράξεις που μπορεί να εκτελέσει ένα DSP block του FPGA;

Επιλέξτε ένα:

- ☐ a. Πρόσθεση/αφαίρεση.
- ☐ b. Λογικές πράξεις και πρόσθεση/αφαίρεση.
- ☐ c. Λογικές πράξεις.
- ☐ d. Πρόσθεση/αφαίρεση, πολλαπλασιασμό και λογικές πράξεις.

Η απάντησή σας είναι λανθασμένη

Η σωστή απάντηση είναι: Πρόσθεση/αφαίρεση, πολλαπλασιασμό και λογικές πράξεις.