



Universidad Tecnológica de La Habana “José Antonio Echeverría”
Facultad de Ingeniería Automática y Biomédica
Departamento de Automática y Computación

TÓPICOS AVANZADOS DE ELECTRÓNICA

Título:

Temporizador 8254 compatible con FPGA

Autores:

- Andry Hernández Rodríguez A-41 #17
- Dariel Suárez González A-41 #28

Carrera: Ingeniería en Automática

CUJAE, 16 de mayo de 2019

El Temporizador 8254 diseñado cuenta con dos modos de trabajo: Modo 1: disparo por hardware y Modo 3: generador de ondas cuadradas. Para configurarlo se procede a enviar por el bus de direcciones los tres bits menos significativos en “111”, así como la palabra de control por el bus de datos, distribuida de la siguiente manera:

PALABRA DE CONTROL

X	X	X	SC2	SC1	SC0	RW	M
---	---	---	-----	-----	-----	----	---

M=0 MODO 1

M=1 MODO 3

RW=0 CONFIGURAR

RW=1 COUNTER LATCH COMMAND

SC2..0 SELECCIÓN DEL CANAL

Luego de enviar la palabra de control, se procede a poner la dirección del canal seleccionado en el bus de direcciones y el valor de la constante de tiempo en el bus de datos (primero LSB y después MSB). Siempre se debe configurar el canal antes de pasarle los valores de la constante de tiempo.

Para el diseño del temporizador 8254 se usaron como guía los siguientes bloques funcionales:

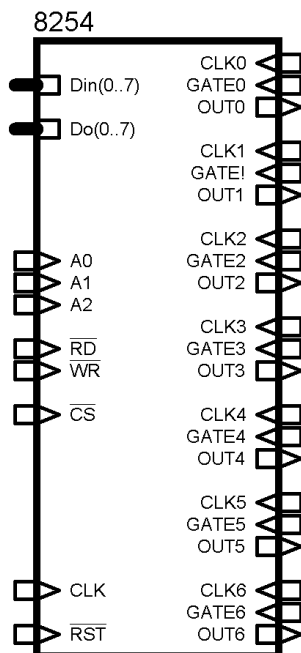


Figura 1: Top module del diseño.

Posee 7 canales para funcionar, cada canal con su propia entrada de reloj, habilitación y salida.

Buses de datos de entrada y de salida de 8 bits cada uno.

Señales A2, A1 y A0 para la selección o configuración de los canales.

Señales de lectura(RD), escritura(WR), Chip Select(CS), reloj(CLK) y reset(RST).

A continuación, se muestran los bloques internos del módulo anterior.

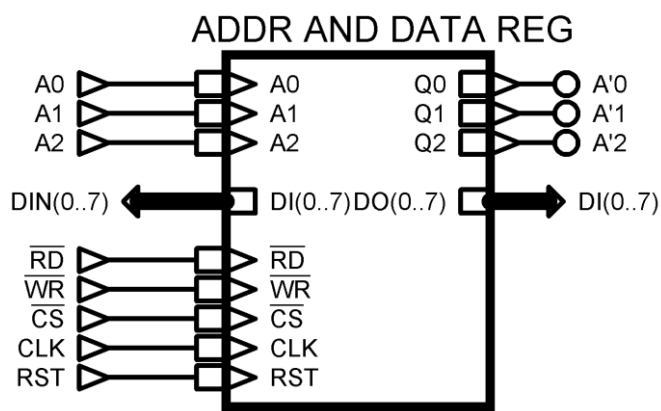


Figura 2: Registro para direcciones y datos

Este componente se encarga de según la escritura o la lectura, almacenar los valor de la direcciones A y datos D introducidas externamente para la posterior utilización por los demás componentes. Posee Chip Select conectado al interno para su habilitación.

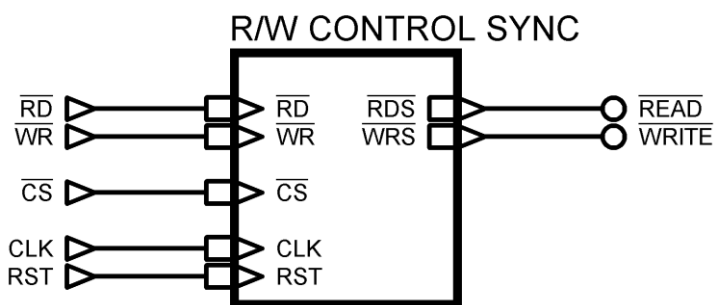


Figura 3: Manipulador de señales de escritura y lectura.

Se encarga se recibir las señales de lectura y escritura externas y retrasarlas un pulso del reloj y luego

manteniéndolas dos pulsos en nivel bajo, esto para que puedan ser utilizadas correctamente por otros componentes, estando los datos y direcciones de entrada ya estables. Posee señal de Chip Select CS conectada al módulo top para que el circuito responda o no a esas señales.

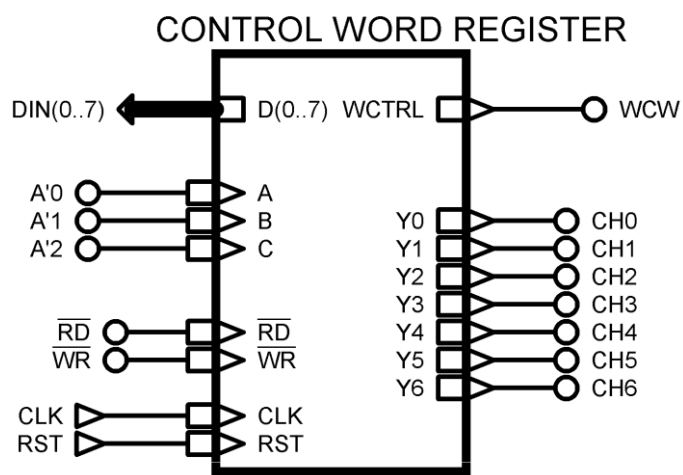


Figura 4: Registro de configuración y selección de canales.

Se ocupa de decodificar la dirección para la selección del canal, y en caso de configuración (A = '111'), activar, además, la señal WCTRL, activa en 1 indicando que se va a configurar el canal seleccionado.

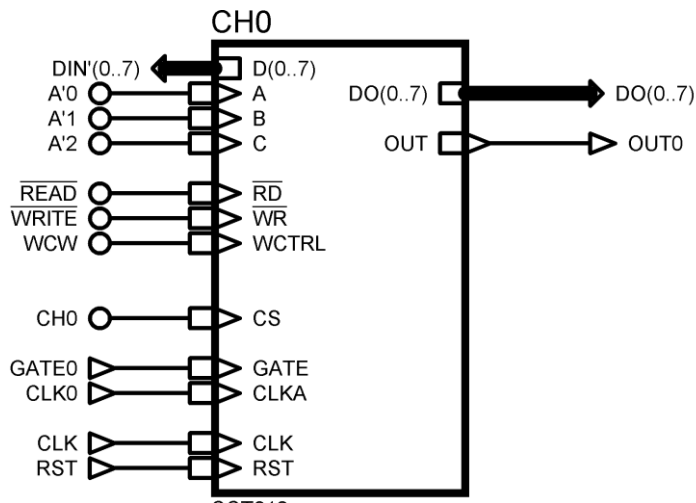


Figura 5: Canal del temporizador.

Es uno de los 7 canales del temporizador, se encarga de recopilar todas las señales para su funcionamiento correcto.

Entrada de selección CS: habilita la respuesta a señales de lectura y escritura del canal.

WCTRL para indicar que se procederá a configurar el canal.

Posee dos entradas de reloj, CLK para los componentes internos no relacionados con el contador interno y CLKA para el conteo y temporización de ese canal.

A continuación, se muestran los componentes internos de un canal del temporizador:

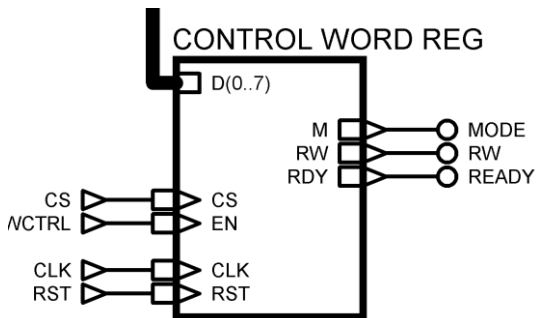


Figura 6: Registro de control para un canal

Máquina de estados.

Se activa con las señales CS para diferenciar según el canal y EN cuando se está indicando que se configurara un canal con WCTRL.

Al activarse, toma los bits 0 y 1 de la palabra de control estable del bus de datos, asignando a las salidas M y RW el valor de esos bits. La señal M queda con su valor contante, mientras que RW toma dos pulsos activos en 1 para indicar al controlador del canal para realizar el Counter Latch Command.

La señal RDY para el controlador del canal, permanecerá en nivel alto mientras ese canal se halla configurado al menos una vez.

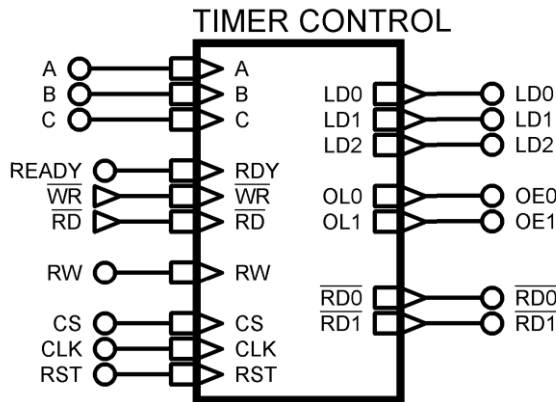


Figura 7: Controlador de escritura y lectura del canal.

Se encarga de emitir las señales para que los registros de recarga almacenen los nuevos valores de conteo o para que los registros de lectura almacenen los valores actuales del contador y habiliten la salida de alta impedancia de estos registros.

También posee señales de habilitación al estar seleccionado ese canal con CS y previamente configurado RDY. Un pulso de RW activa la lectura simultanea de parte alta y parte baja del conteo actual en los registros de salida, permitiendo que cuando se escriba la palabra de control con el bit de RW en 1 en ese instante se capture el valor actual de conteo (Counter Latch Command, lectura al vuelo sin necesidad de detener el conteo).

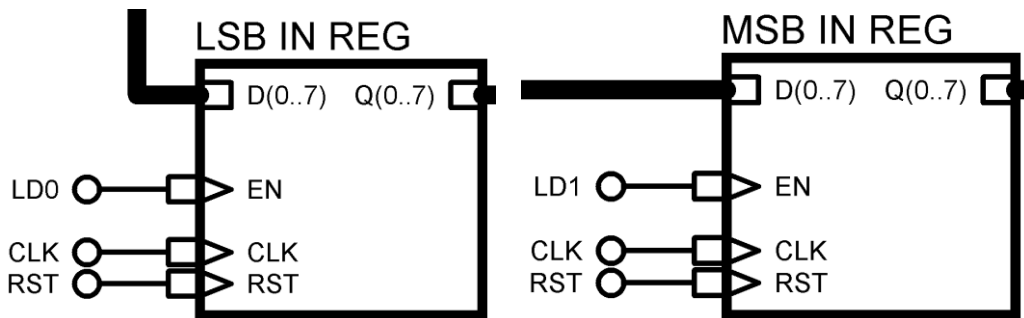


Figura 8: Registros de recarga de conteo del contador.

Estos registros de 8 bits son los encargados de que a través de las señales de habilitación LD0 y LD1 tomen el nuevo valor de conteo del bus de datos para su posterior recarga por el temporizador. El bloque controlador del timer es el encargado de controlar esas señales de habilitación LD0 y LD1.

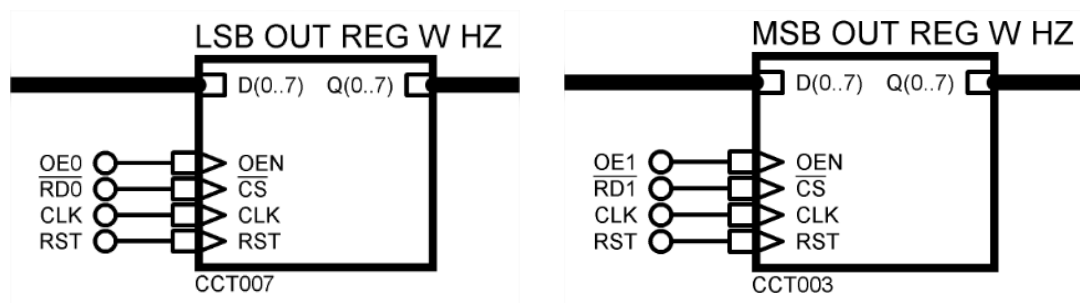


Figura 9: Registros para almacenar la salida del contador.

Estos registros de 8 bits con salidas de tercer estado son controlados por el controlador del timer, se encargan de mantener el dato estable en la salida del contador para permitir su lectura.

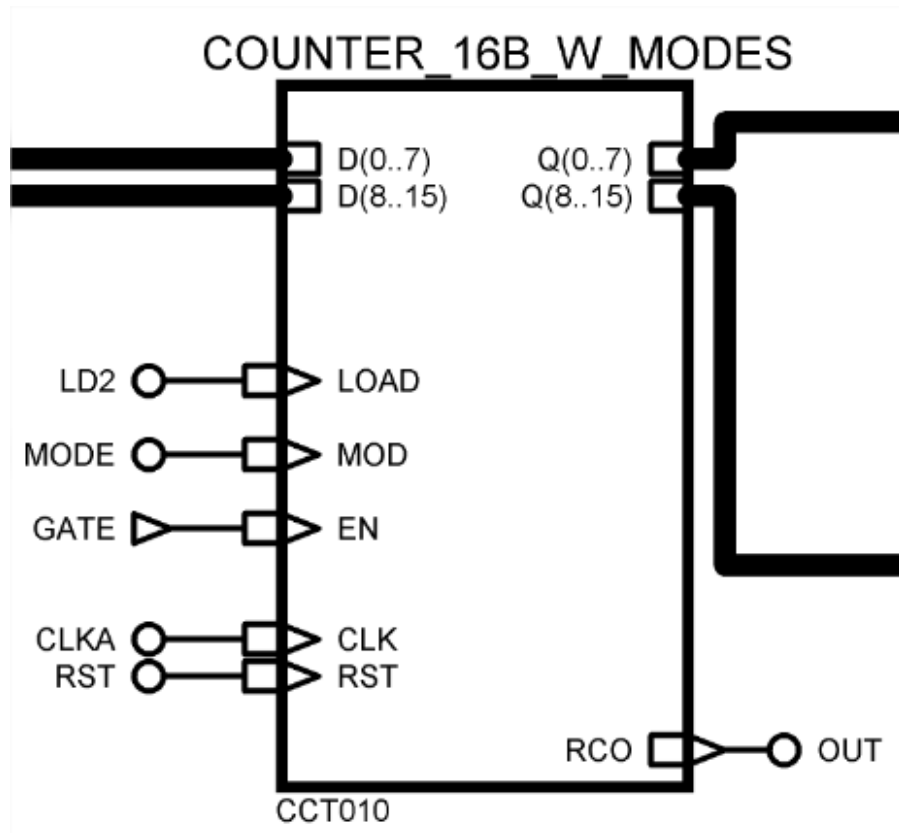


Figura 10: Contador de 16 bits.

Este bloque es el principal encargado de realizar el conteo, la señal LD2 indica que está listo para comenzar. En su interior se encuentran dos máquinas de estado encargadas de controlar los dos modos posibles del contador en dependencia del estado de la señal MODE ('0' modo 1, '1' modo 3) y GATE. Además, empleamos un ip_core contador de 16 bits, con entradas clr sincrónico, LOAD, Thresh0 activa en '1' para el valor de conteo 1.

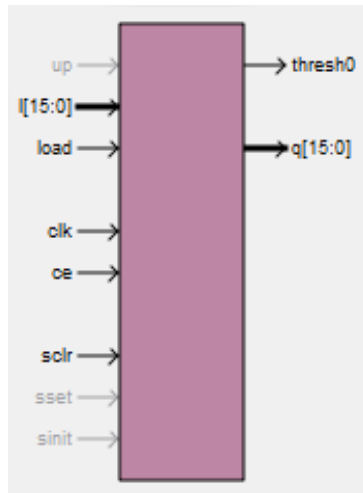


Figura 11: Módulo utilizado en el diseño (contador de 16 bits).

Detalles de síntesis e implementación

Síntesis

Al realizar la síntesis de todo el diseño obtuvimos los siguientes resultados:

Number of Slices:	450	out of	14752	3%
Number of Slice Flip Flops:	364	out of	29504	1%
Number of 4 input LUTs:	565	out of	29504	1%
Number of IOs:	45			
Number of bonded IOBs:	45	out of	250	18%
Number of GCLKs:	8	out of	24	33%

Resumen temporal:

Minimum period: 8.258ns (Maximum Frequency: 121.099MHz)

Minimum input arrival time before clock: 4.707ns

Maximum output required time after clock: 10.114ns

Maximum combinational path delay: 6.121ns

El reloj de todo el sistema fue el de mayor carga con 329 mientras que los relojes específicos de los canales solo tenían una carga de 22.

La señal reset primeramente tuvo un fanout de 500 pero por restricciones de síntesis se logró 121.

Implementación

Para la implementación se empleó una restricción temporal para todas las señales del reloj para trabajar a una frecuencia de 50 MHz.

Simulación

La siguiente figura muestra la simulación funcional del temporizador configurando el canal 0 en modo 3. Se comprobó el comando de lectura a partir de 450 ns, capturando el valor de conteo recién cargado. El período del reloj del canal es de 40 ns.

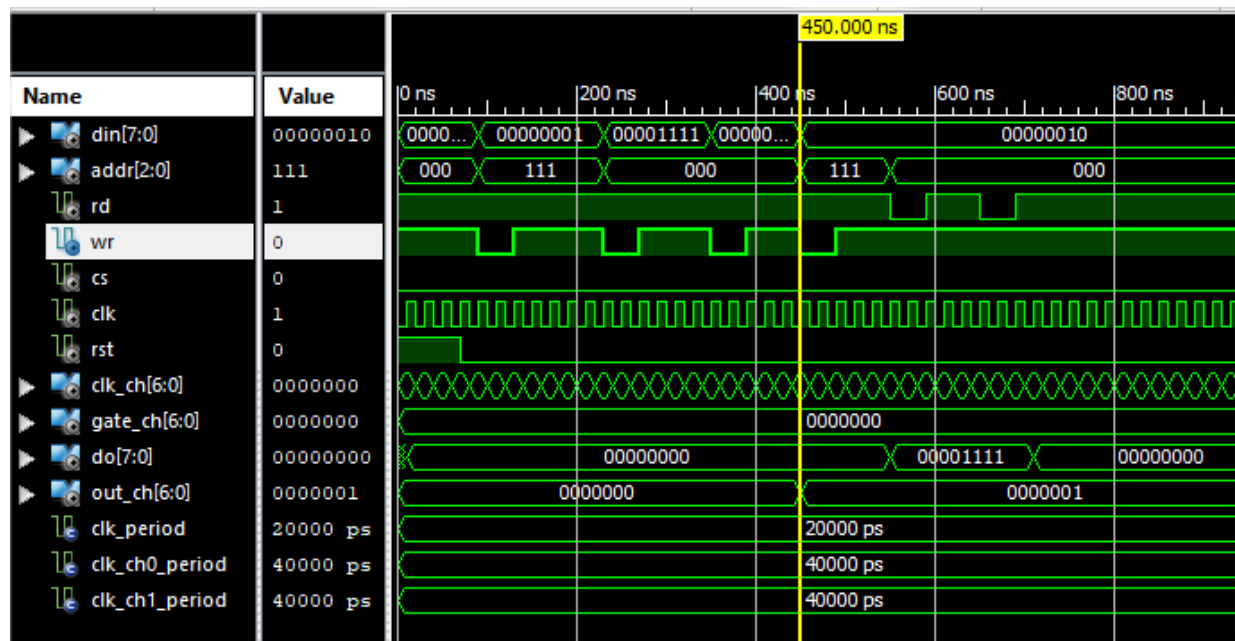


Figura 11: Simulación funcional de un canal

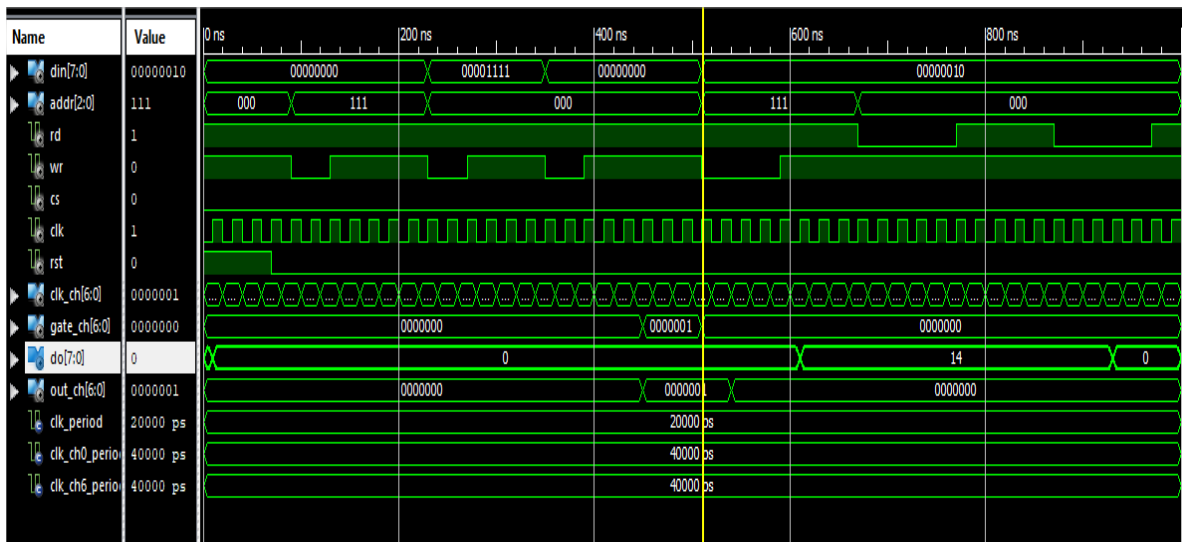


Figura 12: Simulación funcional del canal 0 en modo 1.

La figura siguiente muestra la simulación temporal del canal 0 configurado en modo 1.

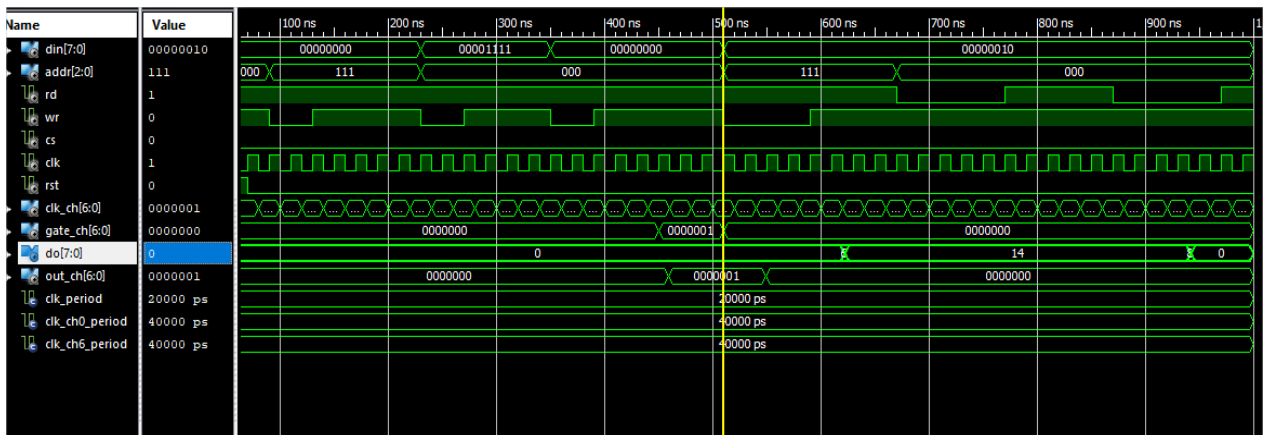


Figura 13: Simulación temporal de un canal.

En esta figura podemos observar un glitch en el cambio de la señal por los retardos en adquisición del dato.

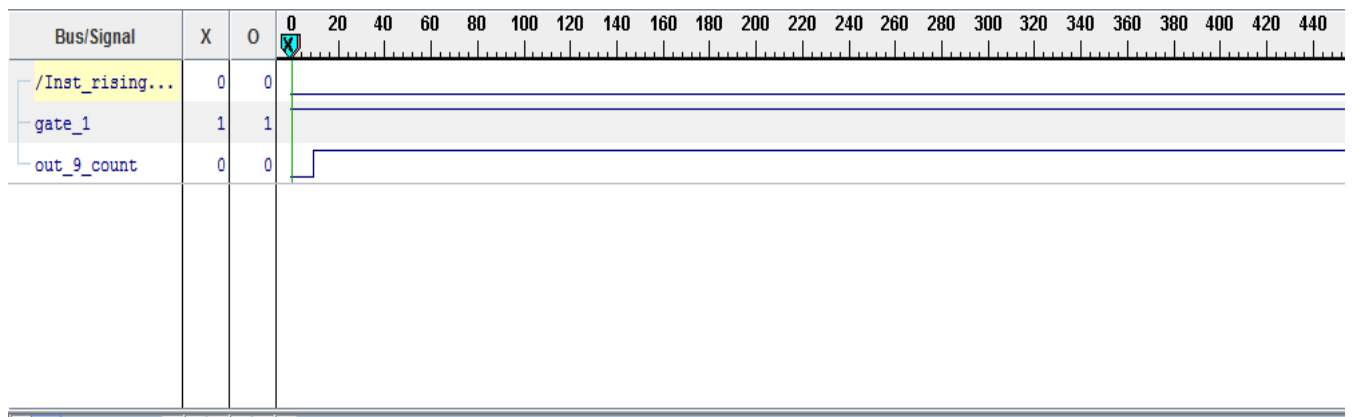


Figura 14: Simulación en Chip Scope para el canal 1 a una frecuencia de muestreo de 50 KHz.

Iniciativa

Como iniciativa emplearemos los leds 7 y 6 (7 canal 0 y 6 canal 1) para mostrar la salida out de los canales configurados, los interruptores 3 y 2 funcionarán como las señales de habilitación (GATE) de los canales 0 y 1 respectivamente y el interruptor 1 se utilizará para la selección del canal que se va a configurar. Los botones (push Button), se utilizarán de la siguiente manera: btn sur para reset, oeste para configuración del canal 0, norte para configuración del canal 1 (se encarga de enviar la palabra de control, así como el valor de la constante de tiempo).

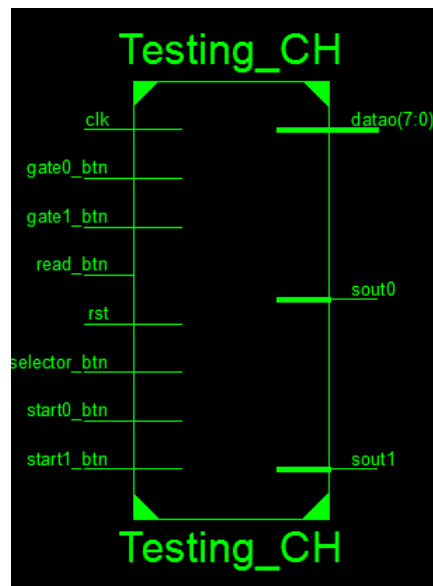


Figura 15: Componente de implementación del 8254

Conclusiones

Con la realización de este trabajo se mostró la eficacia de la simulación funcional y temporal para ver el funcionamiento del diseño, aunque esto no garantiza el correcto funcionamiento en la implementación física del diseño, por eso la importancia de utilizar la simulación física con la herramienta chip scope. Además, comprendimos la importancia de las restricciones temporales, en caso de ser necesario, para el correcto funcionamiento y acoplamiento de todos los componentes del sistema. Se evidencia la eficacia de las herramientas de síntesis de Xilinx.