

ALL PROGRAMMABLE



ANY MEDIA

5G

4K/8K

ANY STANDARD

ANY MACHINE

ANY NETWORK

5G Wireless • SDN/NFV • Video/Vision • ADAS • Industrial IoT • Cloud Computing



Digital Design Tutorial

Xilinx University Program



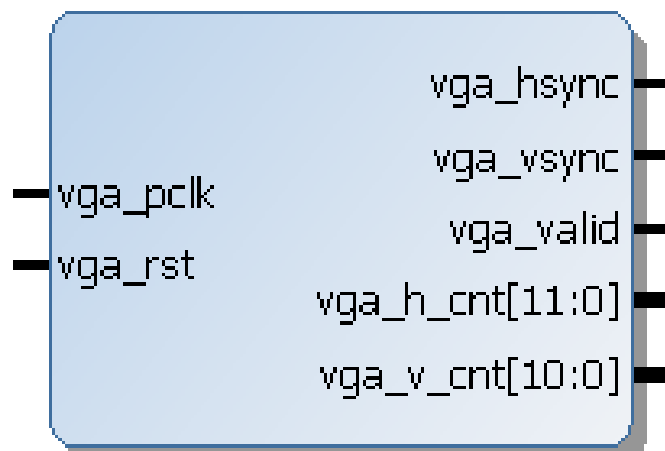
Package IP

- IP介绍
- IP打包流程
- 总结

IP介绍

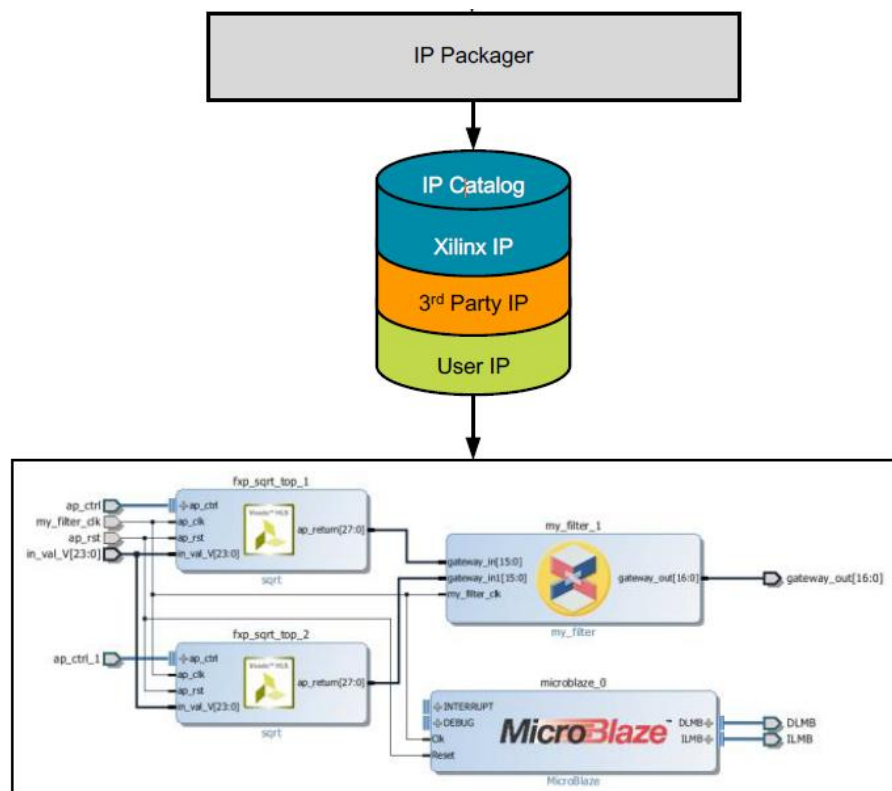
在集成电路中，IP(intellectual property)核是指某一方提供的、形式为逻辑单元、芯片设计的可重用模块。

在FPGA中设计中，适当的调用IP核可以提高设计效率，节省设计时间。同时，有些IP核比如RapidIO（高速接口IP），与FPGA底层的硬件电路资源息息相关。我们在调用IP核时，需要先翻阅IP核的参考资料，了解IP核的结构以及接口定义，方便我们设计中的调用。



IP介绍

在Vivado中，Xilinx已经提供了相当多的IP核。很多第三方的厂家也提供不同功能的IP核。与此同时，我们也可以将自己的RTL级设计封装成IP核供其他工程调用。Vivado提供了非常方便的IP核封装流程。



Package IP Flow

- **Step 1: Create Project**
- **Step 2: Package Current Project**
- **Step 3: Package AXI4 Peripherals**
- **Step 4: Add IP**

Step 1: Create Project

- **Create Project**
- **Add Source File**
- **Run RTL Simulation**

Step 2: Package Current Project

- **Set Identification**
- **Specify IP Supporting Device**
- **Validate Port & Interface**
- **Package IP**

Step 3: Package AXI4 Peripherals

➤ **Set Peripheral Details**

➤ **Add Interface**

➤ **Package IP**

Step 4: Add IP

➤ Add IP Repository

➤ Add IP

总结

- IP核的定义
- 封装IP核的方法
- 在工程中添加IP核

