

---

## 第二章 Quartus Prime 概述

---

### 学习目标

学习使用一种 FPGA 的开发工具，并完成一部分组合逻辑电路实验。主要内容包括：

- 介绍 Quartus Prime 软件的版本变迁
- 介绍软件下载
- 介绍软件安装
- 通过 3/8 译码器实例介绍 Quartus Prime 设计流程等。

### 2.1 Quartus Prime 版本变迁

随着 Intel 公司器件集成度的提高、器件结构和性能的改进，Quartus Prime 软件也在不断地改进和更新之中，每年都有新版本推出，从 15.1 版本开始，Quartus II 正式改名为 Quartus Prime，Quartus Prime 软件提供 3 个版本，即专业版、标准版和精简版。Quartus Prime 专业版软件经过优化，可支持采用英特尔 Stratix 10、英特尔 Arria 10 和英特尔 Cyclone 10 GX 设备产品家族的下一代 FPGA 和 SoC 中的高级特性；英特尔 Quartus Prime 标准版除英特尔 Cyclone10 LP 设备产品家族外，英特尔 Quartus Prime 标准版软件还广泛支持更早的设备产品家族；英特尔 Quartus Prime 精简版软件为大容量设备产品家族提供了理想的入口点，并且可免费下载，而无需许可文件。当年年号的后两位数字作为软件的主版本号（例如，2016 年推出的软件为 Quartus Prime 16.0），软件的次版本号从 0 开始顺序编号。本文档使用 2017 年推出的 Quartus Prime 17.1 版本，并将其安装在运行微软公司的 Windows 7 64 bit 操作系统的计算机上。

### 2.2 Quartus Prime 软件下载

登陆公司网站下载该软件，其网址为：

<http://fpgasoftware.intel.com/17.1/?edition=standard&platform=windows&download>

---

[\\_manager=d1m3](#)

## 2.3 Quartus Prime17.1 软件安装

读者下载软件后可按以下步骤进行安装：

安装步骤：(1)打开下载的 Quartus Prime 设计文件，用鼠标左键双击 QuartusSetup-17.1.0.590-windows.exe 文件，弹出如图 2.3.1 所示安装向导界面。

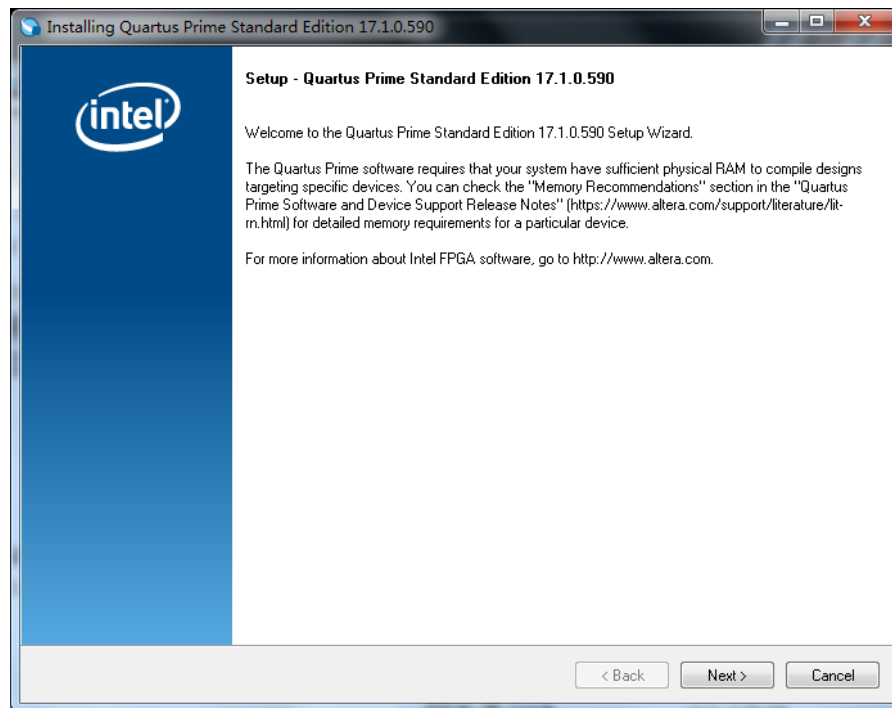


图 2.3.1 安装界面

(2)选择接受许可后，下一步进行安装目录的选择，注意不要安装到中文目录下。如图 2.3.2 所示。

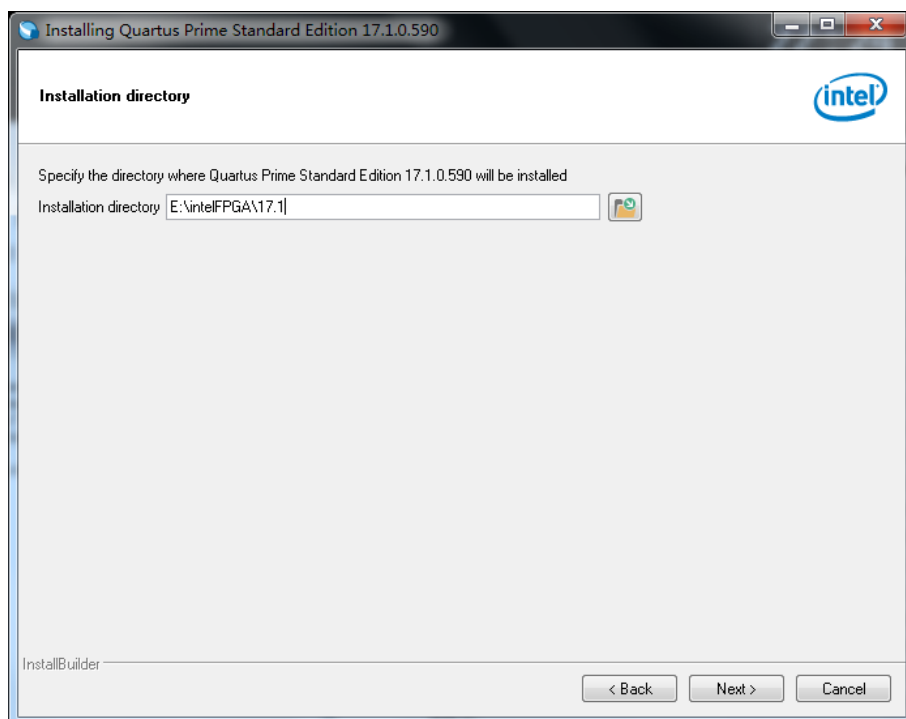


图 2.3.2 安装路径的选择

(3) 下面是安装内容的选择，如图 2.3.3 所示，勾选部分为必选项，其它选项只有在需要进行 DSP 的开发或者 C 语言软件人员进行开发，勾选 DSP Builder 或 Intel FPGA SDK for OpenCL。

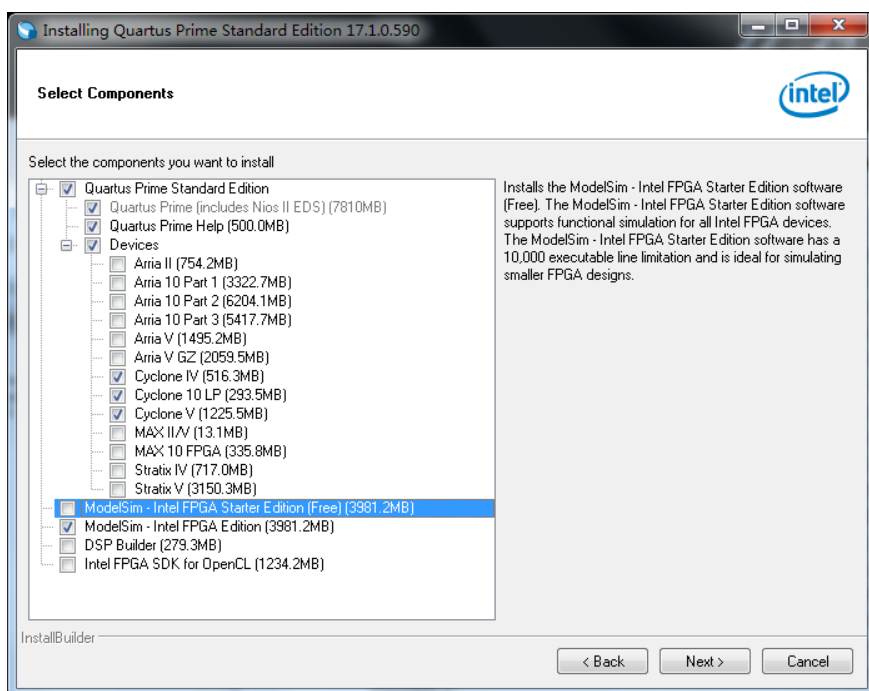


图 2.3.3 安装内容的选择

(4) 点击 Next 按钮，如果上一步勾选安装 DSP Builder 组件，则需要已安装 Matlab，可使用安装向导检测出 Matlab 的安装路径，也可自行指定安装路径。

(5) 点击 Next 按钮，即可开始进行 Quartus Prime 软件的安装。如图 2.3.4 所示的安装进度界面，等待安装完毕。

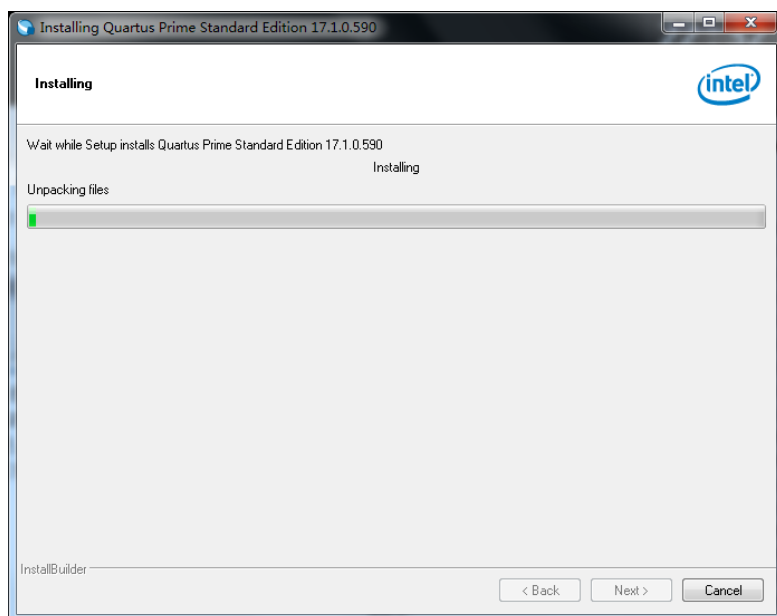


图 2.3.4 安装进度界面

如果 Quartus Prime 软件安装完后，需要其他不同的器件，可在 Intel 官网进行下载，器件库的安装如下步骤：

(1) 在 tools 菜单中选择 Install devices 进行器件安装，如图 2.3.5 所示。

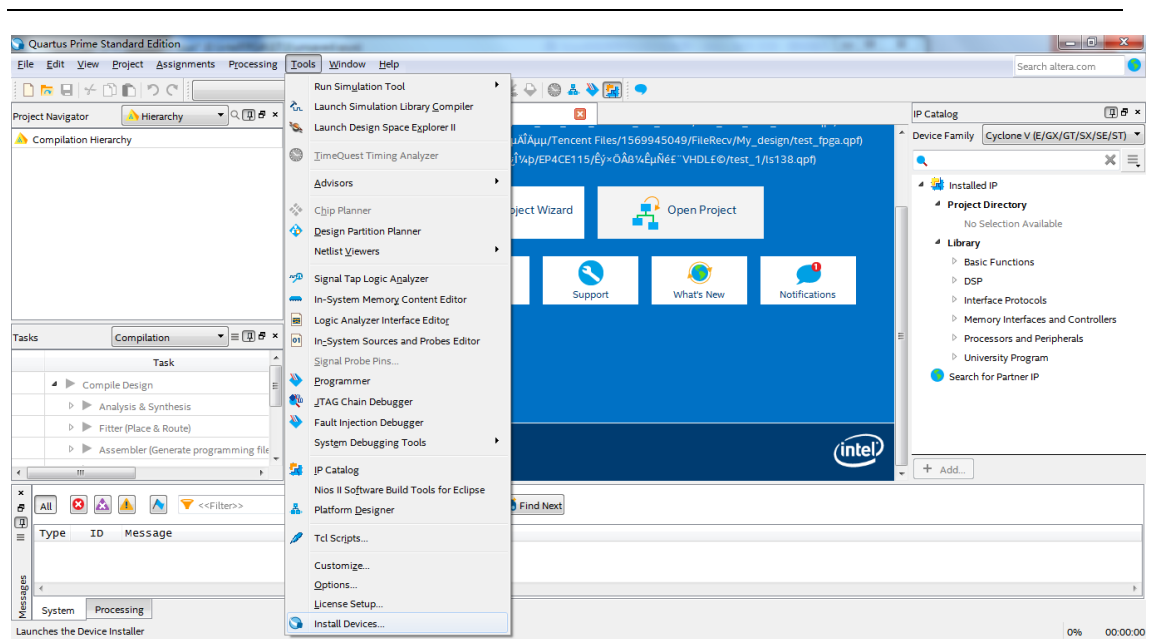


图 2.3.5 器件安装入口

(2) 将目录定位到下载的器件包文件目录，即存放 .qdz 文件的目录，点击 Next，如图 2.3.6 所示。

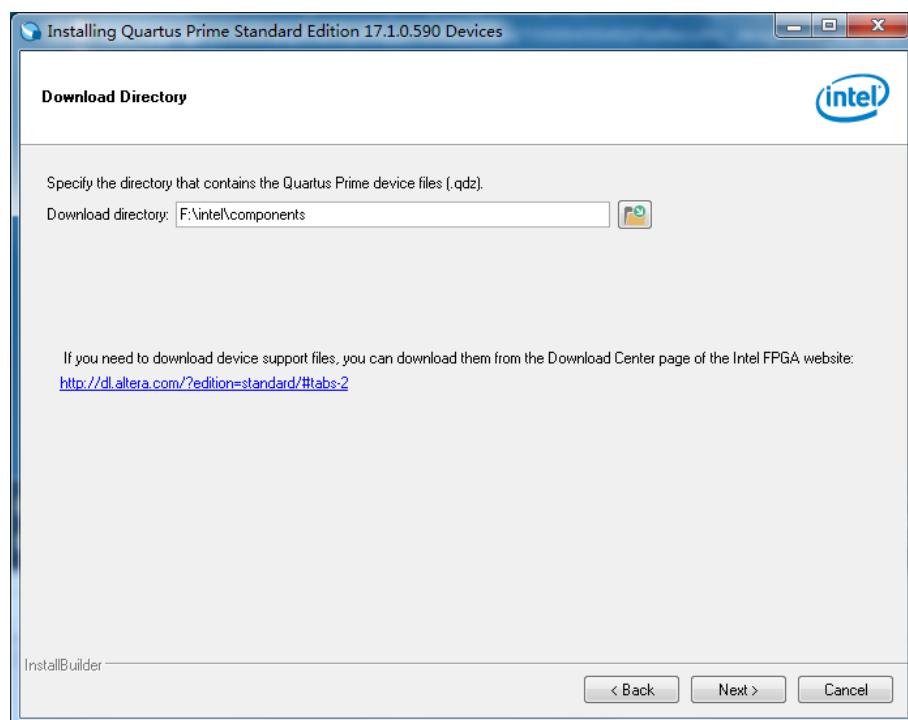


图 2.3.6 选择器件目录

(3) 安装软件将自动识别器件安装包中的器件，根据需要在器件前进行勾选安装，例如：MAX 10 FPGA，点击 Next，如图 2.3.7 所示。

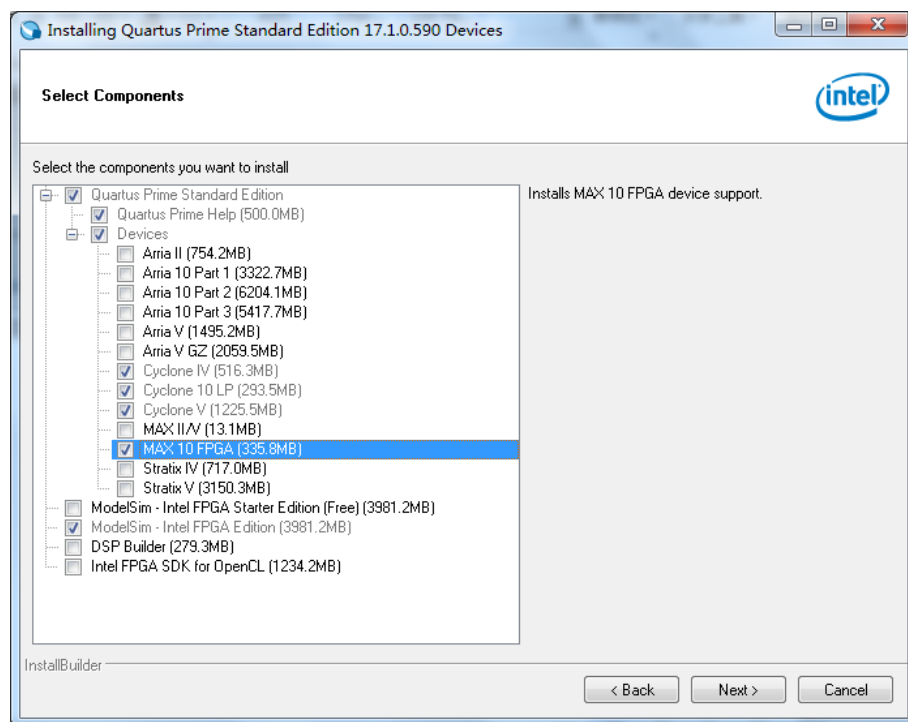


图 2.3.7 选择相对应的器件

(4) 出现器件安装进度条，等待安装完毕，如图 2.3.8 所示。

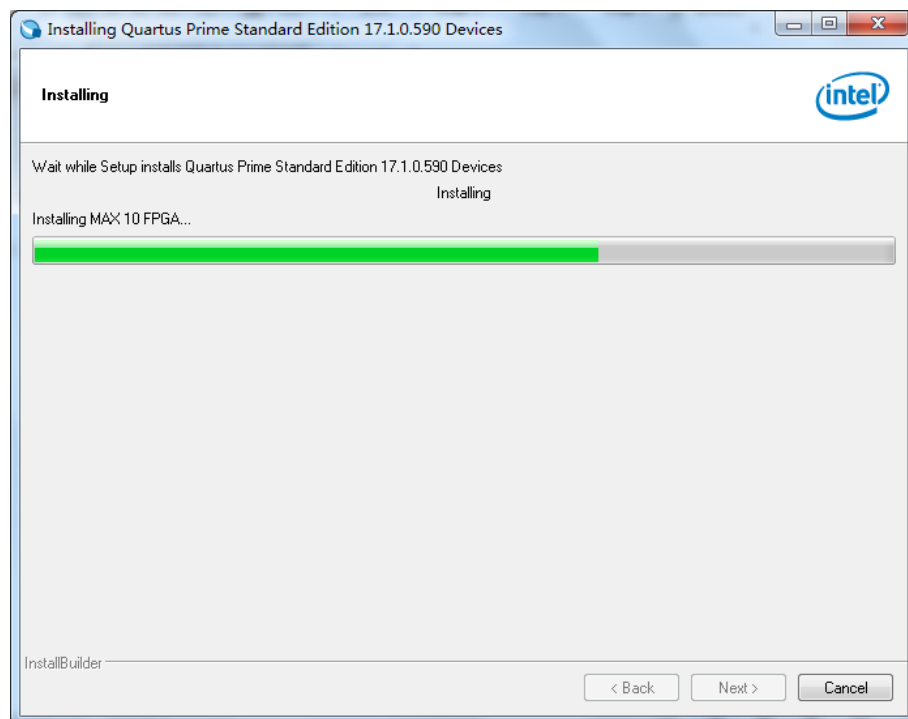


图 2.3.8 器件安装程序进程

(5) 器件安装完如图 2.3.9 所示，点击 Finish 完成安装。

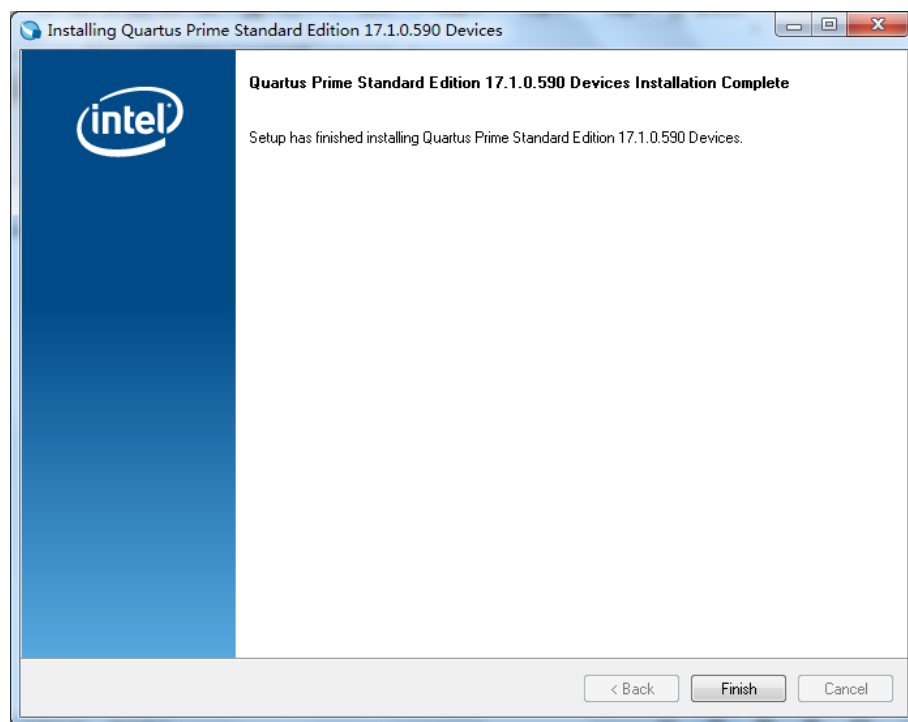


图 2.3.9 器件安装程序完成

## 2.4 Quartus Prime 17.1 设计流程

启动装有 Quartus Prime 17.1 软件的计算机后，用鼠标左键单击桌面左下角“开始”菜单项目中的“程序|Intel FPGA 17.1.0.590 Standard Edition|Quartus Prime Standard Edition 17.1.0.590|Quartus (Quartus Prime 17.1)”命令后，Quartus Prime 开始运行，屏幕上出现图 2.4. 所示的主界面。该主界面由多个窗口组成，用户可以通过菜单 View | Utility Windows 命令选取 Quartus Prime 的组成窗口，从而改变主界面的形式。

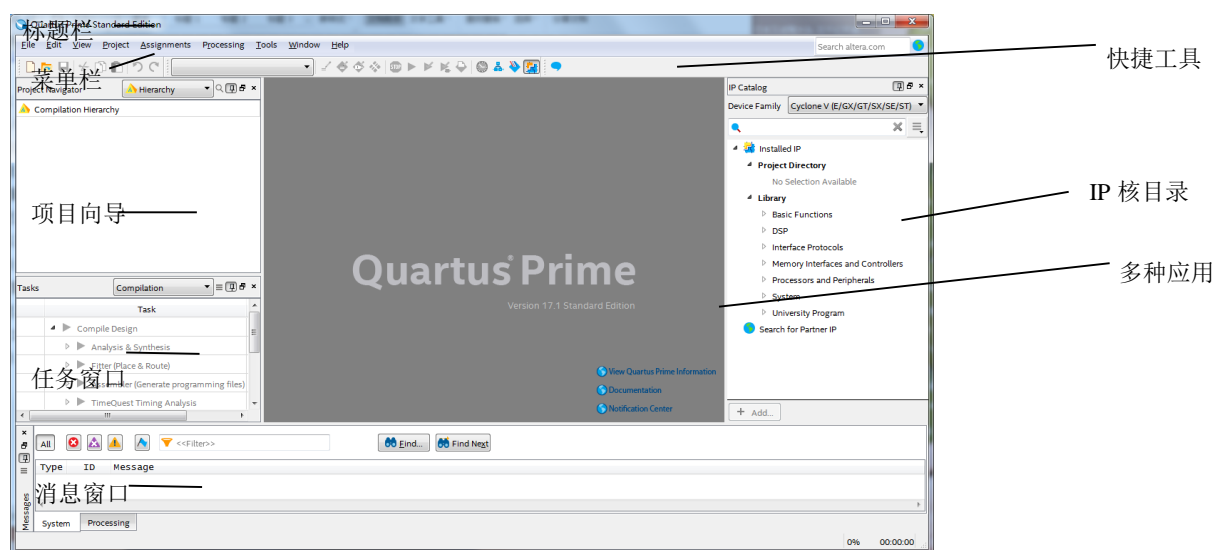


图 2.4.1 Quartus Prime 主界面

主界面的顶部是标题栏，标题栏下面有许多菜单，通过这些菜单可以选用 Quartus Prime 提供的绝大多数命令。许多常用命令以图标形式显示在快捷工具栏上，选择 Tools | Customize | Toolbars 命令可以定制工具栏。当鼠标光标放置到某个图标上，便显示出与该图标关联命令的名字。

通过 Quartus Prime 主窗口的 Help 菜单可以访问在线帮助文档，该帮助文档能回答用户在使用该软件时可能遇到的大多数问题，并能获得许多高级功能的使用方法。

另外，安装 Quartus Prime 软件时，在安装子目录（例如 C:\intelFPGA\17.1\quartus\qdesigns）下面有几个设计项目示例，供用户参考。

使用 Quartus Prime 软件的设计流程如图 2 所示，大体上可以分为以下 6 个步骤：



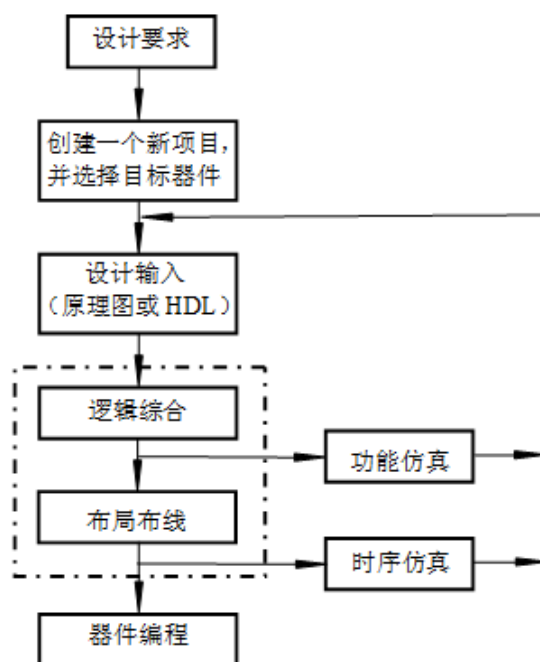


图 2.4.2 Quartus Prime 设计流程

(1) 创建一个新项目，并为此项目指定一个工作目录，然后指定一个目标器件。

在用 Quartus Prime 进行设计时，将每个逻辑电路或者子电路称为**项目 (project)**。当软件对项目进行编译处理时，将产生的一系列文件（例如，电路网表文件、编程文件、报告文件等）。因此需要创建一个目录用于放置设计文件以及设计过程产生的一些中间文件。我们创建目录 **F:\Lab\_exercise**，以便保存工程项目文件。建议每个项目使用一个目录。

(2) 设计输入：Quartus Prime 可以使用的设计输入文件有：电路原理图、Verilog HDL、以及其他的硬件描述语言文件，例如 VHDL 和 AHDL（Altera 公司专用的硬件描述语言），也可以选用状态机文件和 EDIF（Electronic Design Interface Format，电子设计接口格式）文件<sup>1</sup>等。

(3) 逻辑综合：就是把原始描述（原理图或 HDL 代码）转换成面向某个具体的 FPGA 器件的电路网表文件，即用目标芯片中的逻辑元件来实现设计的逻辑，供

---

<sup>1</sup>EDIF 文件是由第三方综合工具生成的表示电路逻辑结构的标准格式文件。该 EDIF 标准为 EDA 工具之间交换信息提供了一个便利的机制。

---

后面的布局布线软件使用。Quartus Prime 软件内部的集成综合工具支持 Verilog-1995 和 Verilog-2001 的 IEEE 标准，还支持 VHDL 1987 和 VHDL 1993 标准。

(4) 布局布线：根据事先设定的约束条件（例如，器件型号、指定的输入/输出引脚、电路工作频率等），将逻辑综合器生成的网表文件输入到布局布线器，然后用目标芯片中某具体位置的逻辑资源（元件、连线）去实现设计的逻辑，完成逻辑元件、引脚的布局以及连线工作。同时生成一系列中间文件（例如，供时序仿真用的电路网表文件、报告文件等）和编程数据文件（.sof 和 .pof）。

(5) 仿真验证：仿真的目的是验证设计的电路能否达到预期的要求。Quartus Prime 软件支持功能仿真和时序仿真两种方式。

功能仿真（functional simulation）就是假设逻辑单元电路和互相连接的导线是理想的，电路中没有任何信号的传播延迟，从功能上验证设计的电路是否达到预期要求。仿真结果一般为输出波形和文本形式的报告文件，从波形中可以观察到各个节点信号的变化情况。但波形只能反映功能，不能反映定时关系。在进行功能仿真之前，需要完成 3 项准备工作：

- ① 对设计文件进行部分编译（分析和综合）；
- ② 产生功能仿真所需要的网表文件；
- ③ 建立输入信号的激励波形文件。

时序仿真（timing simulation）是在布局布线完成后，根据信号传输的实际延迟时间进行的逻辑功能测试，并分析逻辑设计在目标器件中最差情况下的时序关系，它和器件的实际工作情况基本一致，因此时序仿真对整个设计项目的时序关系以及性能评估是非常必要的。

(6) 器件编程：将编译得到的编程数据文件下载到目标器件中，使该可编程器件能够完成预定的功能，成为一个专用的集成电路芯片。

编程数据是在计算机上编程软件的控制下，由下载电缆传到 FPGA 器件的编程接口，然后再对器件内部的逻辑单元进行配置。常用的下载电缆有：USB-Blaster、ByteBlaster II 和 Ethernet Blaster 等，USB-Blaster 使用计算机的 USB 口，

ByteBlaster II 使用计算机的并行口，Ethernet Blaster 使用计算机的以太网口，在使用之前，都需要安装驱动程序。

## 2.5 基于 Verilog HDL 的电路设计与实现

本节以 3/8 译码器为例，通过拨动 4 个 switch 开关（1 个使能，三个输入），点亮正确译码后对应的 led 灯，介绍使用 Verilog HDL 的电路设计与实现。介绍时，说明每个步骤涉及到的基本知识，然后给出具体的操作步骤。

### 2.5.1 电路分析

将 DE2-115 开发板上的 Switch 开关、LED 灯与 3/8 译码器模块连接，如图 2.5.1 所示。

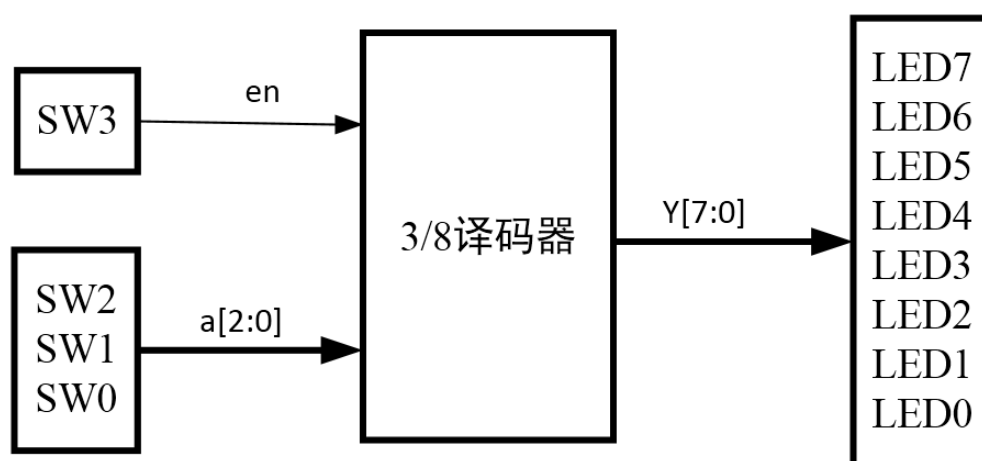


图 2.5.1

### 2.5.2 开始

在 Quartus Prime 软件中设计的每个电路或者子电路都叫做工程（Project）。Quartus Prime 软件每次只能打开一个工程，并且同一个工程的所有信息都必须保存在同一个文件夹（folder）。为了开始新设计，第一步就是新建一个文件夹，将来所有与此设计相关的文件和数据都保存在文件夹。为了保存本文档的设计工程，新建文件夹 F:\Lab\_exercise，所有的项目都保存在 Lab\_exercise 中，然后在

Lab\_exercise 中建立 decoder3\_8 文件夹，包含 prj（保存工程文件）和 src（保存代码文件）子文件夹。如图 2.5.2 所示。

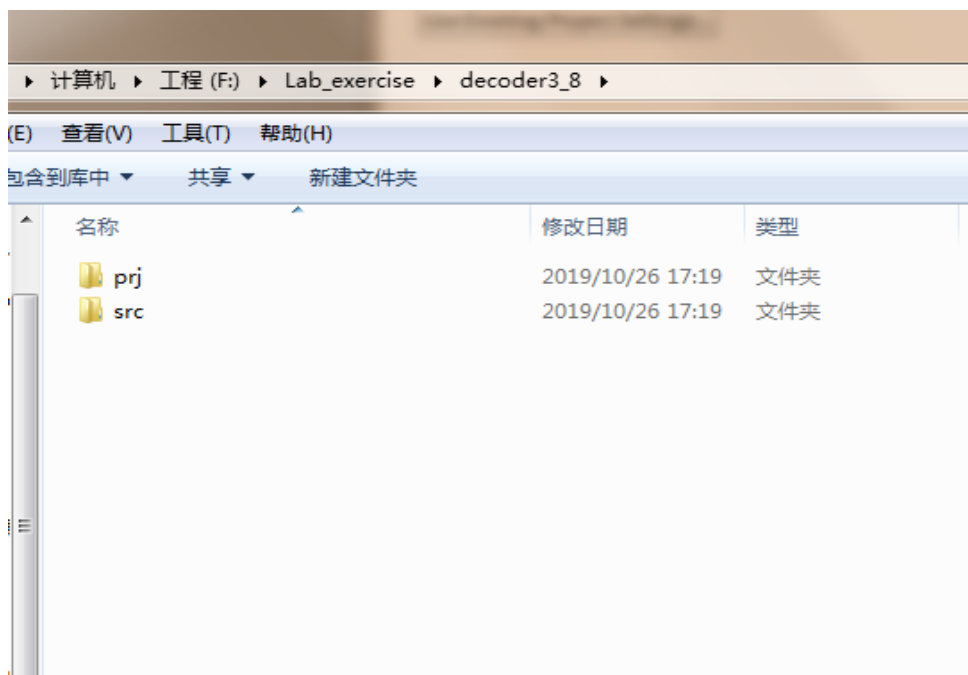


图 2.5.2

启动 Quartus Prime 软件，会打开如图 2.5.3 所示的启动画面。该启动画面包含了使用 Quartus Prime 软件所需要的几个窗口，用户可以通过鼠标在窗口中选择想要执行的功能。

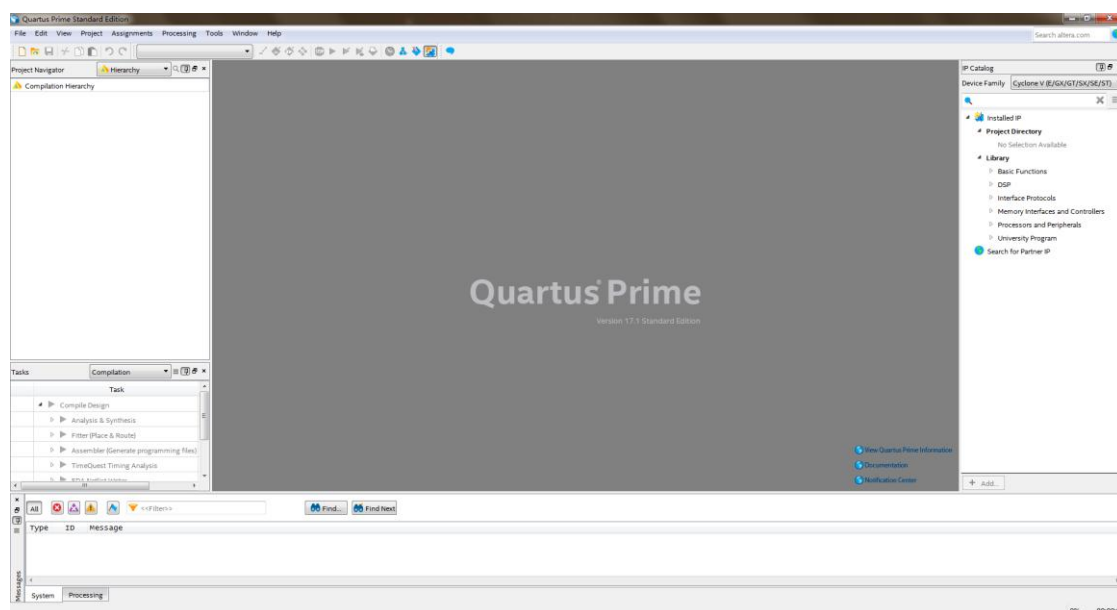


图 2.5.3

Quartus Prime 软件提供的绝大多数命令都可以通过选择位于标题栏下面的

一系列菜单命令来完成。例如，在 Quartus Prime 软件的菜单 File 单击鼠标左键，打开如图 2.5.4 所示的文件菜单。在弹出的 File 菜单上单击 Exit 菜单项，这样可退出 Quartus Prime 软件。一般情况下，无论任何时候使用鼠标选择时，都是使用鼠标左键。因此，通常情况下我们不再明确指出使用鼠标的哪个键。少数情况下，当有必要使用鼠标右键时，我们才明确指出。

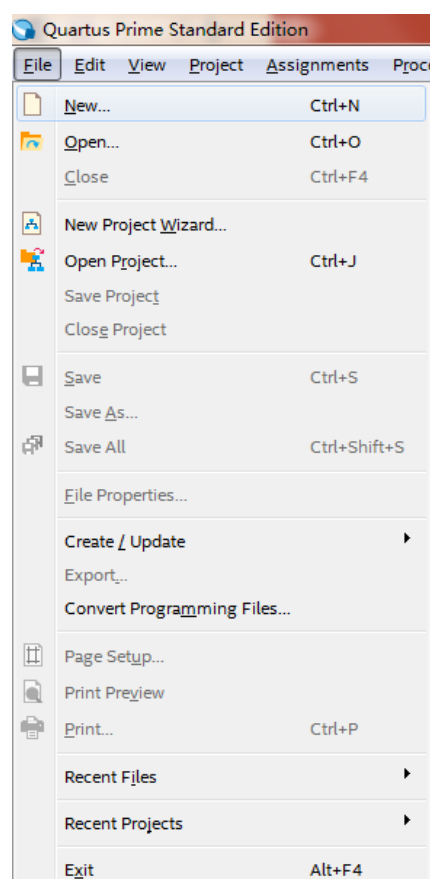


图 2.5.4

对于有些命令，需要按顺序访问几个菜单命令才可以。本书使用符号 Menu1->Menu2->Item 表示使用鼠标左键先点击菜单 Menu1，然后在弹出的菜单中鼠标左键点击菜单 Menu2，然后在弹出的菜单中鼠标单击 Item 项。例如，File->Exit 表示使用鼠标命令退出 Quartus Prime 软件。许多的命令也可以通过鼠标点击工具栏上相应的图标来完成。将鼠标放到工具栏相应的图标上，与图标相对应的命令会显示出来。

注意：Quartus Prime 软件提供了大量的在线帮助文档，帮您解决使用

Quartus Prime 软件过程中遇到的许多问题。这些文档可以通过 Help 窗口中菜单访问。

### 2.5.3 新建工程

Quartus Prime 中所有的设计都必须通过工程进行管理。为此，首先新建一个设计工程。通过 Quartus Prime 提供的 New Project Wizard 向导，用户可以非常容易的新建 Quartus Prime 工程。具体步骤如下：

1. 选择菜单命令 File>New Project Wizard，弹出图 2.5.5 所示对话框，如果选中 Don't show me this introduction again，那么下一次新建工程时，可以不再显示本对话框。

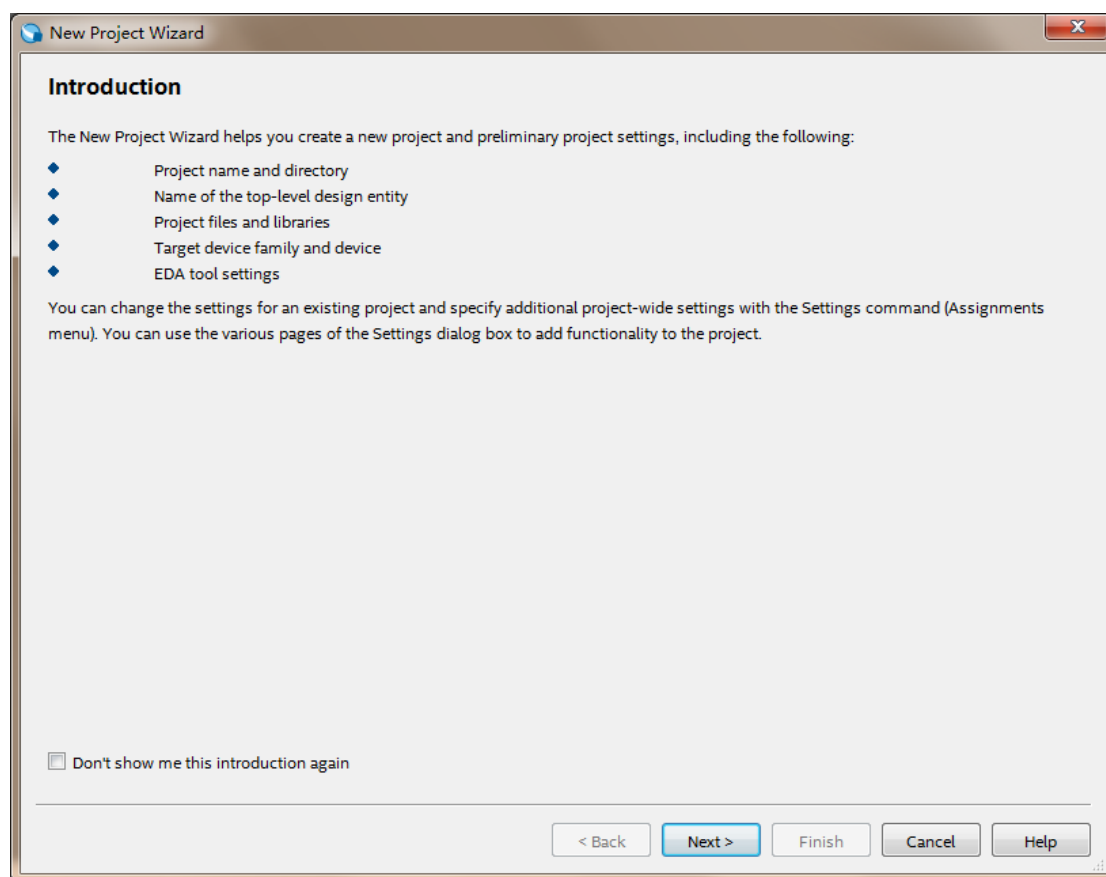


图 2.5.5

2. 点击 Next 按钮，显示图 2.5.6 所示窗口。

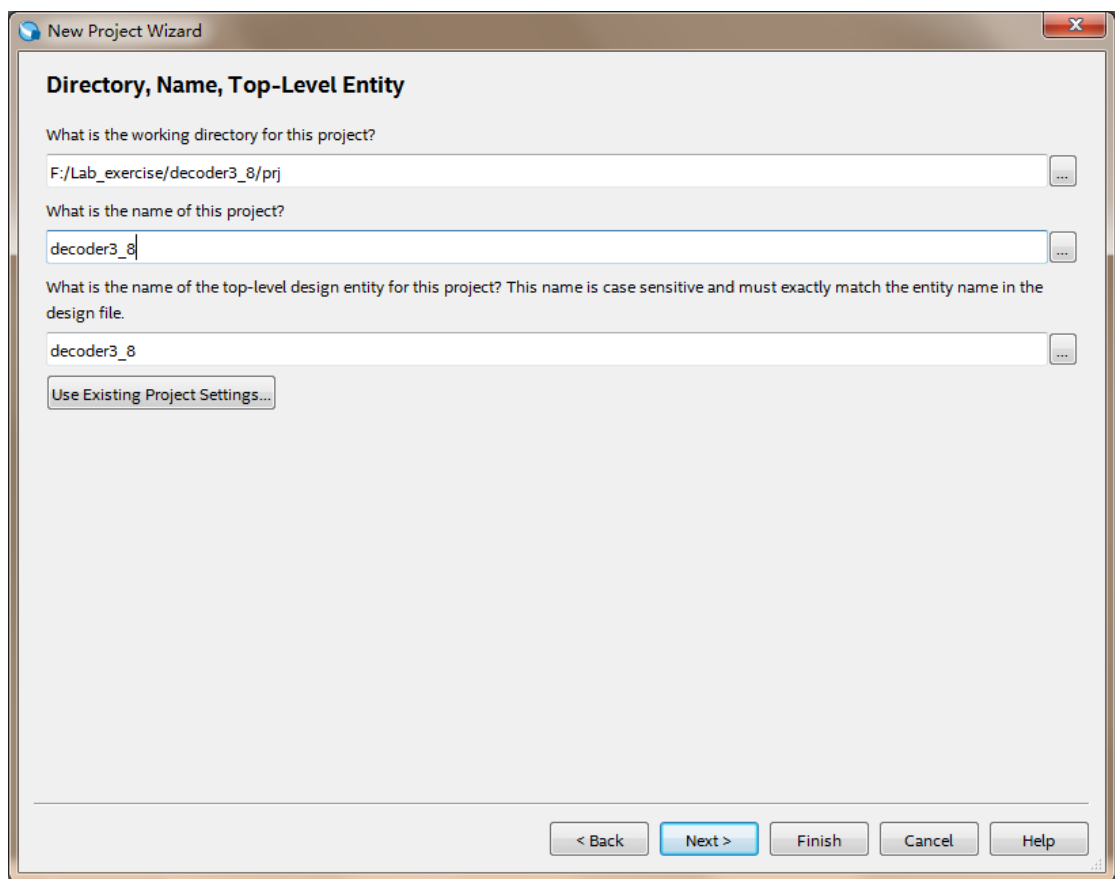


图 2.5.6

在图 2.5.6 所示的对话框中，首先，需要设定工程所在的工作目录，我们选择工程目录 F:\Lab\_exercise\decoder3\_8\prj，当然也可以选择其它的文件夹作为工作目录。其次，每个工程必须有一个名字。最后，设定顶层模块名，默认情况下，顶层模块名与工程名一致，一般不需要修改。如图 2.5.6 所示，我们选择 decoder3\_8 作为工程名和顶层模块名。单击 Next。如果事先还没有创建 decoder3\_8 文件夹，Quartus Prime 会弹出一个对话框，询问是否新建 decoder3\_8 文件夹，点击 Yes。打开图 2.5.7 所示的窗口。

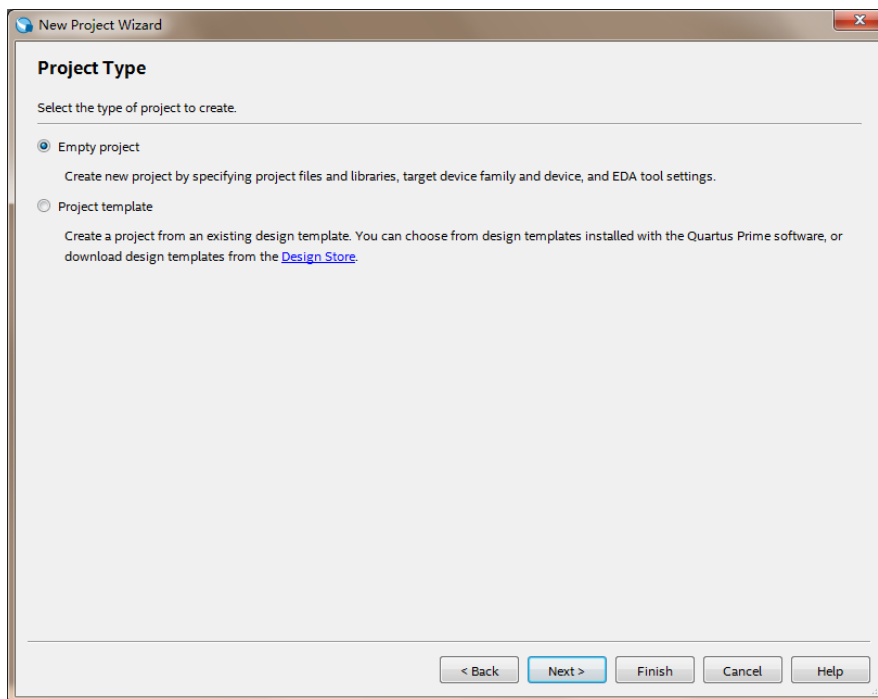


图 2.5.7

3. 在工程类型界面，如图 2.5.7 所示，您可以选择“Empty project”或者“Project template”选项。在这个例程中，我们选择“Empty project”选项，单击 Next，将会引出图 2.5.8 所示的窗口。

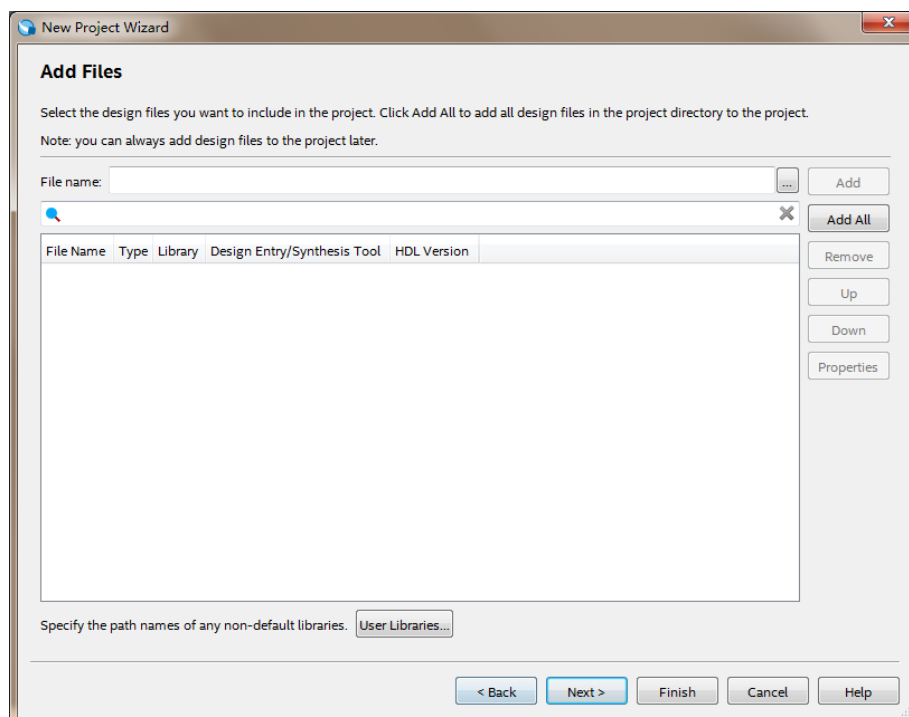


图 2.5.8



如果有些设计文件已经存在，你可以在这一步将这些文件加入到工程中。因为我们没有任何已经设计好的文件，点击 **Next**，将会打开如图 2.5.9 所示的画面。

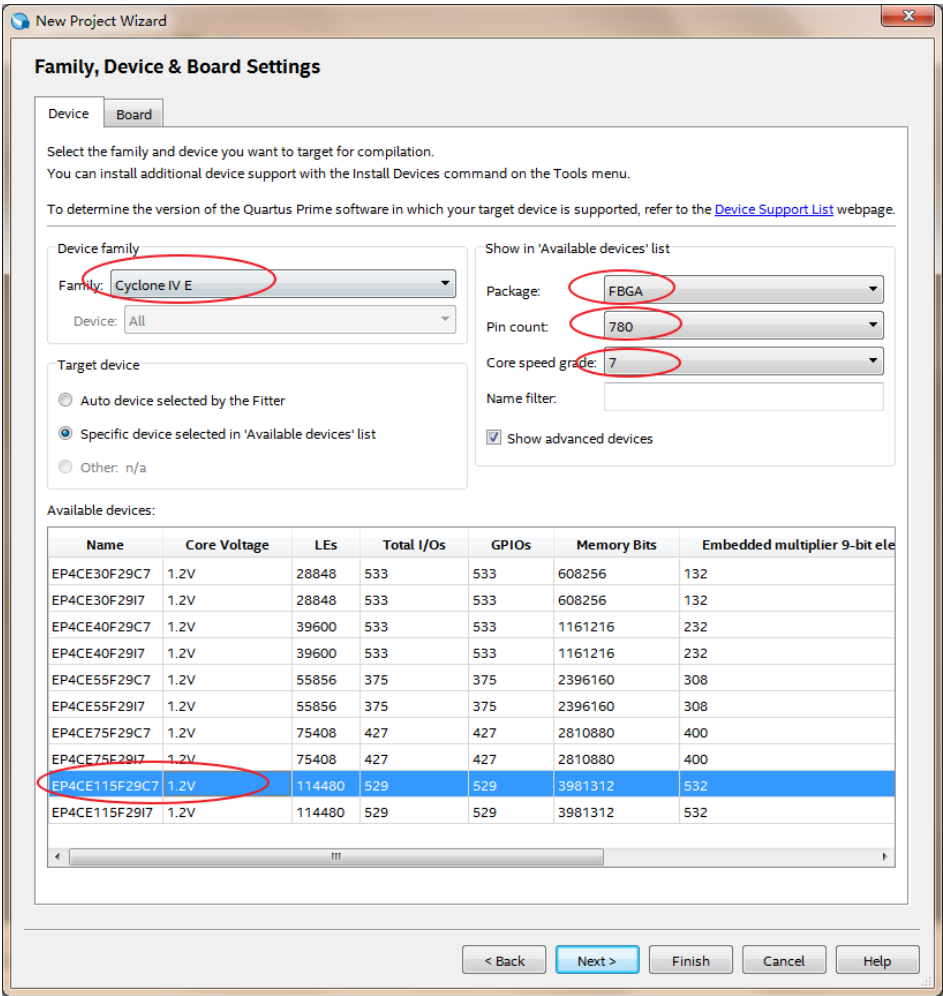


图 2.5.9

4. 图 2.5.9 所示的对话框提示用户为该项目设计选择合适的器件。用户只需在器件列表（Available Device）中，选择合适的器件即可。或者，通过选择器件的 Family，引脚数（Pin Count）以及速度等级（Speed grade）可以简化器件选择过程。以 DE2-115 开发板为例，我们使用的 FPGA 的型号是 EP4CE115F29C7N（最后的 N 表示无铅封装，我们选择 EP4CE115F29C7 即可）。通过选择 Family->Cyclone IV E，Package->FBGA，Pin count->780，Core speed grade->7 可以快速查找到对应芯片型号，选中 EP4CE115F29C7，对应行变成蓝色。然后点击 next，出现如图 2.5.10 所示窗口。

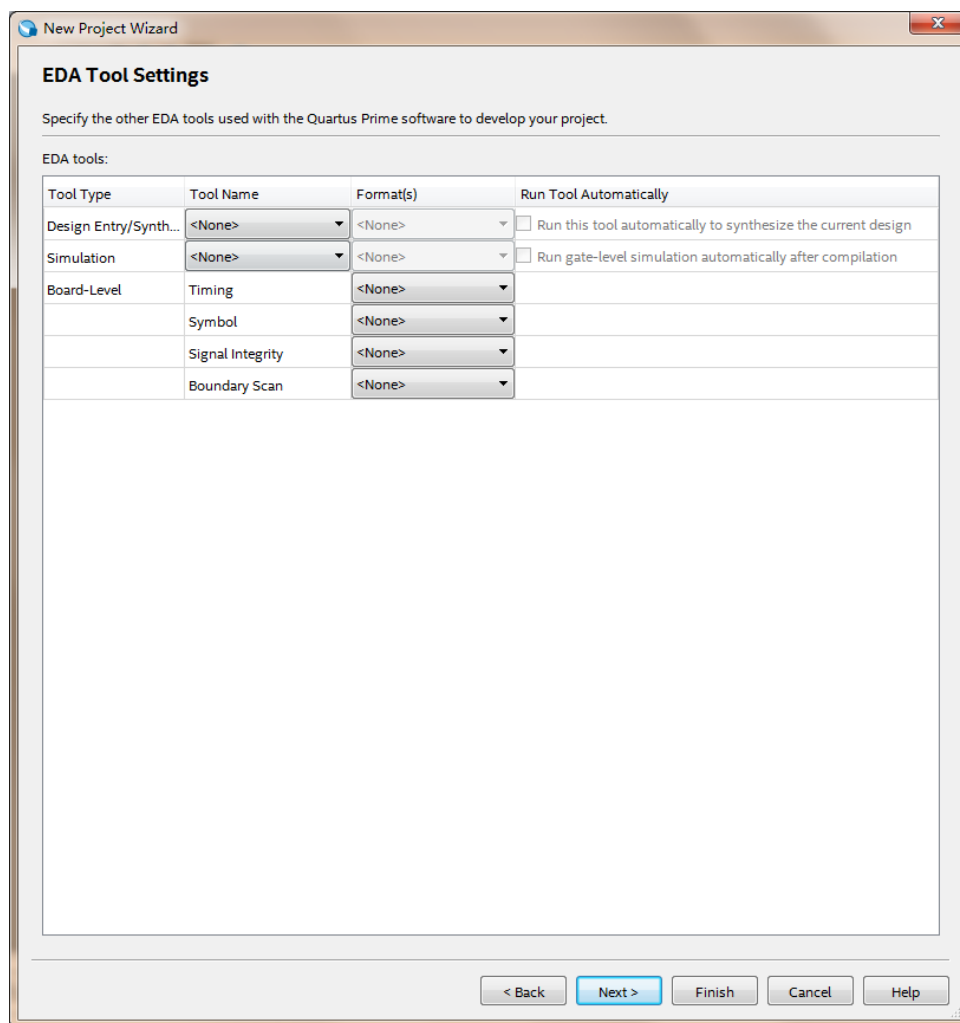


图 2.5.10

5. 图 2.5.10 所示的对话框，容许用户指定第三方 EDA 工具。第三方工具指由 Intel 以外的一些其他公司开发的 FPGA 设计工具。本节目的是介绍 Quartus Prime 软件的基本使用，所以，我们不选择其它的工具。选择 Next，如图 2.5.11 所示。

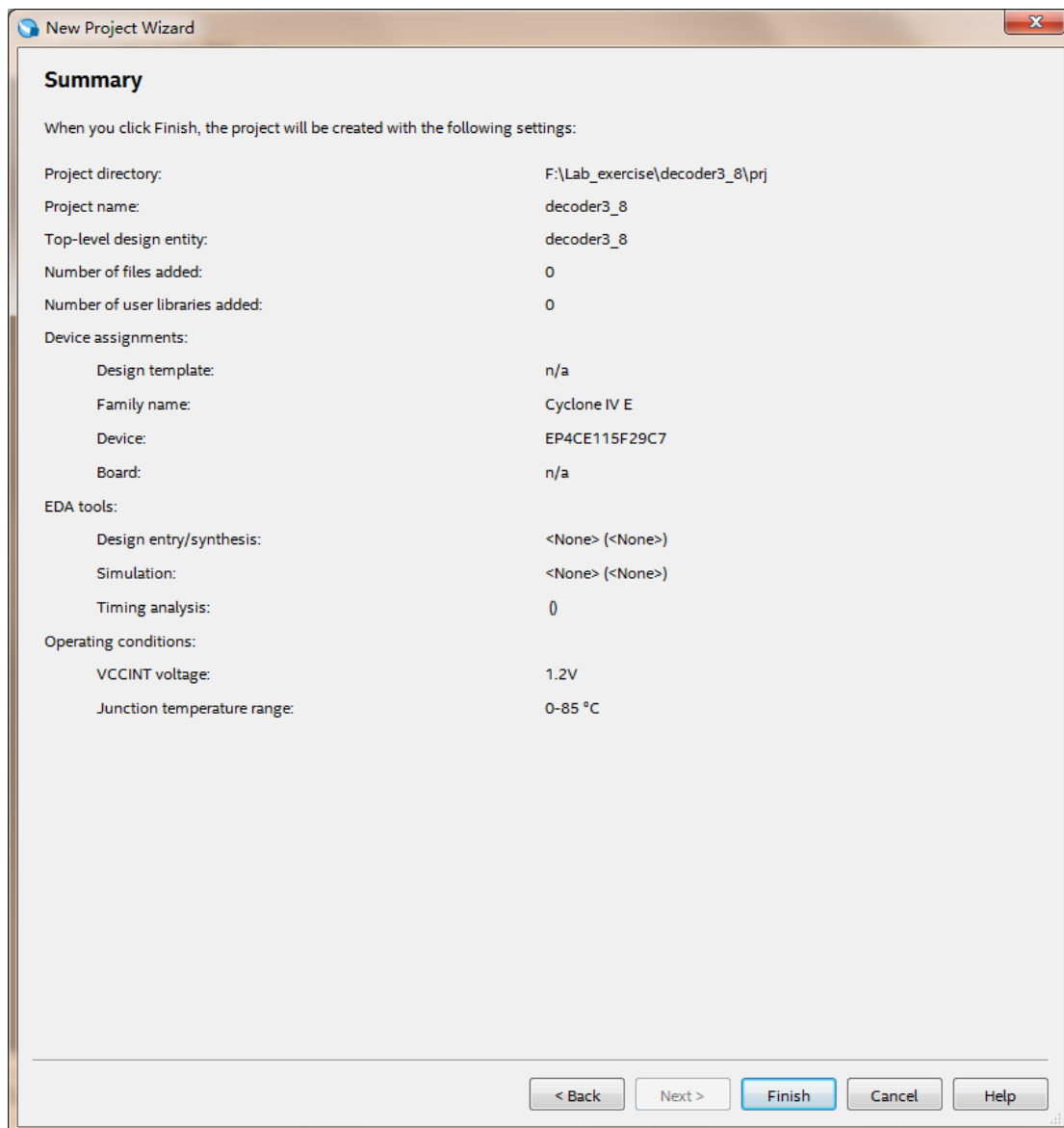


图 2.5.11

6. 图 2.5.11 给出对整个项目的总结 (summary), 确认无误后, 点击 Finish 按钮, 返回到 Quartus Prime 主窗口。在标题栏中显示的工程名称为 decoder3\_8, 如图 2.5.12 所示。

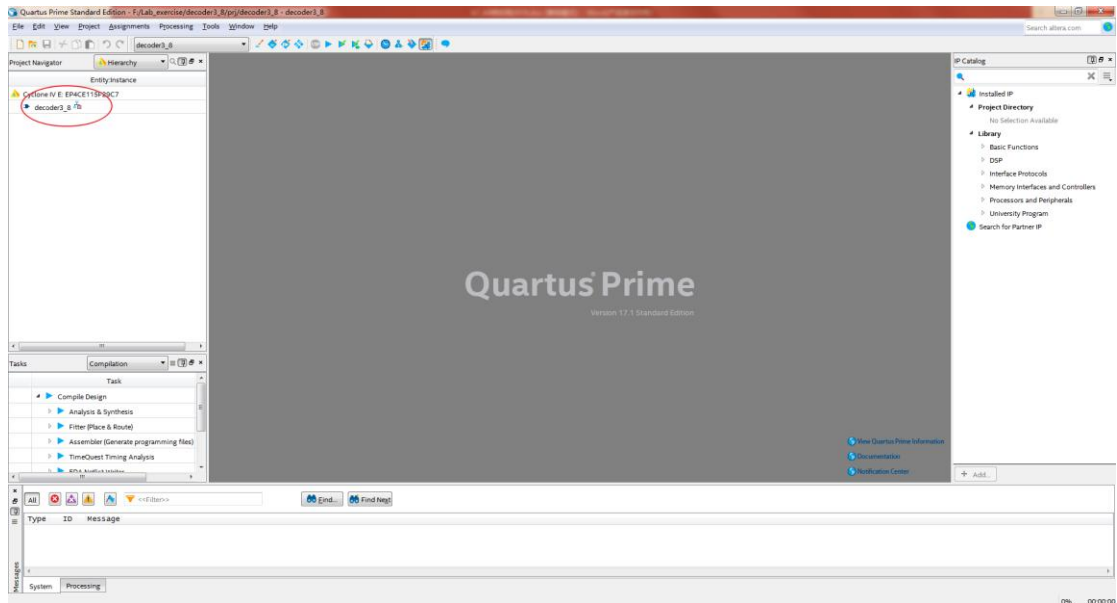


图 2.5.12

## 2.5.4 使用 Verilog 作为设计输入

在第一章的文档里已经给出了 3/8 译码器的 Verilog 代码，也对 3/8 译码器进行了功能仿真。3/8 译码器的 Verilog 代码如下所示：

```
//decoder3_8.v

module decoder3_8(

    input    [ 2: 0]    a, //input 3 bits signal

    input                    en, //enable signal

    output reg [ 7: 0]    Y //output 8 bits signal

);
```

`/* always @(*)`语句的意思是 `always` 模块中的任何一个输入信号或电平发生变化时，

该语句下方的模块将被执行。

`always` 块中赋值用 `'<='` \*/

---

```
always @(*)begin
```

```
    if(en)begin
```

```
        case(a[2:0])//decoder3_8
```

```
            3'b000: Y <= 8'b1111_1110;
```

```
            3'b001: Y <= 8'b1111_1101;
```

```
            3'b010: Y <= 8'b1111_1011;
```

```
            3'b011: Y <= 8'b1111_0111;
```

```
            3'b100: Y <= 8'b1110_1111;
```

```
            3'b101: Y <= 8'b1101_1111;
```

```
            3'b110: Y <= 8'b1011_1111;
```

```
            3'b111: Y <= 8'b0111_1111;
```

```
            default:Y <= 8'b1111_1111;
```

```
        endcase
```

```
    end
```

```
else begin//en = 0 时，输出恒为 8'b1111_1111
```

```
    Y <= 8'b1111_1111;
```

```
end
```

```
end
```

```
endmodule
```

---

### 2.5.5 使用 Quartus Prime 文本编辑器

本节介绍如何使用 Quartus Prime 文本编辑器。如果使用其它的文本编辑器新建 Verilog HDL 源文件，可以跳过此节。

选择 File>New ，打开图 2.5.13 所示 New 对话框。选择 Verilog HDL 文件类型，点击 OK。打开 Quartus Prime 文本编辑器窗口。

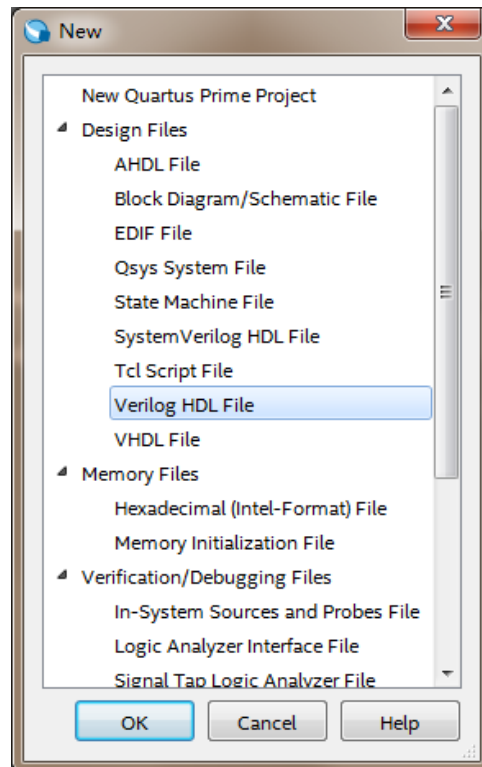


图 2.5.13

将 2.5.3 节中的 3/8 译码器的 Verilog 代码复制到文本编辑器中，如图 2.5.14 所示。

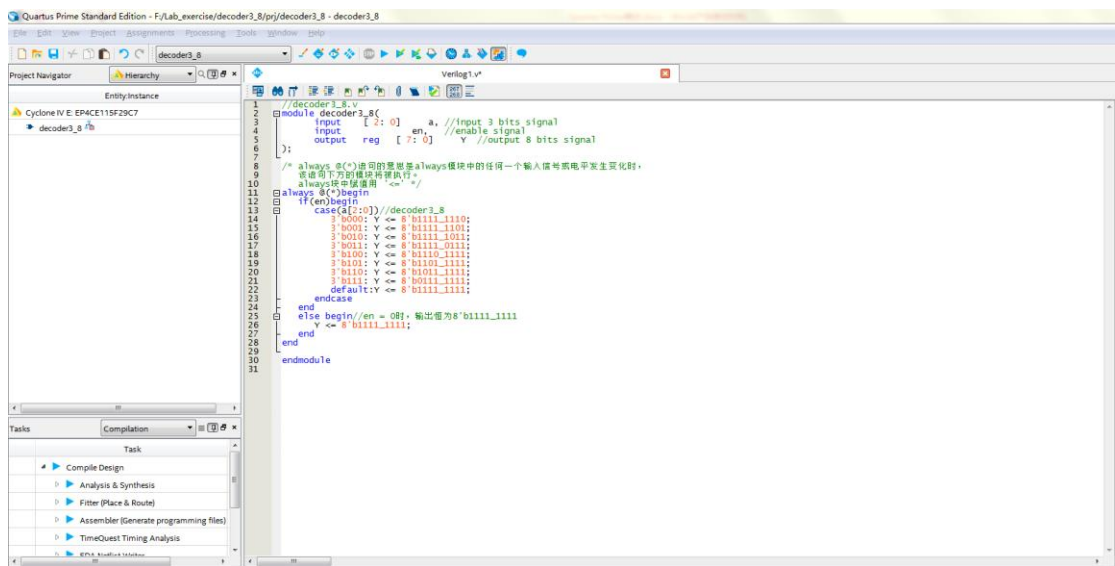


图 2.5.14

选择 File->Save As 或者按快捷键 Ctrl+s 打开图 2.5.15 所示的对话框。将目录定位到事先创建的 src 文件夹中，然后在 Save as type 中选择 Verilog HDL File，在 File name 中填写 decoder3\_8，并且勾选 Add file to current project，最后点击保存，这样文件就会保存在 F:\Lab\_exercise\decoder3\_8\src 文件夹中。

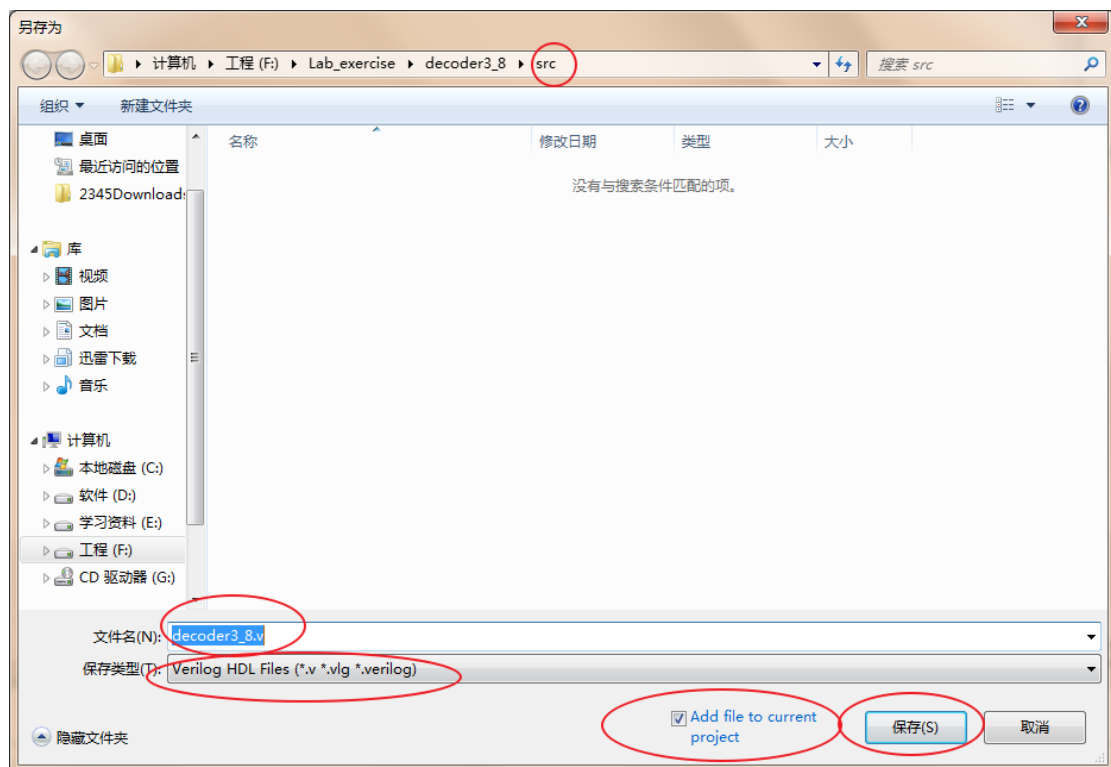


图 2.5.15

## 2.5.6 在项目中加入设计文件

如果使用 Quartus Prime 文本编辑器新建 Verilog HDL 文件，并且勾了 Add file to current project 复选框，那么 decoder3\_8.v 已经是 project 的一部分了。但是如果开发人员在使用 Quartus 软件进行开发前，已经将设计文件编辑好，此时我们建立工程后，就需要将设计文件加入到工程内。

新建工程时，可以通过勾选复选框的方式来指定哪个设计文件被包含在该工程中。为了检查哪个文件包含在目前的项目中，选择 Assignment>Setting，打开图 2.5.16 所示对话框，在左侧 Category 中选择 File 选项。选择 Project>Add/Remove Files in Project 也可以打开此对话框。

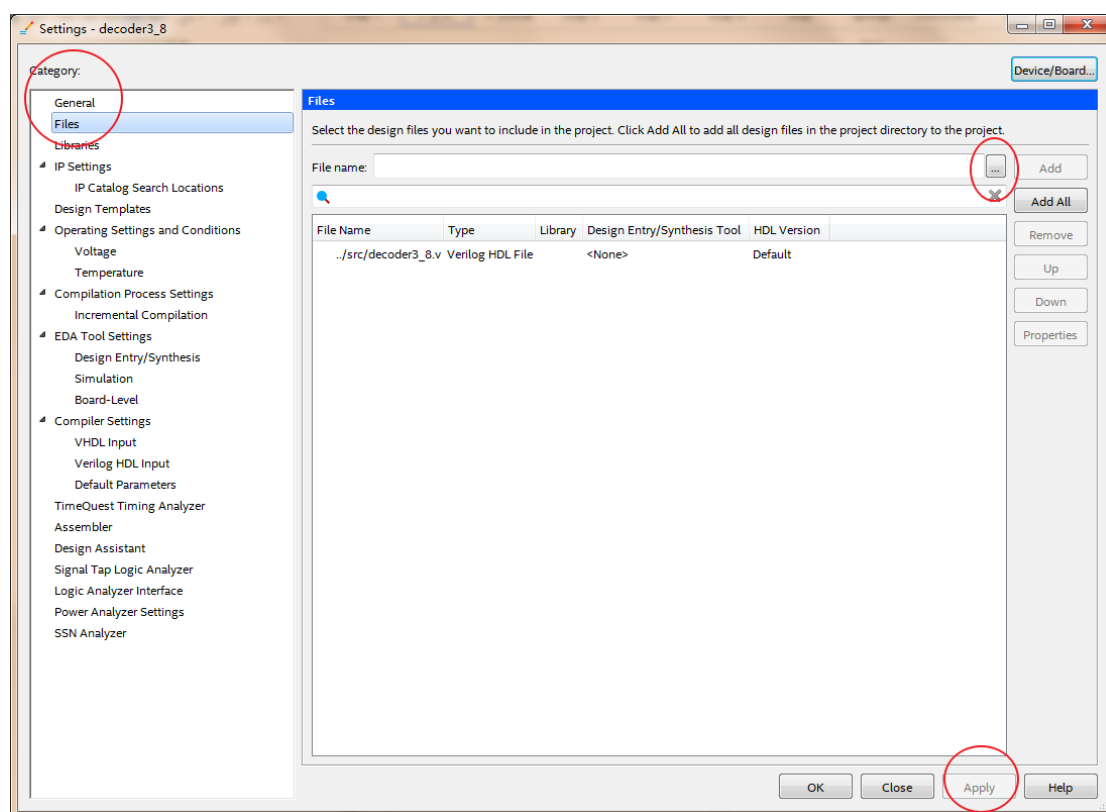



图 2.5.16

然后点击  选择设计文件，然后点击 Apply，最后点击 OK 即可，如图 2.5.17 所示。



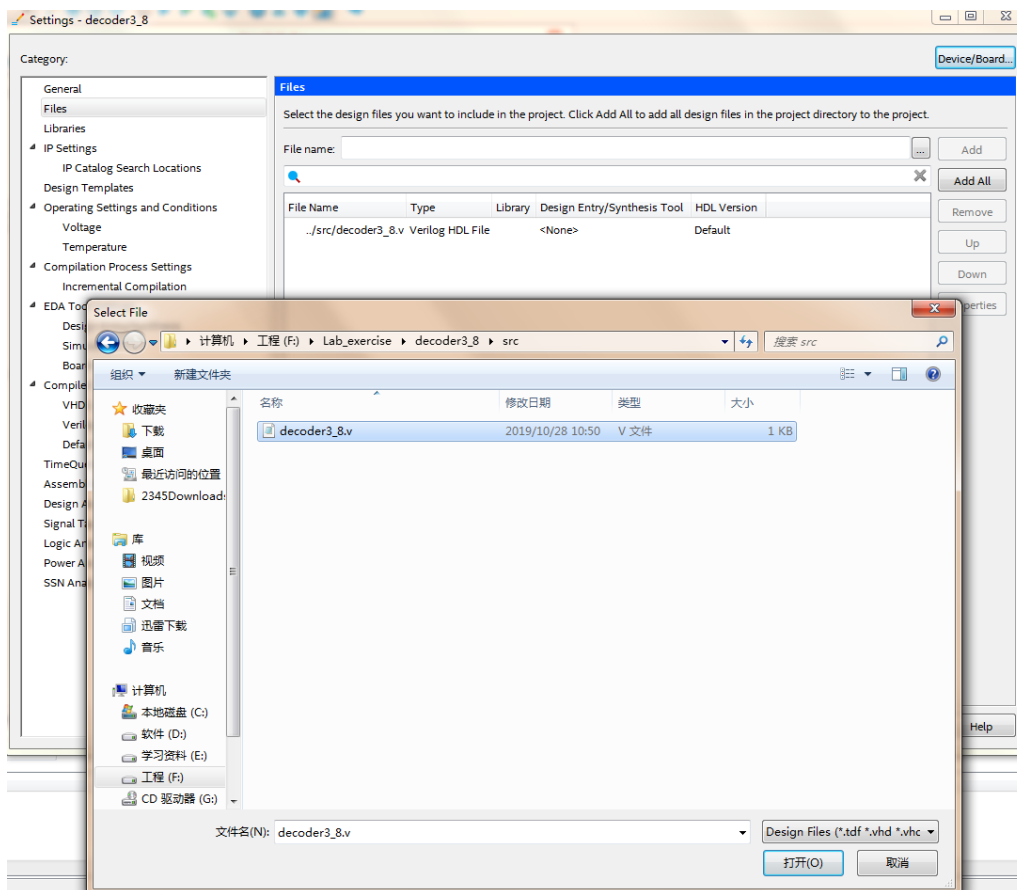



图 2.5.17

## 2.5.7 编译设计电路

Quartus Prime 的编译过程需要经过几个步骤，分别由 Quartus Prime 的不同工具处理。首先，Analysis&Synthesis 工具分析代码是否包含语法错误，如果没有语法错误执行综合过程，获得描述的电路网表。其次 Fitter 工具根据综合得到的电路网表，采用 FPGA 器件内部合适的逻辑资源实现该电路 Assembler 工具根据以上结果产生配置文件，Class Timing Analyzer 工具完成初步的时序分析工具。这些工具由 Quartus Prime 的编译器所控制。通过选择

Processing>Start Compilation 运行编译器，或者点击工具栏  图标。

随着编译的进行，Quartus Prime 软件主窗口的左侧会显示编译的进度。如果编译成功，会弹出一个对话框请求确认，点击 OK。在 Quartus Prime 窗口的底部 message 窗口，会显示在编译过程中的各种信息。如果编译过程中有错误出现，都会有相应的错误信息给出。编译结束后，Quartus Prime 会给出编译



Table 4-1 Pin Assignments for Slide Switches

Signal Name	FPGA Pin No.	Description	I/O Standard
SW[0]	PIN_AB28	Slide Switch[0]	Depending on JP7
SW[1]	PIN_AC28	Slide Switch[1]	Depending on JP7
SW[2]	PIN_AC27	Slide Switch[2]	Depending on JP7
SW[3]	PIN_AD27	Slide Switch[3]	Depending on JP7
SW[4]	PIN_AB27	Slide Switch[4]	Depending on JP7
SW[5]	PIN_AC26	Slide Switch[5]	Depending on JP7
SW[6]	PIN_AD26	Slide Switch[6]	Depending on JP7
SW[7]	PIN_AB26	Slide Switch[7]	Depending on JP7
SW[8]	PIN_AC25	Slide Switch[8]	Depending on JP7
SW[9]	PIN_AB25	Slide Switch[9]	Depending on JP7
SW[10]	PIN_AC24	Slide Switch[10]	Depending on JP7
SW[11]	PIN_AB24	Slide Switch[11]	Depending on JP7
SW[12]	PIN_AB23	Slide Switch[12]	Depending on JP7
SW[13]	PIN_AA24	Slide Switch[13]	Depending on JP7
SW[14]	PIN_AA23	Slide Switch[14]	Depending on JP7
SW[15]	PIN_AA22	Slide Switch[15]	Depending on JP7
SW[16]	PIN_Y24	Slide Switch[16]	Depending on JP7
SW[17]	PIN_Y23	Slide Switch[17]	Depending on JP7

图 2.5.19


同样的，在第 37 页显示了 LEDG 的引脚分配，如图 2.5.20 所示。



LEDR[14]	PIN_F15	LED Red[14]	2.5V
LEDR[15]	PIN_G15	LED Red[15]	2.5V
LEDR[16]	PIN_G16	LED Red[16]	2.5V
LEDR[17]	PIN_H15	LED Red[17]	2.5V
LEDG[0]	PIN_E21	LED Green[0]	2.5V
LEDG[1]	PIN_E22	LED Green[1]	2.5V
LEDG[2]	PIN_E25	LED Green[2]	2.5V
LEDG[3]	PIN_E24	LED Green[3]	2.5V
LEDG[4]	PIN_H21	LED Green[4]	2.5V
LEDG[5]	PIN_G20	LED Green[5]	2.5V
LEDG[6]	PIN_G22	LED Green[6]	2.5V
LEDG[7]	PIN_G21	LED Green[7]	2.5V
LEDG[8]	PIN_F17	LED Green[8]	2.5V

图 2.5.20

接下来介绍两个引脚分配的方式：

1. 在 Quartus 软件页面中，点击快捷工具栏中的 ，或者点击菜单栏中的 Assignments->Pin Planner。出现如图 2.5.21 所示引脚分配界面。

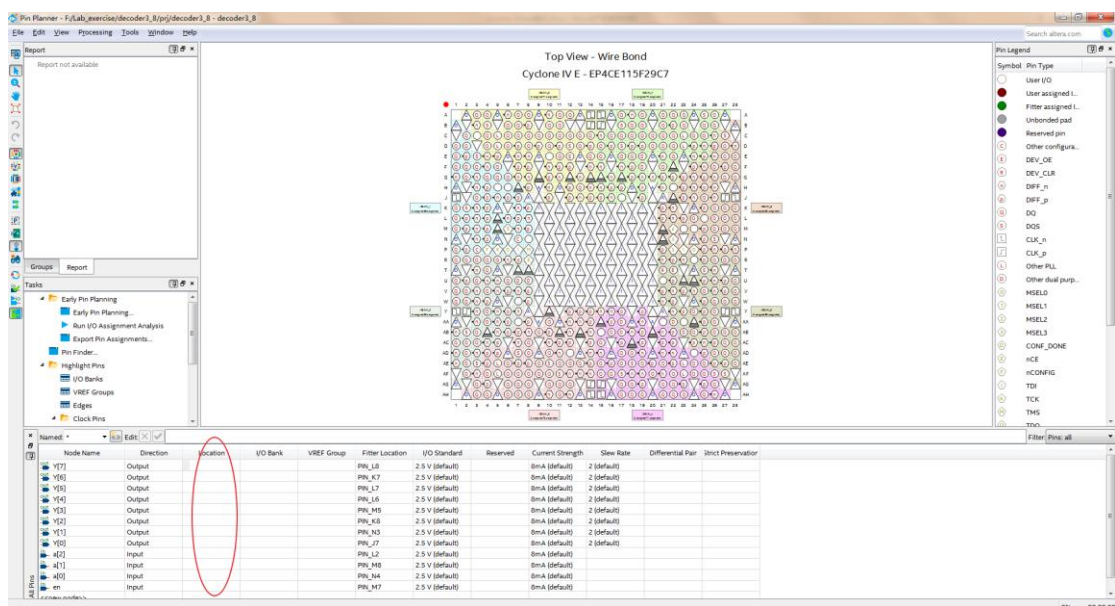


图 2.5.21

在 Location 一栏中，针对每一个节点，输入对应引脚编号。

2. 开发板的引脚分配是确定的。用户在完成一个设计以后，在进行以后的项目开发时，往往希望使用相同的引脚分配。如果在你的项目中使用很多的引脚，按照上述的方式进行引脚分配会变得非常麻烦，Quartus Prime 软件允许用户导入和导出一个特定格式的引脚分配文件，通过使用该文件用户不必每次都使用 Assignment Editor 进行引脚分配。

在 src 文件夹中新建一个名为 Pin 的 txt 文本文件，输入如图 2.5.22 所示内容。其中第一行：to ， location 是固定内容，是分配引脚的格式。接下来的几行就是引脚分配的内容。

注意：逗号是半角符号。

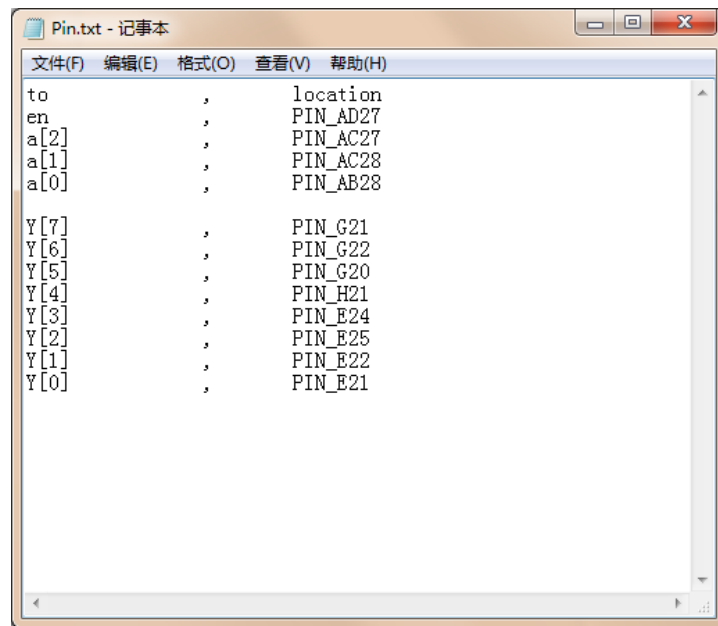



图 2.5.22

编写好引脚分配文件之后，点击菜单栏中 Assignments->Import Assignments，出现如图 2.5.23 所示页面，然后点击 ，选择对应文件夹的 Pin.txt 文件，再点击 OK。

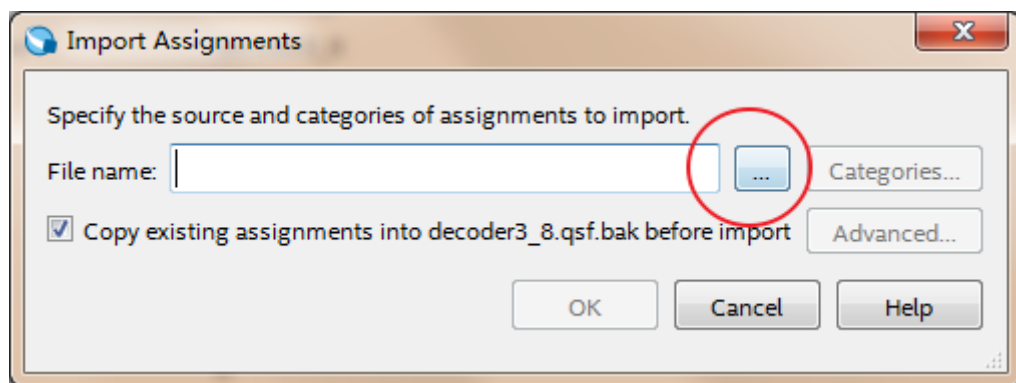



图 2.5.23

导入引脚分配文件之后，可以在快捷工具栏中，点击 ，或者在菜单栏中点击 Assignments->Assignment Editor，会弹出如图 2.5.24 所示窗口。

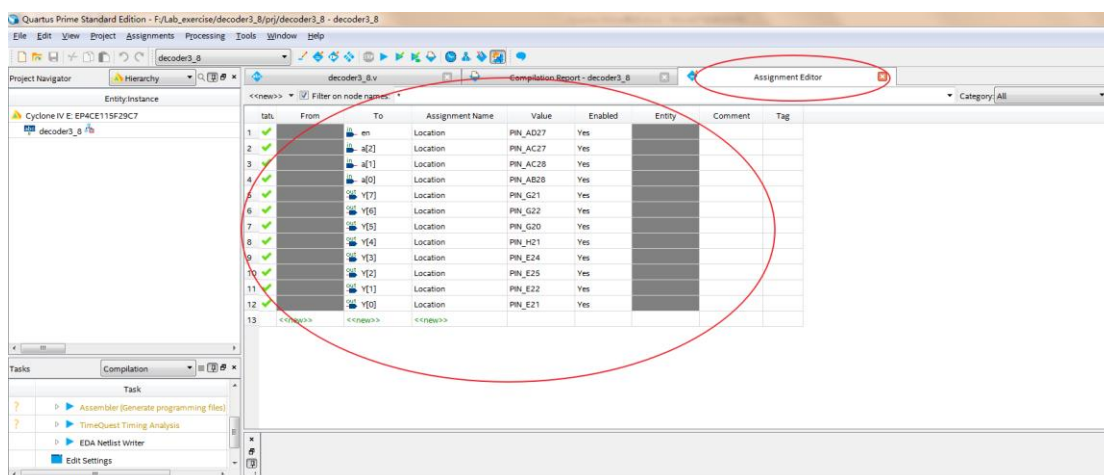


图 2.5.24

再次检查引脚分配是否正确，如果引脚分配不正确或者忘记分配某些引脚，可以重新修改引脚分配文件再次导入即可。

## 2.5.9 未使用引脚配置

在使用 Altera FPGA 过程中，未使用引脚的配置是很重要的。一般未用引脚设置成三态输入。利用 Quartus II 将未使用引脚设置为三态输入。选择 Assignments->Device，弹出来 Device 窗口，如图 2.5.25 所示。

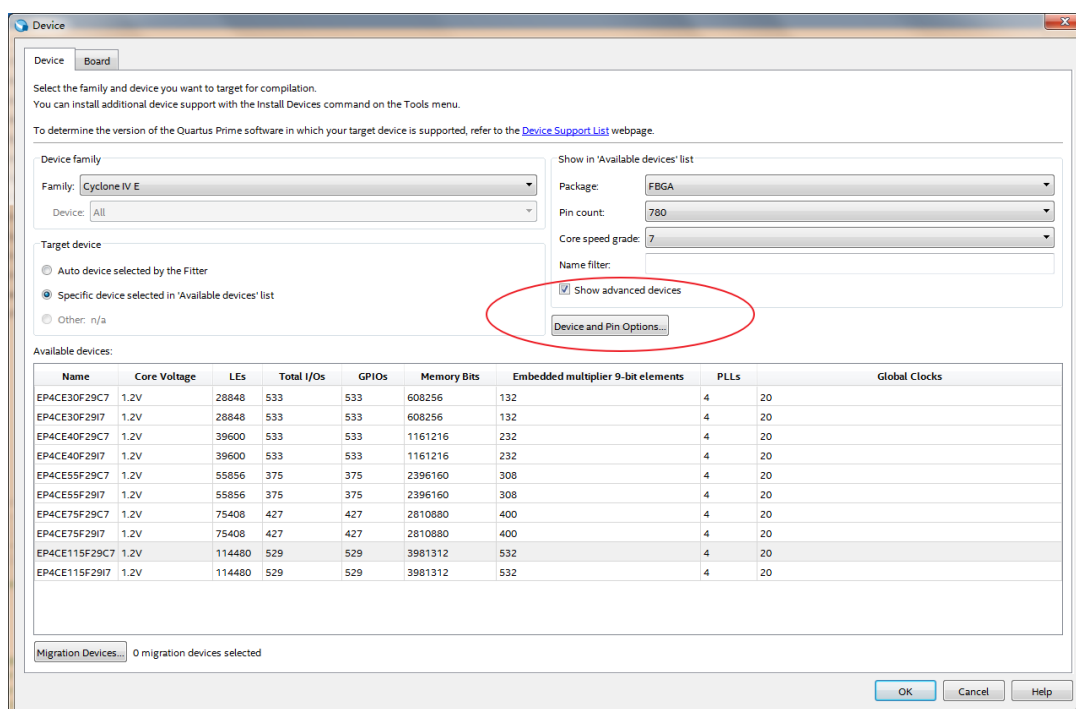


图 2.5.25

点击 Devices and Pin Options，打开一个选项卡，选项卡中选择 Unused Pins 就可以对未定义的引脚配置成 As input tri-stated，然后点击 OK，如图 2.5.26 所示。

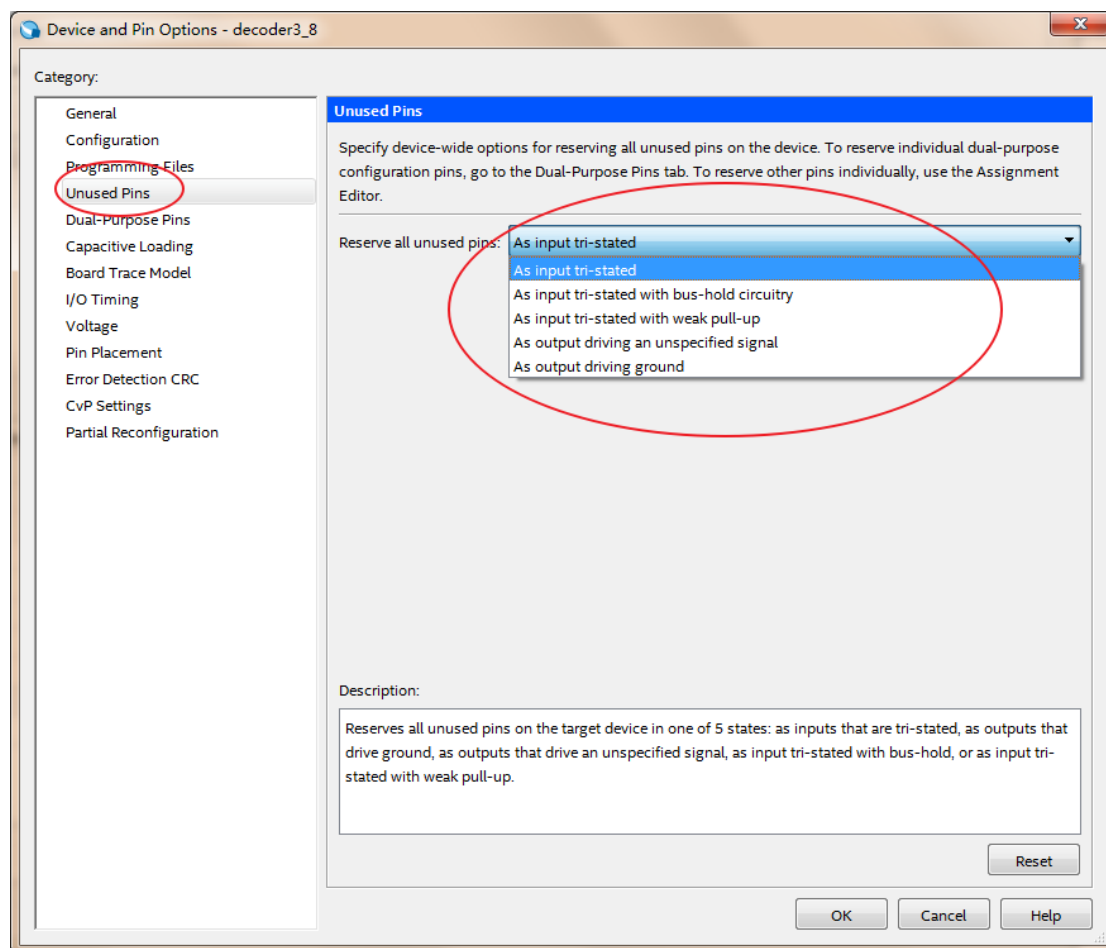


图 2.5.26

配置完成以后，再次编译工程。

## 2.5.10 编程和配置 FPGA 器件

设计好的电路需要通过 FPGA 器件实现，这一过程叫做编程（Programme）或者配置(configuration)。下载到 FPGA 器件所需的配置文件由 Quartus Prime 软件 Compiler's Assembler 工具产生。Intel 公司的 DE 系列的板卡或实验箱支持两种不同的配置过程，一种叫做 JTAG 模式，一种叫做 AS 模式。配置文件通过一根一端连接在主机(Host Computer)的 USB 端口，另一端连接在 DE-115 开发板的 USB 电缆，从主机下载到 DE-115 开发板。为了使数据下载正确进行，主机上必




---

须装有 USB-Blaster 驱动程序。正确安装 USB-Blaster 驱动程序后，在正式下载配置文件到开发板之前，确认(1)USB 电缆已经正确连接；(2)开发板或者实验箱的电源开关已经打开。

JTAG 下载模式将配置数据直接下载到 FPGA 器件内部。JTAG 是 Joint Test Action Group 的缩写。该组织定义了测试数字电路以及将数据下载数字电路的标准方式，而且已经被 IEEE 采纳为正式标准。以 JTAG 方式配置 FPGA 器件，配置数据会一直保持数据直到系统掉电，配置数据在系统掉电后丢失。开发板支持的第二种配置模式叫做主动串行(ActiveSerial,AS)模式。在这种配置模式下，除了 FPGA 器件，还额外需要一块带有一些 Flash 存储器的配置芯片来存储配置数据。Quartus Prime 软件将数据下载到开发板的配置器件上。然后，当系统重新上电或者重新配置时，配置器件内的配置数据会自动地下载到开发板的配置器件上，这样 FPGA 器件不需要在系统掉电后每次都由 Quartus Prime 软件来编程,通过改变开发板上的 RUNPROG 开关的位置在两种编程模式之间进行切换。开关扳到 RUN 位置，选择 JTAG 模式，而当开关扳到 PROG 位置，选择的则是 AS 模式。本节仅讨论 JTAG 编程模式。

### 1.使用 JTAG 模式对 DE2-115 开发板编程和配置

对于 DE2-115 板，JTAG 模式可以按照以下步骤进行。首先拨动 RUN/PROG 开关到 RUN 位置。在 Quartus Prime 的快捷工具栏中点击，或者在菜单栏中选择 Tools -> Programmer 命令，弹出如图 2.5.27 中的窗口。

如果编程模式 Mode 选择框中默认不是 JTAG 模式，可在“Mode”框中选择 JTAG。同样，如果在 Hardware Setup 选择框中默认情况下未选择 USB-Blaster，按 Hardware Setup ...按钮，在弹出的窗口中选择 USB-Blaster 作为编程使用的硬件，如图 2.5.28 所示。



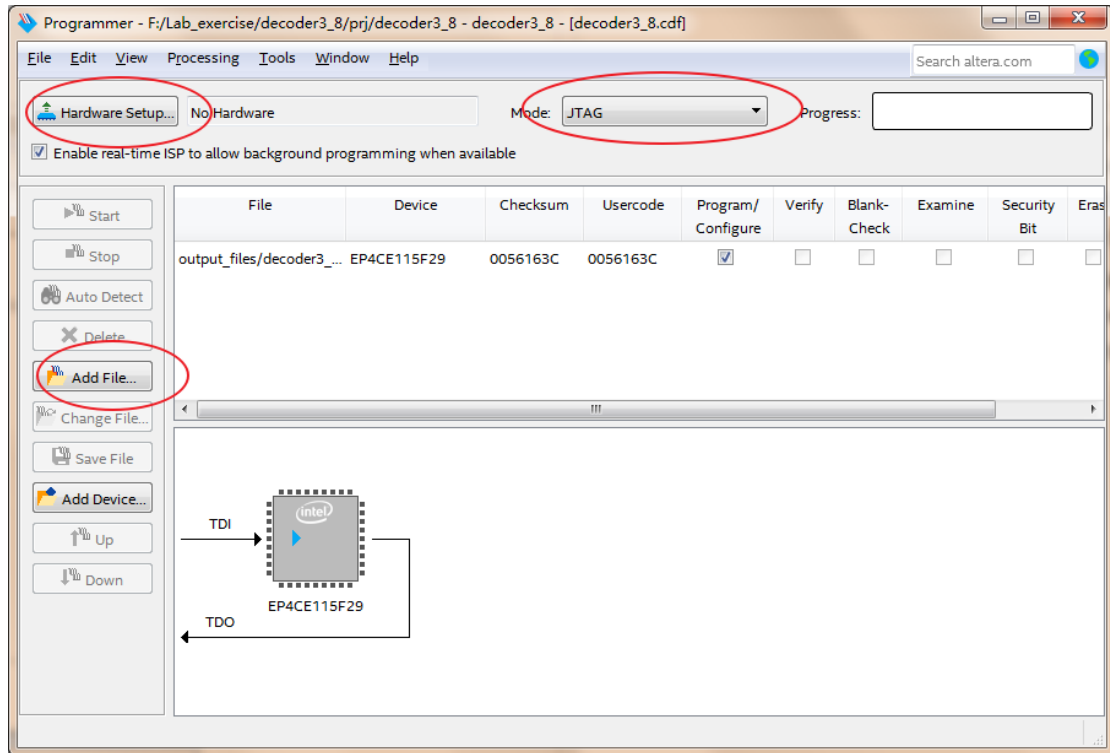


图 2.5.27

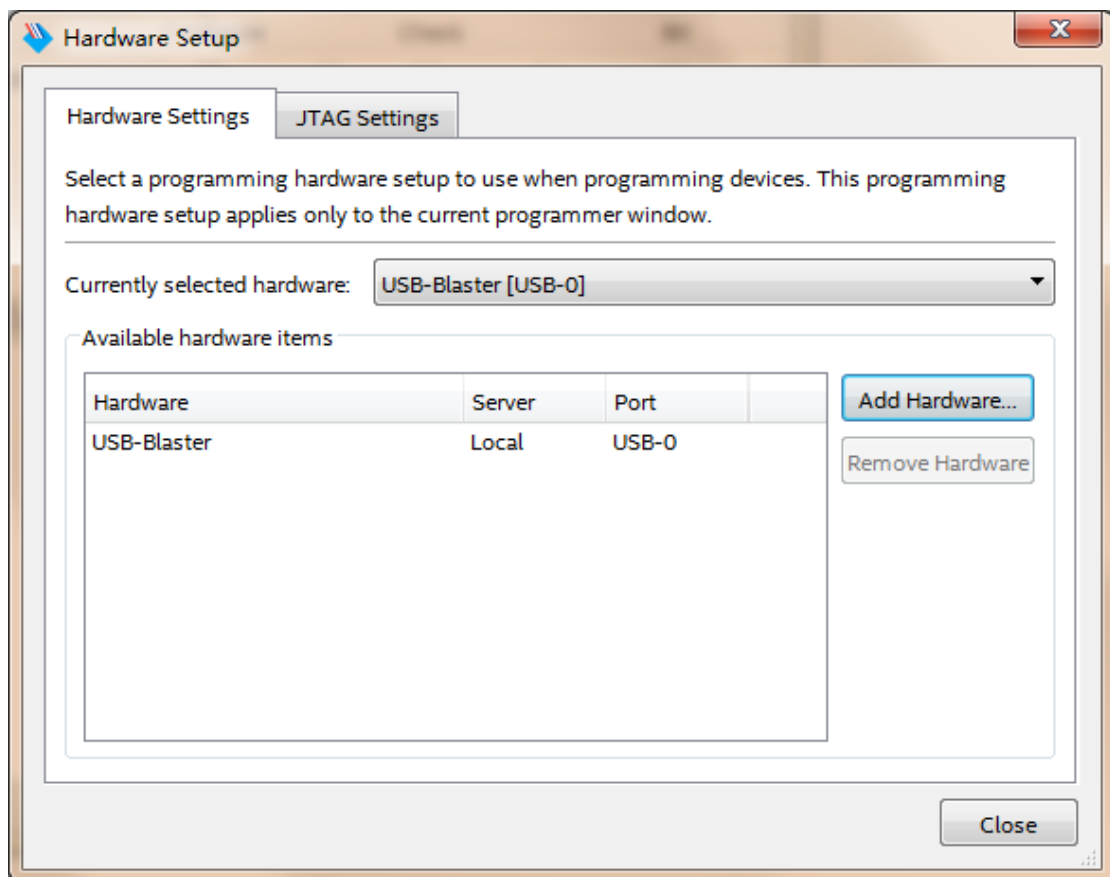


图 2.5.28

通常情况下,编程文件 decoder3\_8.sof 文件会被自动列出,如图 2.5.27 所示。如果该文件尚未被列出,选择“Add File”,然后选择 decoder3\_8.sof 文件。该文件的地址在 F:\Lab\_exercise\decoder3\_8\prj\output\_files 中(工程目录下的 output\_files)。

decoder3\_8.sof 文件是由 Compiler's Assembler 模块产生,其中包含了对 FPGA 器件进行配置所必须的数据。扩展名.sof 代表该文件是用于 SRAM 类型的器件配置,即 JTAG 下载模式所需选择的文件类型。确保勾选 Program / Configure 复选框,如图 2.5.27 所示。

现在,点击图 2.5.29 中的 Start 按钮。如果配置数据被成功下载到电路板上,在进度条 Progress 会 如果 Quartus Prime 软件报告的错误,则表明下载失败。

注意: 下载前必须确保电路板的电源已经打开。

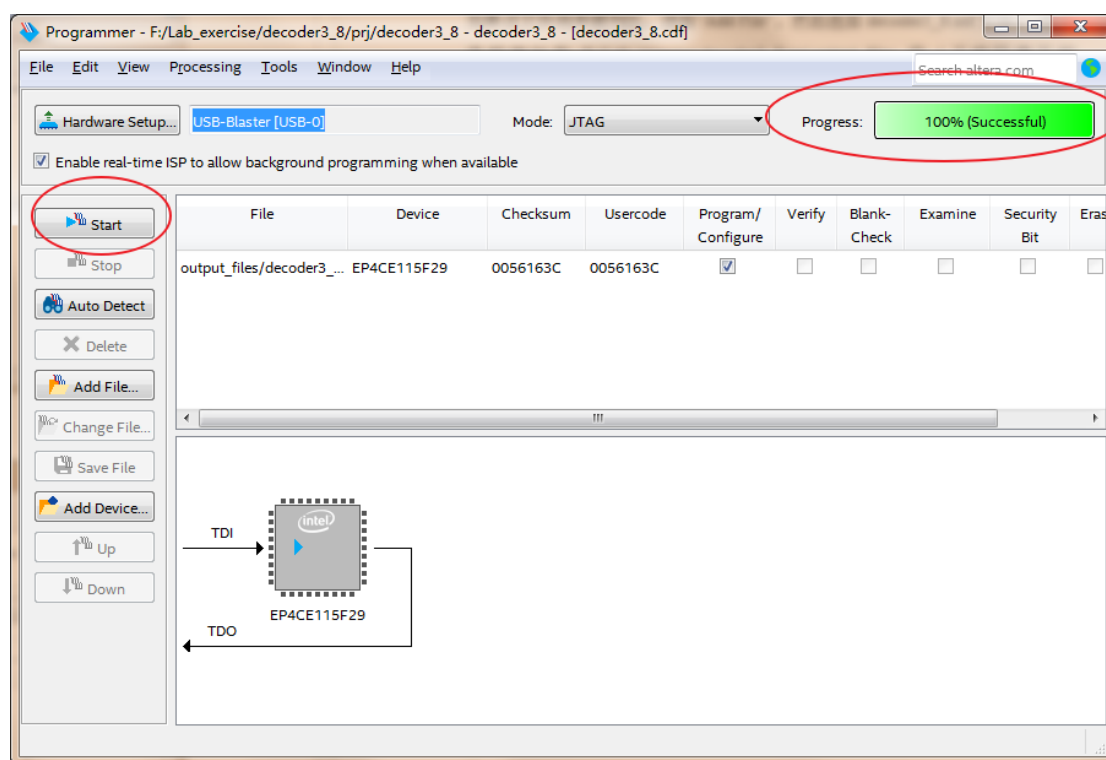


图 2.5.29

## 2.5.11 测试设计的电路

程序烧写完成以后，在开发板上就可以观察实验现象。

如图 2.5.30 所示，SW3 往上拨动代表 en 使能信号为 1，SW2 往下拨动（a[2] 为 0），SW1、SW0 往上拨动（a[1]、a[0] 为 1），即输入  $a[2:0] = 3'b011$ ，译码结果应该是  $Y[7:0] = 8'b1111_0111$ 。观察到 LED 灯从右往左数第 4 个是灭的，其余 7 个都是亮的，所以实验结果符合实验预期。可以根据 3/8 译码器真值表试着拨动 Switch，让输入处于不同的状态，观察 LED 灯亮灭情况。

如果要在设计的电路中进行更改，请先关闭 Programmer 窗口，在 Verilog 设计文件中，做出所需的修改，然后编译电路以及对电路板进行编程。

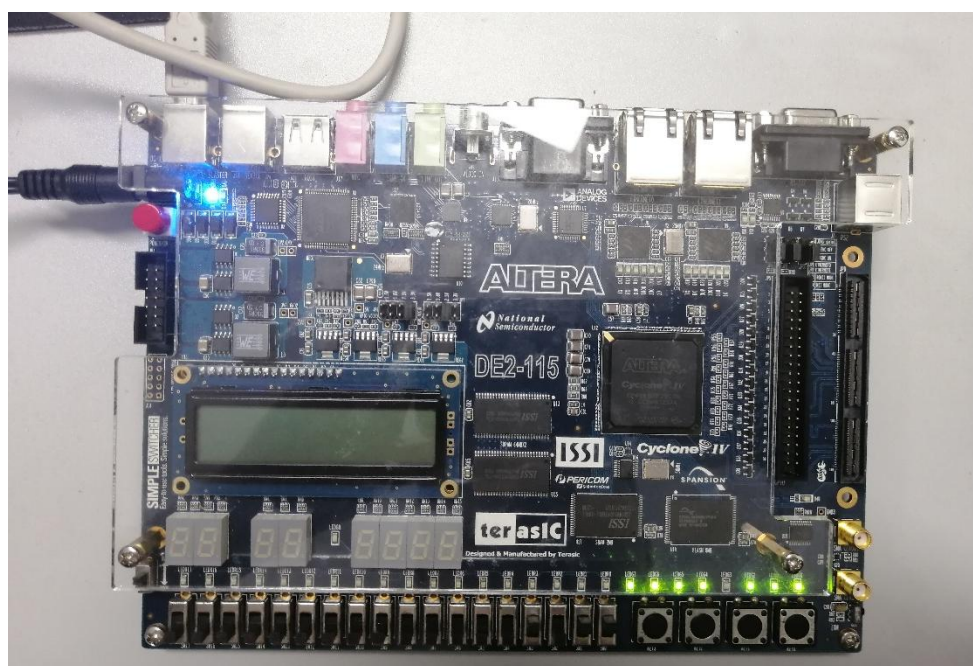


图 2.5.30