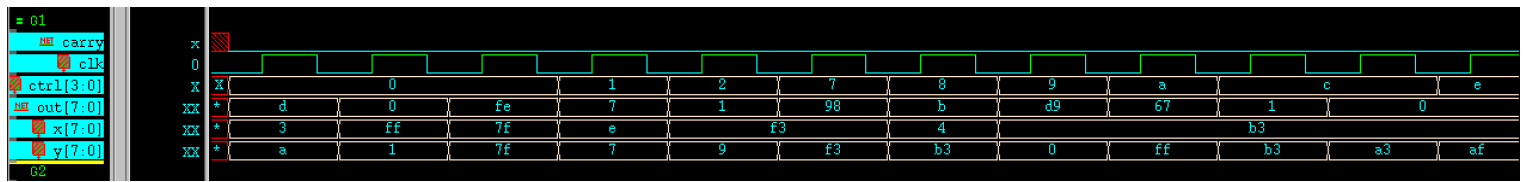


數位系統設計 HW2 Report B04901067 電機三 陳博彥

1.(3)



字有點小，助教自己放大來看><

簡單來說，測資有幾個要點：

ADD: 測試「正+正，無overflow」、「正+正，有overflow」、「負+負，無overflow」、「負+負，有overflow」、「正+負」。

SUB: 測試「正-正，無借位」、「正-正，有借位」、「負-負，無借位」、「負-負，有借位」、「正-負，有overflow」、「正-負，無overflow」、「負-正，無overflow」、「負-正，有overflow」。

其他的運算沒有什麼特別的，基本上就老老實實地測測看就是了。

(附圖空間有限，我沒有貼全部的測資波形)

沒有error message就表示過了

```
[b04067@cad30 1_RTL]$ ncverilog tb.v alu_rtl.v +access+r
ncverilog: 10.20-s114: (c) Copyright 1995-2012 Cadence Design Systems, Inc.
Loading snapshot worklib.alu_rtl_tb.v ..... Done
ncsim> source /usr/cad/cadence/INCISIV/cur/tools/inca/files/ncsimrc
ncsim> run
If there is no error message, then you passed !
Simulation complete via $finish(1) at time 120 NS + 0
./tb.v:151      $finish;
ncsim> exit
```

2.(2)

測試的要點有：

WEN是1跟0，功能是否正確。

RW寫到REG0，應該要沒有作用。

RX、RY是否正常。

然後注意，輸出要是combinational的，輸入只有在clock edge才要動。

如果都對，就沒什麼問題了。

這題的testbench我使用土法煉鋼，卻又最清楚明瞭的方法。

按照上面寫的要點，設計好測資，然後把各個REG「應該要有」的值輸出，再透過控制RX、RY，輸出各個REG「實際上」的值，也順便測試RX、RY功能是否正常。

最後，用肉眼比對，是否一致，都一樣就可以去喝杯咖啡了～

像這樣：

第一個區塊是各個REG應該要有的值。

第二個區塊是各個REG實際上有的值，用RX輸出。

第三個區塊是各個REG實際上有的值，用RY輸出。

```
store 10101010 in REG#1
0:00000000
1:10101010
2:xxxxxxxx
3:xxxxxxxx
4:xxxxxxxx
5:xxxxxxxx
6:xxxxxxxx
7:xxxxxxxx
0X 00000000
1X 10101010
2X xxxxxxxx
3X xxxxxxxx
4X xxxxxxxx
5X xxxxxxxx
6X xxxxxxxx
7X xxxxxxxx
0Y 00000000
1Y 10101010
2Y xxxxxxxx
3Y xxxxxxxx
4Y xxxxxxxx
5Y xxxxxxxx
6Y xxxxxxxx
7Y xxxxxxxx
```

PS.

第三題test bench指令

ncverilog simple_calculator_tb.v simple_calculator.v alu.v register_file.v +access+r

其他都跟助教一樣

就這樣，助教辛苦了～