



FACULTAD DE CIENCIAS DE LA COMPUTACIÓN Y DISEÑO DIGITAL

INTEGRANTES

GAMARRA ARAUJO EDHU XAVIER

MENDOZA PARRAGA ANDY JOHEL

NARANJO FLORES ANDERSON JEAMPIERE

CURSO

2DO SOFTWARE “B”

GRUPO

B

MATERIA

ARQUITECTURA DE COMPUTADORAS

TEMA

CLASE DICTADA POR LOS ESTUDIANTES: ARQUITECTURAS DE
COMPUTADORAS VON NEUMANN Y HARVARD

ÍNDICE

1. Arquitectura Von Neumann	3
1.1. Componentes principales	3
1.2. Desventajas de la arquitectura de Von Neumann	4
2. ARQUITECTURA HARVARD	5
2.1. Características	5
2.2. Diferencia entre Von Neumann y Harvard	5
2.3. Aplicaciones de la arquitectura Harvard	5
Bibliografía	7
ANEXOS	8

ARQUITECTURAS DE COMPUTADORAS VON NEUMANN Y HARVARD

1. Arquitectura Von Neumann

Al referirse a la computación moderna, la base de todo esto es la arquitectura de Von Neumann. Esta se destacó al implementar en bloques separados la unidad de procesamiento y la unidad de memoria, pero a pesar de esto intercambian datos de manera intensiva y continua [1].

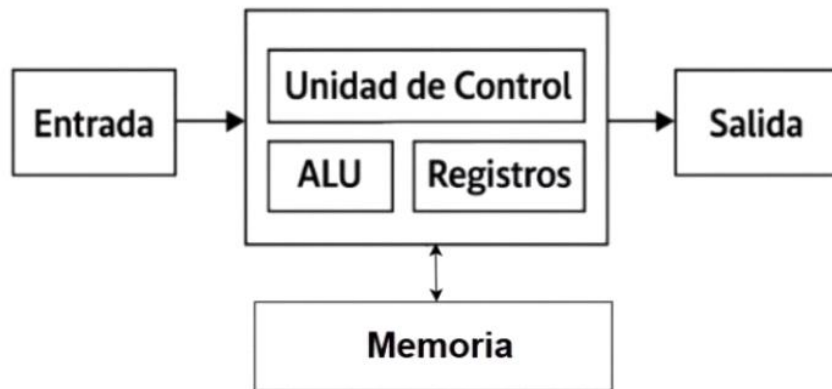


Figura 1. Modelo computacional de Von Neumann[1]

En el modelo de Von Neuman para el flujo y ejecución de datos, primero las instrucciones son extraídas de la memoria, luego son decodificadas, posteriormente ejecutadas y finalmente almacenadas. Tras realizar este proceso, un contador de programa es el encargado de determinar cuál es la siguiente instrucción por ejecutar, permitiendo una ejecución de manera secuencial. Los datos sobre los que opera la instrucción u operandos son recuperados de una memoria centralizada o de los registros [1].

1.1. Componentes principales

La arquitectura de Von Neumann cuenta con los siguientes componentes principales:

Unidad de Control: La Unidad de Control es un subsistema de la CPU y es el encargado de decodificar los registros de instrucciones. Una vez decodificados genera las señales necesarias para controlar los otros subsistemas dentro de la CPU, permitiendo que la acción o acciones especificadas se lleven a cabo [2].

Unidad Aritmético Lógica: La Unidad Aritmético Lógica (ALU) un subsistema de la CPU. Se utiliza cuando la Unidad de Procesamiento necesita realizar sus propias operaciones aritméticas y lógicas específicas de un programa [2].

Registros: Los registros son la memoria más rápida en un computador, estos se encuentran dentro del CPU, y generalmente proporcionan una pequeña cantidad de almacenamiento. Su acceso es prácticamente inmediato debido a que se hayan en la misma CPU. Los registros son utilizados principalmente para operaciones lógicas, almacenamiento temporal de datos, contención de direcciones y operaciones a corto plazo. Son la capa principal y más rápida de la jerarquía de memorias, debido a encontrarse más cerca del CPU [2].

Unidad de memoria (RAM): Su característica principal es su tiempo de acceso. La memoria RAM, ofrece acceso casi instantáneo a los datos a diferencia de dispositivos de almacenamiento secundario como discos duros o unidades de estado sólido (SSD). Esto debido a que es creada mediante tecnología de semiconductores y se conecta al procesador a través de un controlador de memoria. Debido a su rápida respuesta y baja latencia el procesador puede recuperar y procesar datos a un ritmo considerablemente mayor [3].

Unidad de entrada y salida: Son subsistemas de la computadora que permite comunicación con el mundo exterior y con dispositivos de almacenamiento masivo, como el disco, la red USB, etc. Entre los dispositivos de entrada se tiene por ejemplo teclados y ratones, y en cuanto a los dispositivos de salida, monitores o impresoras [3].

Bus de datos: Es el encargado de transmitir o recibir la información binaria que debe procesarse en diferentes ubicaciones de memoria o periférico actúa como una carretera en la que viaja los datos y facilita el intercambio de información debido a su comunicación con los componentes de computador [4].

Este bus tiene un número de conductores que posee es igual al número de líneas de la UCP (Unidad central de procesamiento). Si una UCP está por leer datos de 16 bits si el bus de datos es de 8 bits, tendrá que hacer un doble acceso de lectura a la memoria, caso contrario si el bus es de 16 bits, con un único acceso de memoria la UCP tendrá un dato [4].

1.2. Desventajas de la arquitectura de Von Neumann

El modelo de cómputo de Von Neumann utiliza un mecanismo de datos compartidos (modelo COSH), donde la única copia de información se almacena en la memoria principal y los datos compartidos son accesibles por referencia [5].

Al contar una memoria principal unificada donde se almacenan tanto datos como instrucciones. Toda esta información debe transferirse de forma unitaria a través de un único sistema de comunicación, es decir un bus compartido, entre el procesador y la memoria, provocando un cuello de botella, donde el flujo unitario y secuencial reduce la velocidad de cómputo [5].

Por lo tanto, arquitecturas predecesoras como la arquitectura de Harvard, evitan este cuello de botella al almacenar el código y los datos en dos memorias distintas que operan de manera diferente, cada una en su propia ruta de comunicación, es decir cada una cuenta con un bus propio [5].

2. ARQUITECTURA HARVARD

La arquitectura Harvard es una arquitectura de computadoras que separa físicamente el almacenamiento de instrucciones y datos, a través de módulos y buses independientes para cada uno [6].

2.1. Características

Esta arquitectura se caracteriza porque sus instrucciones y datos se guardan en espacios de almacenamientos diferentes, lo que evita su coexistencia. Cada memoria tiene su propio bus de direcciones y datos, todo esto ayuda a mejorar la velocidad y eficiencia de procesamiento, ya que la CPU puede leer instrucciones y datos de manera simultánea. Las siguientes instrucciones pueden estar precargadas con anticipación, y pueden tener diferente ancho de bits [6].

2.2. Diferencia entre Von Neumann y Harvard

La principal diferencia entre la arquitectura Von Neumann y Harvard, es que en la primera usa un único bus para los datos e instrucciones, mientras que en Harvard se utilizan un bus de direcciones y un bus de datos independientes [6].

En su estructura mejorada, Harvard mantiene las memorias separadas, pero optimiza el acceso con un bus de direcciones único para ambas memorias, además de un bus de datos compartido entre CPU y memorias [6].

2.3. Aplicaciones de la arquitectura Harvard

Se utiliza una arquitectura Harvard simplificada en procesadores RISC-V que están diseñados para FPGA (Field Programmable Gate Array), ya que reduce la complejidad y facilita el diseño, sobre todo en el ámbito educativo o de prototipado [7].

En diseños ASIC/FPGA, se utiliza una arquitectura Harvard pura con memorias duales (Dual – BRAM) en FPGAs, las cuales almacenan instrucciones y datos en módulos independientes para optimizar velocidad y eficiencia [7].

Esta arquitectura también se aplica en procesadores con las antes mencionadas Dual – BRAM, para aplicaciones embebidas y procesamiento digital [8].

En la Figura 1 se puede observar la organización de la arquitectura Harvard, evidenciando lo antes mencionado:

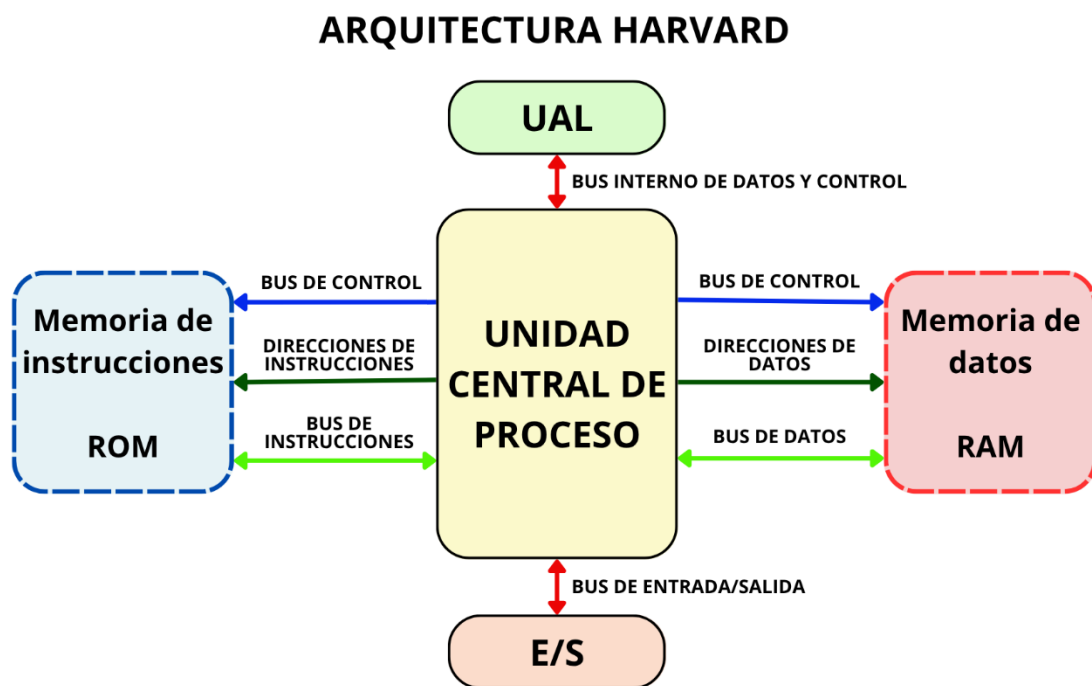


Figura 2. Arquitectura Harvard

Bibliografia

- [1] J. Ederhion *et al.*, “Evolution, Challenges, and Optimization in Computer Architecture: The Role of Reconfigurable Systems,” Dec. 26, 2024. doi: 10.48550/arXiv.2412.19234.
- [2] R. R. Asaad, “A Study on Instruction Formats on Computer Organization and Architecture,” *ICONTECH INTERNATIONAL JOURNAL*, vol. 5, no. 2, pp. 18–24, Jun. 2021, doi: 10.46291/ICONTECHvol5iss2pp18-24.
- [3] V. Worlanyo Gbedawo, G. Agyeman Owusu, C. Komla Ankah, and M. Ibrahim Daabo, “An Overview of Computer Memory Systems and Emerging Trends,” *American Journal of Electrical and Computer Engineering*, Oct. 2023, doi: 10.11648/j.ajece.20230702.11.
- [4] T. E. Carlson, “Bus and Memory Architectures,” in *Handbook of Computer Architecture*, Singapore: Springer Nature Singapore, 2025, pp. 1–12. doi: 10.1007/978-981-15-6401-7_68-1.
- [5] P. Darche, “Computation Model and Architecture: Illustration with the von Neumann Approach,” in *Microprocessor 1*, Wiley Semiconductors, 2020, pp. 63–130. doi: 10.1002/9781119779667.ch3.
- [6] S. Xue, “Overview of Computer Architecture Development Direction Breaking Through Von Neumann Architecture,” *International Core Journal of Engineering*, vol. 7, no. 8, pp. 330–334, 2021, doi: 10.6919/ICJE.202108_7(8).0045.
- [7] L. Poli, S. Saha, X. Zhai, and K. D. McDonald-Maier, “Design and Implementation of a RISC V Processor on FPGA,” in *2021 17th International Conference on Mobility, Sensing and Networking (MSN)*, IEEE, Dec. 2021, pp. 161–166. doi: 10.1109/MSN53354.2021.00037.
- [8] C. Ignat, P. Farago, and S. Hintea, “FPGA Implementation of a Novel Dual - BRAM Processor Architecture,” in *2020 43rd International Conference on Telecommunications and Signal Processing (TSP)*, IEEE, Jul. 2020, pp. 124–128. doi: 10.1109/TSP49548.2020.9163584.

ANEXOS

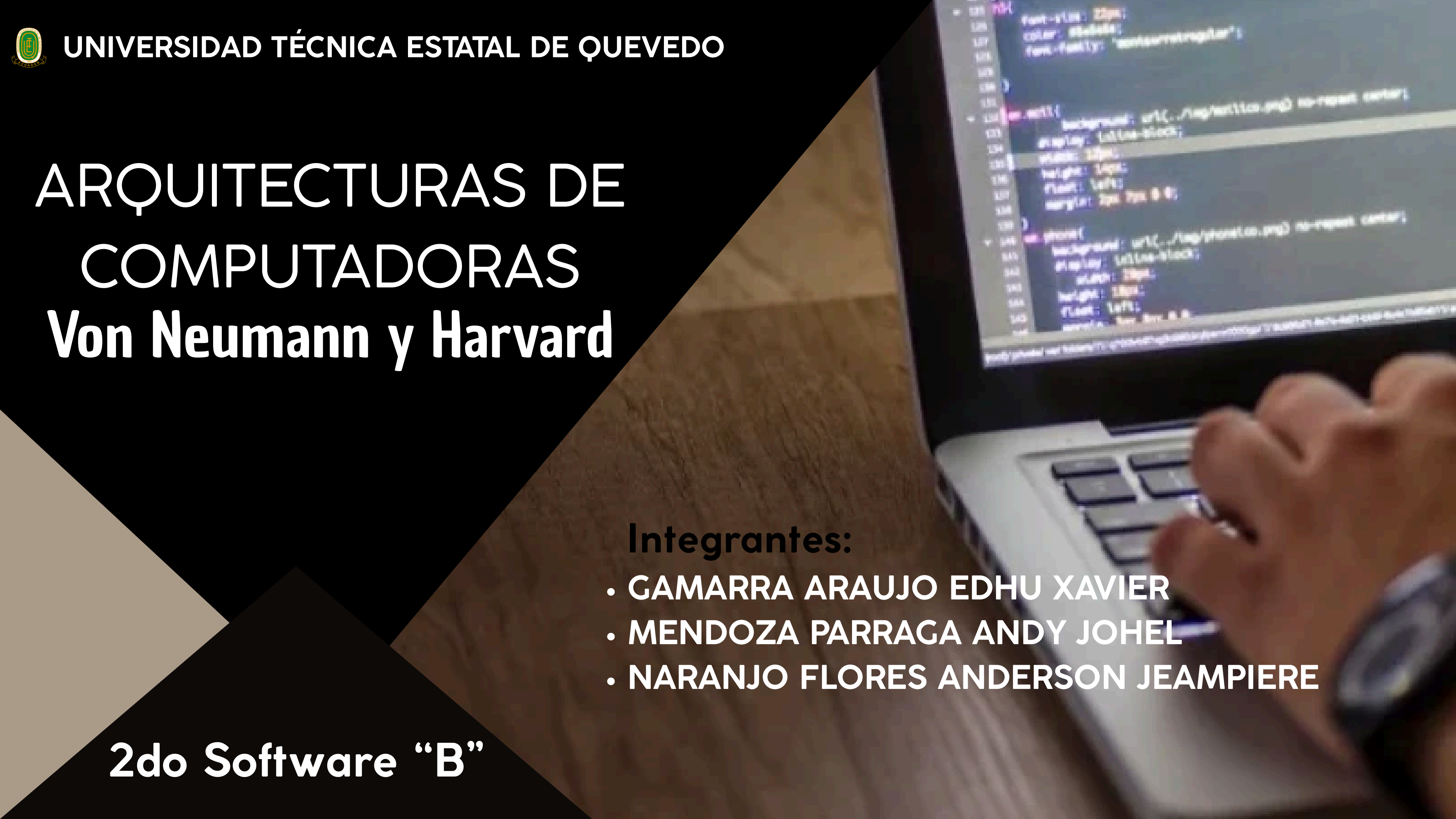
Link repositorio en Github:

<https://github.com/AndyMendoza0308/Arqcomp-Grupo-B---Exposicion>

Link diapositivas:

[https://docs.google.com/presentation/d/1Z3baLvXnsMXemWhp-](https://docs.google.com/presentation/d/1Z3baLvXnsMXemWhp-UgiTTpYULgv3Wjm/edit?usp=drive_link&ouid=105239356213862600649&rtpof=true)

[UgiTTpYULgv3Wjm/edit?usp=drive link&ouid=105239356213862600649&rtpof=true](https://docs.google.com/presentation/d/1Z3baLvXnsMXemWhp-UgiTTpYULgv3Wjm/edit?usp=drive_link&ouid=105239356213862600649&rtpof=true)
[&sd=true](https://docs.google.com/presentation/d/1Z3baLvXnsMXemWhp-UgiTTpYULgv3Wjm/edit?usp=drive_link&ouid=105239356213862600649&rtpof=true)



UNIVERSIDAD TÉCNICA ESTATAL DE QUEVEDO

ARQUITECTURAS DE COMPUTADORAS Von Neumann y Harvard

Integrantes:

- GAMARRA ARAUJO EDHU XAVIER
- MENDOZA PARRAGA ANDY JOHEL
- NARANJO FLORES ANDERSON JEAMPIERE

2do Software “B”

TABLA DE CONTENIDO

INTRODUCCIÓN

Desventajas de Von Neumann

Aplicaciones de Harvard

¿Qué es la arquitectura de Von Neumann?

Arquitectura de Von Neumann

Arquitectura de Harvard

Componentes de Von Neumann

¿Qué es la arquitectura Harvard?

Diferencias clave

Características de Harvard

INTRODUCCIÓN

Las arquitecturas computacionales definen cómo se organiza el hardware de un sistema.

Las dos más influyentes son:

- Von Neumann: base de los sistemas actuales.
- Harvard: usada en sistemas embebidos y diseño digital.

¿Qué es la arquitectura de Von Neumann?

Modelo propuesto en 1945.

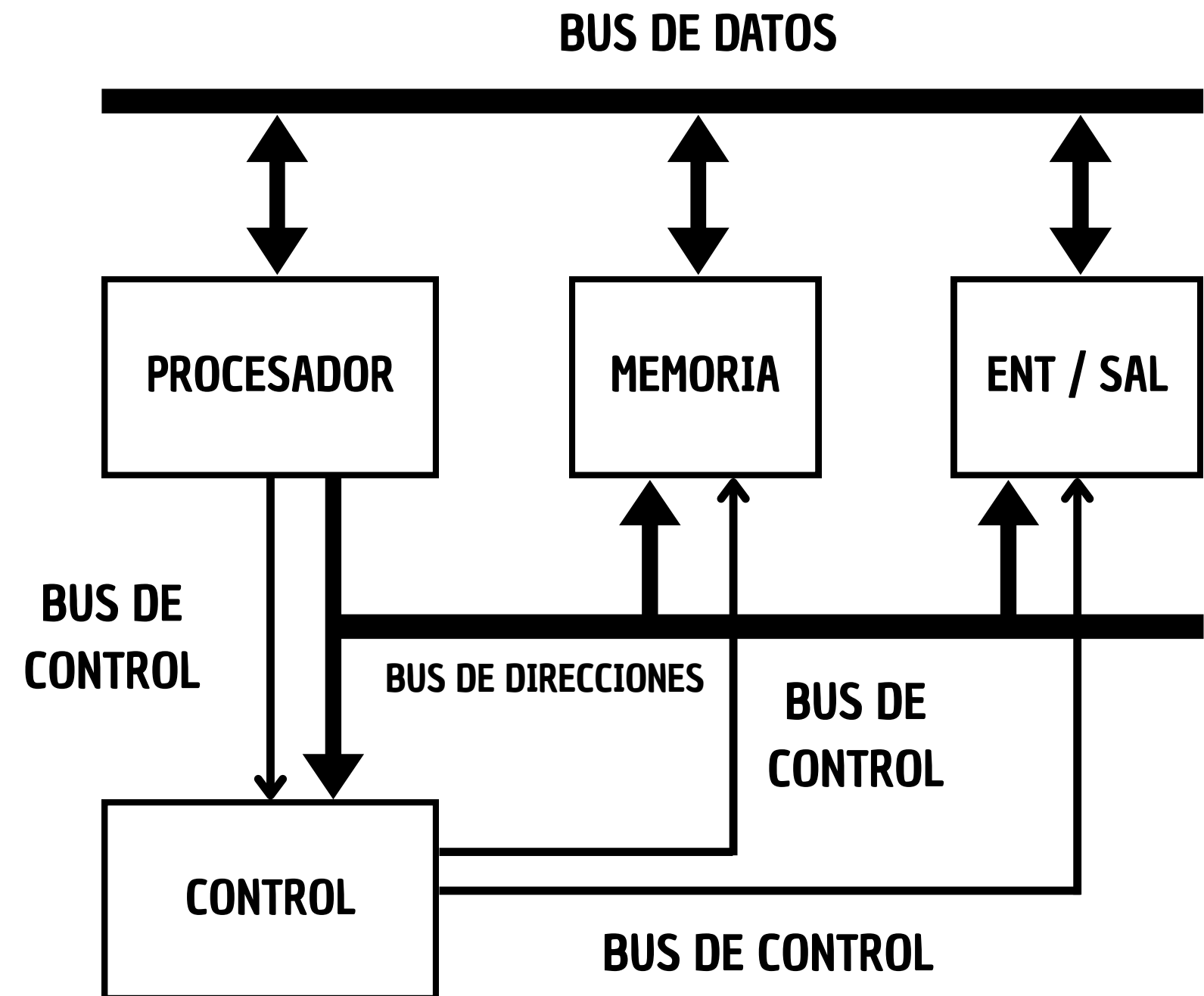
Se basa en una memoria única para datos e instrucciones.

Procesamiento secuencial:

1. Extrae instrucción
2. Decodifica
3. Ejecuta
4. Almacena resultados

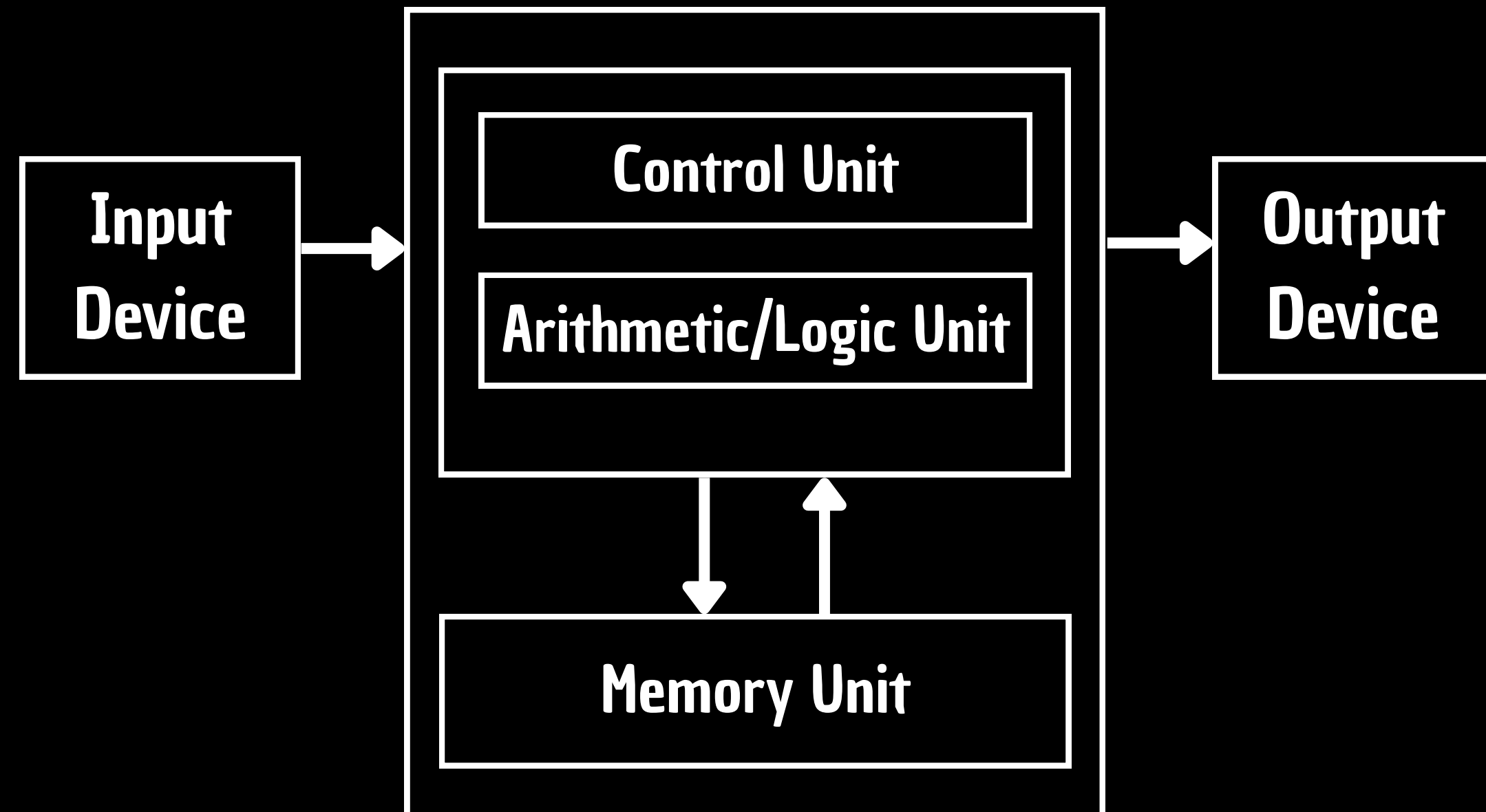
Componentes de Von Neumann

- Unidad de Control
- ALU (Unidad Aritmético-Lógica)
- Registros
- Memoria principal (RAM)
- Unidad de Entrada/Salida
- Bus de datos único

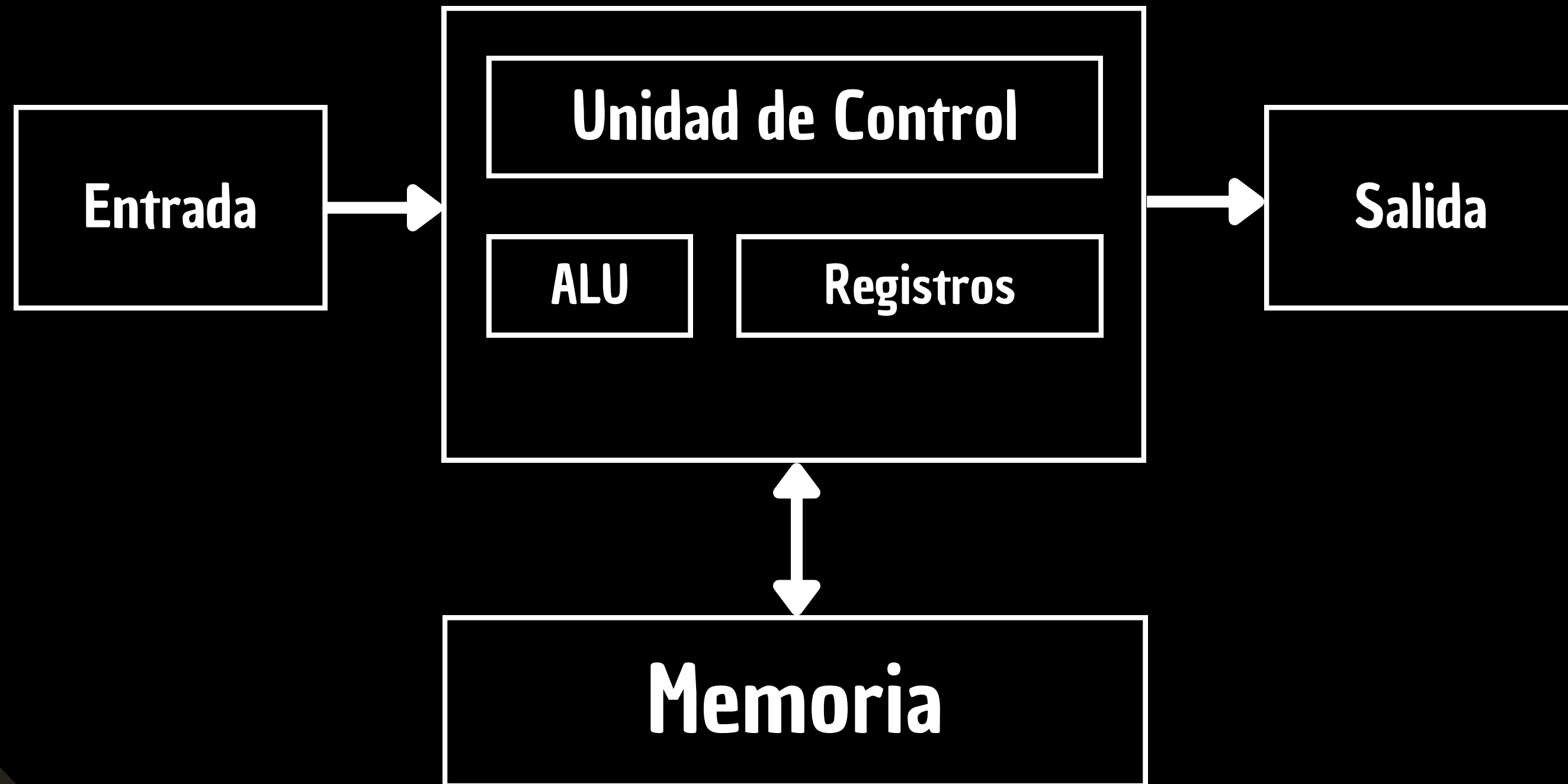


Desventajas de Von Neumann

- Cuello de botella por el bus único.
- No se pueden leer datos e instrucciones simultáneamente.
- Limita el rendimiento del sistema.



Arquitectura de Von Neumann



¿Qué es la arquitectura Harvard?

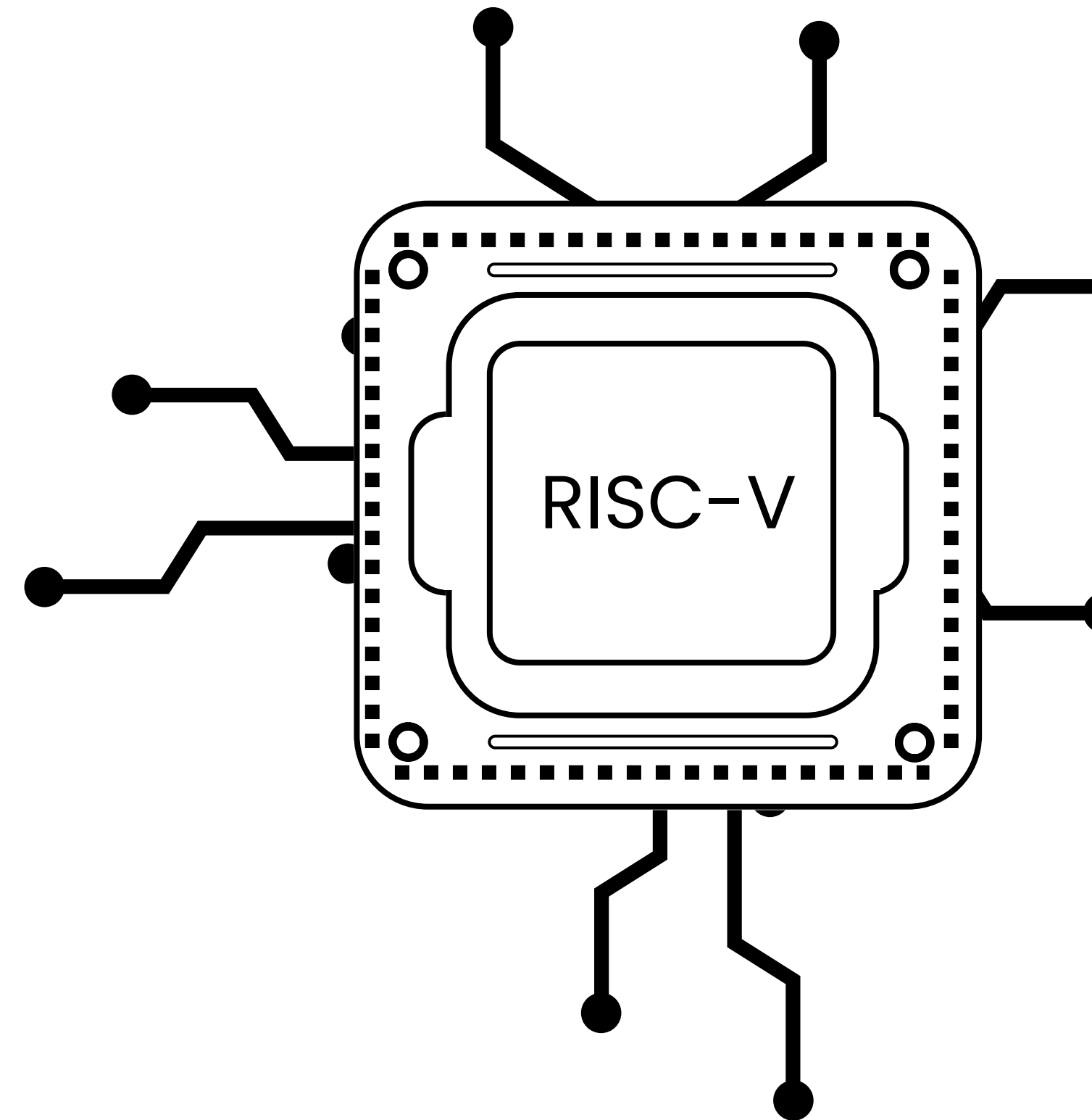
- Usa memorias separadas para instrucciones y datos.
- Cada una con su propio bus de direcciones y datos.
- Permite acceso simultáneo a datos e instrucciones.

Características de Harvard

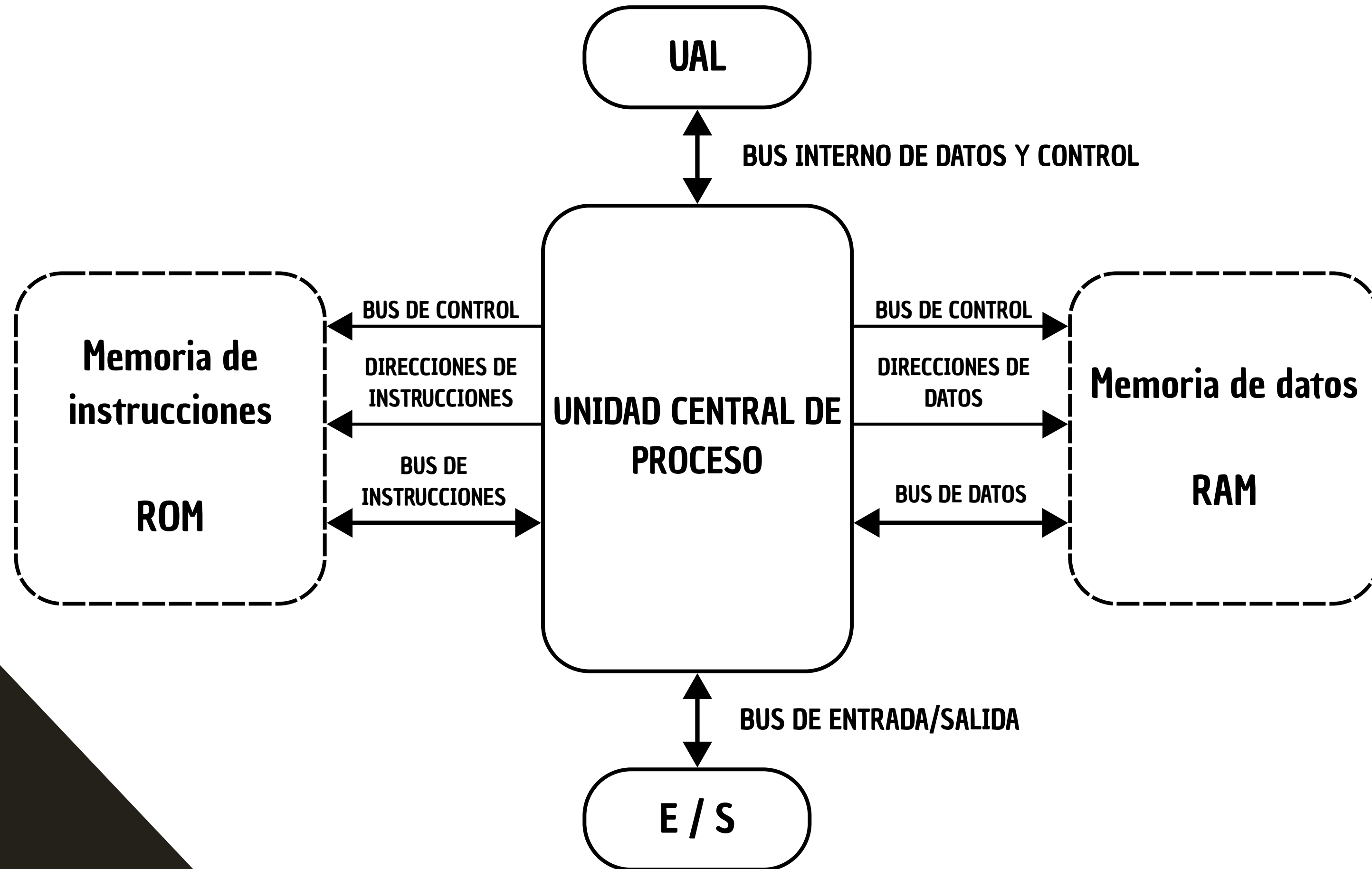
- Mayor velocidad de procesamiento.
- Precarga de instrucciones.
- Diferente ancho de bits entre instrucciones y datos.
- Eficiencia energética.

Aplicaciones de Harvard

- Procesadores RISC-V (educación y prototipado).
- FPGAs y ASICs con memorias BRAM duales.
- Aplicaciones embebidas y procesamiento digital.



Arquitectura de Harvard



Diferencias clave

11

Característica	Von Neumann	Harvard
Memoria	Unificada	Separada
Bus de datos	Único	Independientes
Velocidad	Menor (cuello de botella)	Mayor (paralelismo)
Complejidad de diseño	Menor	Mayor

 **GRACIAS POR SU ATENCIÓN** 