

Que es la arquitectura de von Neumann

Al referirse a la computación moderna, la base de todo esto es la arquitectura de Von Neumann. Esta se destacó al implementar en bloques separados la unidad de procesamiento y la unidad de memoria, pero a pesar de esto intercambian datos de manera intensiva y continua [1].

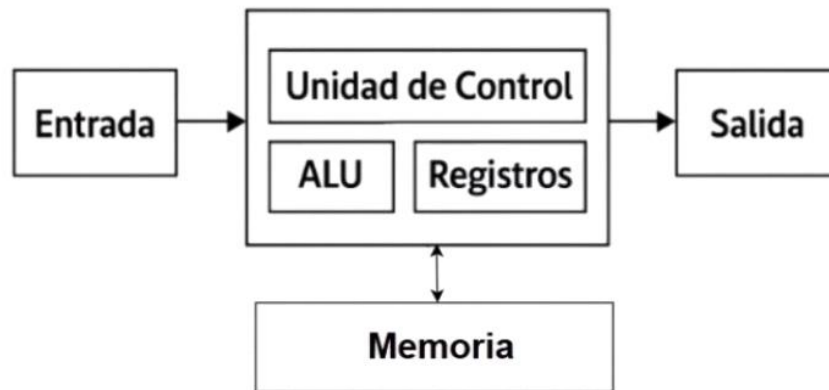


Figura 15. Modelo computacional de Von Neumann [1].

En el modelo de Von Neuman para el flujo y ejecución de datos, primero las instrucciones son extraídas de la memoria, luego son decodificadas, posteriormente ejecutadas y finalmente almacenadas. Tras realizar este proceso, un contador de programa es el encargado de determinar cuál es la siguiente instrucción por ejecutar, permitiendo una ejecución de manera secuencial. Los datos sobre los que opera la instrucción u operandos son recuperados de una memoria centralizada o de los registros [1].

Componentes principales

La arquitectura de von Neumann cuenta con los siguientes componentes principales:

Unidad de Control: La Unidad de Control es un subsistema de la CPU y es el encargado de decodificar los registros de instrucciones. Una vez decodificados genera las señales necesarias para controlar los otros subsistemas dentro de la CPU, permitiendo que la acción o acciones especificadas se lleven a cabo [2].

Unidad Aritmético Lógica: La Unidad Aritmético Lógica (ALU) un subsistema de la CPU. Se utiliza cuando la Unidad de Procesamiento necesita realizar sus propias operaciones aritméticas y lógicas específicas de un programa [2].

Registros: Los registros son la memoria más rápida en un computador, estos se encuentran dentro del CPU, y generalmente proporcionan una pequeña cantidad de almacenamiento. Su acceso es prácticamente inmediato debido a que se hayan en la misma CPU. Los registros son utilizados principalmente para operaciones lógicas, almacenamiento temporal de datos, contención de direcciones y operaciones a corto plazo. Son la capa principal y más rápida en la jerarquía de memorias, debido a encontrarse más cerca del CPU [2].

Unidad de memoria (RAM): Su característica principal es su tiempo de acceso. La memoria RAM, ofrece acceso casi instantáneo a los datos a diferencia de dispositivos de almacenamiento secundario como discos duros o unidades de estado sólido (SSD). Esto debido a que es creada mediante tecnología de semiconductores y se conecta al procesador a través de un controlador de memoria. Debido a su rápida respuesta y baja latencia el procesador puede recuperar y procesar datos a un ritmo considerablemente mayor [3].

Unidad de entrada y salida: Son subsistemas de la computadora que permite comunicación con el mundo exterior y con dispositivos de almacenamiento masivo, como el disco, la red USB, etc. Entre los dispositivos de entrada se tiene por ejemplo teclados y ratones, y en cuanto a los dispositivos de salida, monitores o impresoras. [2].

Bus de datos: Es el encargado de transmitir o recibir la información binaria que debe procesarse en diferentes ubicaciones de memoria o periférico actúa como una carretera en la que viaja los datos y facilita el intercambio de información debido a su comunicación con los componentes de computador [4].

Este bus tiene un número de conductores que posee es igual al número de líneas de la UCP (Unidad central de procesamiento). Si una UCP está por leer datos de 16 bits si el bus de datos es de 8 bits, tendrá que hacer un doble acceso de lectura a la memoria, caso contrario si el bus es de 16 bits, con un único acceso de memoria la UCP tendrá un dato [4].

Desventajas de la arquitectura de von Neumann

El modelo de cómputo de von Neumann utiliza un mecanismo de datos compartidos (modelo COSH), donde la única copia de información se almacena en la memoria principal y los datos compartidos son accesibles por referencia [5].

Al contar una memoria principal unificada donde se almacenan tanto datos como instrucciones. Toda esta información debe transferirse de forma unitaria a través de un único sistema de comunicación, es decir un bus compartido, entre el procesador y la memoria, provocando un cuello de botella, donde el flujo unitario y secuencial reduce la velocidad de cómputo [5].

Por lo tanto arquitecturas predecesoras como la arquitectura de Harvard, evitan este cuello de botella al almacenar el código y los datos en dos memorias distintas que operan de manera diferente, cada una en su propia ruta de comunicación, es decir cada una cuenta con un bus propio [5].

Bibliografia

- [1] J. Ederhion *et al.*, “Evolution, Challenges, and Optimization in Computer Architecture: The Role of Reconfigurable Systems,” pp. 1–11, 2024, [Online]. Available: <http://arxiv.org/abs/2412.19234>
- [2] W. J. Tracz, *Introduction to computer organization*, vol. 71, no. 9. San Francisco: No Starch Press, Inc., 2024. doi: 10.1109/proc.1983.12736.
- [3] V. Worlanyo Gbedawo, G. Agyeman Owusu, C. Komla Ankah, and M. Ibrahim Daabo, “An Overview of Computer Memory Systems and Emerging Trends,” *Am. J. Electr. Comput. Eng.*, no. November, 2023, doi: 10.11648/j.ajece.20230702.11.
- [4] T. E. Carlson, “Bus and Memory Architectures BT - Handbook of Computer Architecture,” A. Chattopadhyay, Ed., Singapore: Springer Nature Singapore, 2025, pp. 1–12. doi: 10.1007/978-981-15-6401-7_68-1.
- [5] P. Darche, “Computation Model and Architecture: Illustration with the von Neumann Approach,” *Microprocess. 1*, no. 1980, pp. 63–130, 2020, doi: 10.1002/9781119779667.ch3.