



FACULTAD DE CIENCIAS DE LA COMPUTACIÓN Y DISEÑO DIGITAL

INTEGRANTES

FALCONES RODRIGUEZ LUIS DAVID

INTRIAGO SANCHEZ NOEMI JAMILETH

MENDOZA PARRAGA ANDY JOHEL

NARANJO FLORES ANDERSON JEAMPIERE

CURSO

2DO SOFTWARE “B”

GRUPO

D

MATERIA

ARQUITECTURA DE COMPUTADORAS

TEMA

ARQUITECTURA DE LAS COMPUTADORAS INTEL E IBM

ÍNDICE

Introducción	3
1. Procesadores IBM de arquitectura de 4 y 8 bits	3
2. Procesadores IBM de arquitectura de 16 bits	3
2.1. IBM PALM	3
2.2. IBM System/360 Model 20.....	4
3. Arquitectura de Procesadores IBM de 32 y 64 Bits.....	4
3.1. z/Architecture: Procesadores de 64 bits para mainframes	4
3.2. Power10: Arquitectura de 64 bits para servidores empresariales	5
3.3. Comparación entre z/Architecture y Power10	6
4. Arquitectura de los procesadores Intel de 4 bits	6
4.1. Intel 4004	6
5. Arquitectura de los procesadores Intel de 8 bits	7
5.1. Intel 8008	7
6. Arquitectura de los procesadores Intel de 16 bits	8
6.1. Intel 8086	8
7. Arquitectura de procesadores Intel de 32 y 64 Bits	9
7.1. Estructura de Registros	9
7.2. Conjuntos de Instrucciones	9
Conclusión	10

ARQUITECTURA DE LAS COMPUTADORAS INTEL E IBM

Introducción

El crecimiento de las arquitecturas de los microprocesadores ha jugado un papel fundamental para conseguir avanzar la computación, que va desde unos simples cálculos y hardware bastante limitado hasta alcanzar sistemas muy complejos que en la actualidad son capaces de procesar un número de instrucciones del orden de millones por segundo. Compañías como IBM e Intel son protagonistas de la trayectoria histórica de este desarrollo, realizando arquitecturas de los primeros microprocesadores de 4 bits hasta los de 64 bits, potentísimos y de uso habitual en la actualidad.

1. Procesadores IBM de arquitectura de 4 y 8 bits

IBM no empezó a competir en el mundo de los procesadores hasta que existió la arquitectura de 16 bits. Un procesador que fue erróneamente clasificado como procesador de 4 y 8 bits fue el IBM PALM, aunque su arquitectura real era de 16 bits y se implementó en la IBM 5100 para ejecutar microcódigo [1]. Se malinterpretaba que también soportaba la arquitectura de 4 y 8 bits porque algunas operaciones internas se manejaban a esos niveles.

2. Procesadores IBM de arquitectura de 16 bits

IBM implementó arquitecturas de 16 bits especialmente en equipos de bajo costo o portabilidad. Ejemplo de esto son el IBM PALM y el IBM System/360 Model 20, el primero se utilizó en la IBM 5100, IBM 5110 y en la IBM 5120 [1], y el segundo fue una versión simplificada del System/360.

2.1. IBM PALM

Este procesador se caracterizaba por tener un bus de datos de 16 bits + 2 bits de paridad, contaba con una memoria direccionable de hasta 64 Kb, y no era un chip único, sino una tarjeta de circuitos que contaba con puertas lógicas y chips TTL, estos últimos son circuitos integrados que utilizan transistores bipolares para implementar funciones lógicas [2].

Contaba con 16 registros de uso general, los cuales eran de 16 bits cada uno. Estaban organizados en 4 bancos, lo que daba lugar a un manejo eficiente de interrupciones, es decir, cada banco podía estar representado con un nivel de prioridad distinto. Además, incluía registros para los acumuladores, controladores de flujo y para el contador de programa [3].

El IBM PALM no estaba diseñado para ejecutar directamente instrucciones de alto nivel en lenguajes como APL o BASIC, este ejecutaba microinstrucciones que simulaban el entorno de

un System/360 y podía interpretar las instrucciones de los lenguajes antes mencionados. Las instrucciones estaban dirigidas a mover datos entre los registros, realizar operaciones aritméticas y gestionar flujos de control [3].

2.2. IBM System/360 Model 20

Este mainframe que utilizaba el procesador IBM 2020 estaba basado en la arquitectura de 16 bits. Se trataba de un sistema económico que era una versión reducida del System/360 que se basaba en una arquitectura de 32 bits. Contaba con un bus de datos y registros de 16 bits y utilizaba una serie de instrucciones personalizadas que no eran compatibles con el anteriormente mencionado System/360 [3].

Poseía 8 registros de uso general, que iban desde R0 a R7 y estos eran de 16 bits. Estos podían emplearse para realizar operaciones lógicas, aritméticas, de comparación y direccionamiento. Sus instrucciones estaban codificadas en un formato de longitud fija de 2 bytes, y podía ejecutar instrucciones para realizar las operaciones aritméticas y lógicas antes mencionadas, además de instrucciones de control como salto, salto condicional y subrutina, e instrucciones de movimiento como carga, almacenamiento y transferencia entre registros [3].

3. Arquitectura de Procesadores IBM de 32 y 64 Bits

Los microprocesadores IBM jugaron un papel clave en la evolución de arquitecturas de alta disponibilidad y robustas para los sistemas empresariales. Se describirán las dos arquitecturas más importantes de IBM en los últimos años.

3.1. z/Architecture: Procesadores de 64 bits para mainframes

La z/Architecture es la evolución de los mainframes de IBM: arquitectura de 64 bits que permite la ejecución de tareas en modos de compatibilidad de 31 bits y de 24 bits. En definitiva, está hecha para obrar las cargas de trabajo somas más exigentes, ofreciendo mecanismos avanzados de virtualización, seguridad y escalabilidad.

Los procesadores z tienen distintos tipos de registros:

- **Registros Generales (GPRs):** 16 registros de 64 bits para operaciones aritméticas y datos generales [4].

- **Registros de punto flotante (FPRs):** 16 registros de 64 bits para operaciones numéricas más complejas [4].
- **Registros de Control:** Se ofrece información del estado del sistema, incluyendo la protección de memoria y control de direccionamiento [4].

El conjunto de instrucciones proporciona soporte para instrucciones vectoriales, para instrucciones de encriptado mediante asistentes criptográficos (Message Security Assist) y para modos de direccionamiento trimodal para compatibilidad extendida [4], entre otras cosas. Además, z/Architecture se beneficia de la gestión de la ejecución transaccional, archivos y de capacidades de recuperación ante fallos. Gracias a ello, la arquitectura subyacente proporciona una plataforma excelente para sistemas de misión crítica.

Ejemplos de procesadores basados en esta arquitectura son el IBM z15 y el z16, ampliamente utilizados en aplicaciones de banca, salud y telecomunicaciones, y que destacan por su alta disponibilidad.

3.2. Power10: Arquitectura de 64 bits para servidores empresariales

La arquitectura Power10 es parte de la familia de la arquitectura de conjunto de instrucciones de Power ISA, cuya primera versión se lanzó de forma oficial en el año 2021 y la cual fue muy bien documentada hasta la versión de 2025. Se trata de una arquitectura de 64 bits optimizada para tener unos altos niveles de rendimiento, eficiencia energética y contar con capacidades mejoradas para inteligencia artificial (IA) [5].

Las características de la arquitectura Power10 son las siguientes:

- **Registros SIMD y vectoriales:** Son registros que permiten ejecutar operaciones paralelas altamente optimizadas para cargas de trabajo de IA [5].
- **Registros de Propósito General:** Son registros que se utilizan para operaciones aritméticas, lógicas y de control [5].
- **Gestor de memoria de alto rendimiento:** Con cifrado previsorio y gestión de memoria abierta (Open Memory Interface) [5].
- **Soporte para aceleradores:** tales como Nest Accelerator e interfaces SMP para escalabilidad multiprocesador [5].

Los sistemas servidores Hand-on de Power10, tales como el Power S1022 y S1024, soportan cargas intensivas y entornos de virtualización complejos. También son compatibles con AIX,

IBM i y distribuciones de Linux, así como también tienen la posibilidad de integrarse con Red Hat OpenShift y entornos de nube híbrida [5].

3.3. Comparación entre z/Architecture y Power10

Característica	z/Architecture	Power10
Tipo de arquitectura	Mainframe, orientado a transacciones	Servidor empresarial, multipropósito
Tamaño de palabra	64 bits (con soporte 24/31)	64 bits
Registros vectoriales	Sí	Sí
Soporte criptográfico	Avanzado (MSA)	Avanzado
Modelos representativos	z15, z16	Power s1022, s1024
Compatibilidad SO	z/OS, z/VM, Linux	AIX, IBM, Linux

4. Arquitectura de los procesadores Intel de 4 bits

Intel revolucionó la computación con los primeros microprocesadores comerciales que contaban con una arquitectura de 4 bits. Este procesador era el Intel 4004 que sentó las bases para los procesadores que tenemos hoy en día.

4.1. Intel 4004

El Intel 4004 fue el primer microprocesador comercial de la historia. Estaba construido en una arquitectura Harvard de 4 bits, contaba con una superficie de solo 12 mm², integrando 2300 transistores, operando a 740 KHz y un solo núcleo. Estaba fabricado con una tecnología de 10 micrómetros y alcanzaba una velocidad de hasta 92500 instrucciones por segundo [6]. Este procesador se convirtió en la primera unidad lógico y aritmética, fue el responsable en otorgar capacidades de cómputo a la calculadora comercial Busicom 141-PF [7].

Entre sus registros se pueden encontrar un registro denominado ACC, este estaba destinado a las operaciones aritméticas y lógicas. Contaba con 16 registros de propósito general, los cuales estaban denominados R0 a R15 y tenían el objetivo de almacenar datos de manera temporal. Contenía un registro de instrucciones el cual almacenaba la instrucción actual a ejecutar. También un registro de direcciones que manejaba las direcciones de la memoria ROM, y una pila de subrutinas de 3 niveles que se usaba para almacenar direcciones de retorno durante llamadas a subrutinas [6].

Este procesador contaba con un conjunto de 46 instrucciones que se dividían en varias secciones:

- **Transferencia de datos**

Entre las instrucciones de este grupo están la LD, que cargaba un registro r al acumulador. También la XCH, la cual intercambiaba contenido entre el acumulador y el registro r. La instrucción LDM, esta cargaba un valor decimal inmediato de 0 a 15 al acumulador [6].

- **Aritmética**

La instrucción ADD r se encargaba de sumar el registro r al acumulador, ADD M sumaba el contenido de memoria al acumulador, la instrucción SUB r restaba el contenido de r al acumulador o también denominado operación BCD, INC r incrementaba el registro r y la instrucción DAC decrementaba el acumulador [6].

- **Control de flujo**

En este grupo estaban las instrucciones JCN que realizaba un salto condicional, JMS que hacía una llamada a subrutina, JMP que efectuaba un salto incondicional, la instrucción ISZ r incrementaba r y saltaba si el resultado no era cero, BBL regresaba de una subrutina y cargaba un valor al acumulador, y RET que retornaba de subrutina sin cargar valores [6].

- **Lógicas y rotaciones**

Contaba con la instrucción CLC y STC que limpiaban o establecían carry, las instrucciones RAL y RAR que rotaban el acumulador a la izquierda o la derecha y CMA que complementaba el acumulador [6].

5. Arquitectura de los procesadores Intel de 8 bits

Intel marcó un hito en la computación al desarrollar los primeros microprocesadores de 8 bits, entre los que destacaba el Intel 8008. Este procesador representó un avance muy grande con respecto al Intel 4004 de 4 bits, al expandir sus capacidades de procesamiento y manipulación de datos y siendo fundamental para la creación de sistemas más eficaces y polivalentes [8].

5.1. Intel 8008

Este procesador que fue lanzado en abril de 1972 se basaba en una arquitectura de 8 bits, siendo este el primer microprocesador de 8 bits. Estuvo elaborado inicialmente para la terminal programable Datapoint 2200, e incluía un bus de direcciones que permitía direccionar hasta 16

Kb de memoria. También contaba con un bus de datos de 8 bits el cual facilitaba realizar operaciones aritméticas y lógicas de 8 bits, y tenía un encapsulado DIP de 18 pines, este limitaba la funcionalidad del chip, requiriendo de circuitos externos para realizar su operación completa [9].

Se caracterizaba por su arquitectura interna que contaba con siete registros de propósito general de 8 bits representados con letras mayúsculas (A, B, C, D, E, H, L). El A funcionaba como un acumulador utilizado para las operaciones aritméticas, el H y L podían combinarse para formar un puntero de memoria de 14 bits, los demás funcionaban como registros de propósito general. Además, contaba con un Contador de Programa (PC) de 14 bits que apuntaba a la siguiente instrucción a ejecutar [9].

El Intel 8008 operaba con un conjunto de 48 instrucciones básicas, que se distribuían en varias categorías: transferencia de datos, aritmética y lógica, control de flujo y entrada/salida. La de transferencia de datos incluía instrucciones como MOV, MVI, LDA y STA que posibilitaban mover datos entre los diferentes registros y la memoria. La categoría de aritmética y lógica contenía instrucciones como ADD, SUB, ANA, ORA y CMP que facilitaban realizar operaciones aritméticas y lógicas. La de control de flujo tenía instrucciones como JMP, CALL, RET que manejaban el flujo del programa. Y, por último, la de Entrada/Salida poseía instrucciones como IN y OUT que eran las encargadas de la comunicación con los periféricos [9].

6. Arquitectura de los procesadores Intel de 16 bits

Los procesadores de 16 bits fueron fundamentales en la evolución de la informática, especialmente durante las décadas de 1970 y 1980. Intel desarrolló varios procesadores con esta arquitectura de entre los cuales está el Intel 8086.

6.1. Intel 8086

Este procesador fue lanzado en el año 1978 siendo el primer procesador de 16 bits de Intel. Utilizó una arquitectura segmentada para acceder a 1MiB de memoria, y fue muy importante para desarrollo de la familia de procesador x86 [10].

Contaba con registros de propósito general utilizados para almacenar datos y resultados temporales, entre los que se encontraba los AX, BX, CX y DX, que era utilizados mayormente en operaciones aritméticas o bucles. También contenían registros de segmento que definían las direcciones base de los distintos segmentos de memoria, estos eran los CS, DS, SS y ES. Los

registros de punteros e índices que contenían los SP, BP, SI y DI. Y los registros de banderas o FLAGS que tenían indicadores que mostraban el resultado de las operaciones aritméticas/lógicas, entre los que se encuentran los ZF, SF, CF, OF, PF y AF [10].

El Intel 8086 se destacaba por un conjunto de instrucciones amplio y avanzado para su tiempo, y estaban agrupadas en varias categorías importantes: transferencia de datos, aritméticas, lógicas y de bit, control de flujo y operaciones de cadena. Todo este conjunto de instrucciones hacía posible que el procesador pueda gestionar el movimiento de información, realizar cálculos, manipular bits, controlar la ejecución del programa y procesar secuencias de datos de manera eficiente [10].

7. Arquitectura de procesadores Intel de 32 y 64 Bits

IA-32 es la arquitectura clásica de 32 bits utilizada en los microprocesadores Intel desde el Intel 80386, la cual publica un conjunto de instrucciones complejo (CISC) y una organización de registros adaptada al direccionamiento de 4 GB de memoria virtual. Por su parte, Intel 64 extiende la arquitectura IA-32 desde un punto de vista de 64 bits para poder direccionar hasta 256 TB de espacio de direcciones virtuales, manteniendo la compatibilidad hacia atrás con el software IA-32 [11].

7.1. Estructura de Registros

Registros en IA-32: La arquitectura IA-32 estipula un conjunto extraordinario de ocho registros generales de uso general (EAX, EBX, ECX, EDX, ESI, EDI, EBP, ESP), registros de segmento, como los registros CS, DS, ES, FS, GS, SS, registros de control (CR0 a CR4) y registros de depuración (DR0 a DR7). Dicha gama de registros tiene un ancho de 32 bits y cumple también funciones específicas de almacenamiento temporal, manejo de pila, ¿segmentación? de memoria y control de tareas [11].

Registros en Intel 64: El conjunto de registros de 64 bits de Intel 64 introduce un nuevo conjunto de registros de 64 bits: RAX, RBX, RCX, RDX, RSP, RBP, RSI, RDI, pero también se incluyen un total de ocho registros más (R8 a R15); finalmente, se añade el prefijo REX para codificar instrucciones extendidas. Los registros de control y segmentación también han sido ampliados, aunque sólo son utilizados de manera más limitada en modo de 64 bits [11].

7.2. Conjuntos de Instrucciones

Instrucciones en IA-32: El conjunto de instrucciones IA-32 incluye operaciones de tipo aritmético, lógico, de control de flujo, de manejo de cadenas, de entrada/salida, de

manipulación de bits y de operaciones con punto flotante. Se incluyeron extensiones como MMX y SSE dirigidas a mejorar el procesamiento multimedia [11].

Instrucciones en Intel 64: La arquitectura Intel 64 permite la compatibilidad con IA-32 además de agregar instrucciones para trabajar con registros de 64 bits. Por otro lado, también se incluyen las extensiones modernas relacionadas con SSE, es decir, SSE3, SSE4, AVX, AVX2 y AVX-512, que son convenientes para la computación vectorial, las computaciones gráficas y los cálculos de alto rendimiento. Por supuesto, se incluyen instrucciones para la virtualización y la seguridad correspondientes, como son Intel VT-x, así como las instrucciones relacionadas con el NX bit [11].

Ejemplos de Procesadores

Procesadores IA-32

- **Intel Pentium III:** La última de los de la línea clásica de arquitectura de 32 bits de arquitectura P6 [11].
- **Intel i960:** Procesador embebido en la arquitectura RISC, pero en el conjunto de instrucciones IA-32 [11].

Procesadores Intel 64

- **Intel Core i7 (Nehalem):** Se le introducen nuevas características entre las que se encuentran Hyper-Threading, Turbo Boost, y controladores de memoria integrados [11].
- **Intel Xeon Scalable:** Usado en servidores, gran capacidad de cómputo y soporte para grandes volúmenes de memoria [11].
- **Intel Core i9:** Procesadores de alto rendimiento para computadores personales de sobremesa de alto rendimiento [11].

Conclusión

El avance técnico de las arquitecturas de los procesadores de IBM e Intel pone de manifiesto el impacto con el que tanto una compañía como la otra han contribuido a la evolución de la informática. Desde las primeras soluciones de 4 y 8 bits, en la actualidad limitadas en cuanto a capacidad de procesamiento pero que en su momento marcaban un hito desde el punto de vista de la funcionalidad, hasta las medidas más complejas de la arquitectura de 64 bits orientadas a entornos críticos y de alto rendimiento, el avance de los microprocesadores ha ido siguiendo

un camino de expansión continua, tanto en capacidad de procesamiento como en sofisticación estructural.

Referencias Bibliográficas

- [1] E. A. Egreira and A. Abuhamra, “Importance of Computer Hardware,” *International Journal of Advances in Engineering and Management (IJAEM)*, vol. 5, no. 6, p. 428, 2023, doi: 10.35629/5252-0506428433.
- [2] Nexperia, *LOGIC APPLICATION HANDBOOK PRODUCT FEATURES & APPLICATION INSIGHTS Design Engineer’s Guide*. 2020.
- [3] G. Stoner, C. Wootton, and B. Kemmerer, “Mechanisation, computerisation and information systems,” in *The Routledge Companion to Accounting History*, 2nd ed., 2020. Accessed: May 27, 2025. [Online]. Available: <https://www.taylorfrancis.com/chapters/edit/10.4324/9781351238885-6/mechanisation-computerisation-information-systems-greg-stoner-charles-wootton-barbara-kemmerer>
- [4] IBM Corporation, *z/Architecture Principles of Operation*, 14th ed. Estados Unidos, 2022. [Online]. Available: https://www.ibm.com/docs/en/SSQ2R2_15.0.0/com.ibm.tpf.toolkit.hlasm.doc/dz9zr006.pdf
- [5] T. Simon, H. Vo, D. Mussari, and T. Spasov, *IBM Power10 Scale Out Servers Technical Overview S1012, S1014, S1022s, S1022 and S1024*, 2nd ed. Estados Unidos, 2024. [Online]. Available: <https://www.redbooks.ibm.com/redpapers/pdfs/redp5675.pdf>
- [6] D. R. Morán, “Milímetros cuadrados de soberanía,” Dec. 2021. [Online]. Available: <https://dialnet.unirioja.es/servlet/articulo?codigo=8536469>
- [7] A. Nempeque Quinchía, “Nuevas fronteras de la realidad, nuevas fronteras de los negocios. La antropología de los negocios en los mundos sintéticos,” *Economía Creativa*, no. 18, pp. 133–178, Aug. 2023, doi: 10.46840/ec.2022.18.a5.
- [8] S. Rout and C. Shekhar, “The Rise and Popularity of RISC-V,” Jul. 17, 2024. doi: 10.36227/techrxiv.172123425.58356523/v1.
- [9] Z. Stachniak, “Learning from prototypes,” *IEEE Annals of the History of Computing*, vol. 42, no. 2, pp. 63–71, Apr. 2020, doi: 10.1109/MAHC.2020.2987408.
- [10] Saulius Gražulis, “Intel x86 CPU architecture,” 2020, *Vilnius*. [Online]. Available: https://xn--graulis-fxb.lt/~saulius/paskaitos/VU/kompiuteri%C5%B3-architekt%C5%ABra/skaidr%C4%97s/09_x86-ISA_en.pdf
- [11] Intel, “Intel® 64 and IA-32 Architectures Software Developer Manuals.” [Online]. Available: <https://www.intel.com/content/www/us/en/developer/articles/technical/intel-sdm.html>

Anexo

Link del repositorio en GitHub: <https://github.com/AndyMendoza0308/Arquitectura-de-computadoras-Grupo-D>