2025 Digital IC Design Homework 3

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| NAME | 王華昀 | | | | |
| Student ID | N26134308 | | | | |
| **Simulation Result** | | | | | |
| Functional simulation | | Pass | Pre-Layout simulation | | Pass |
| P1    P2 | | | Please specify your clock width: 16 (ns)  P1    P2 | | |
| **Synthesis Result** | | | | | |
| Total logic elements | | | | 3396 | |
| Total memory bits | | | | 0 | |
| Total registers | | | | 2239 | |
| Embedded multiplier 9-bit elements | | | | 80 | |
|  | | | | | |
| **Description of your design** | | | | | |
| 這次的設計主要是透過切pipeline的方式實現，上圖藍色部分為每階pipeline的register，綠色部分為純組合電路的butterfly計算。  由於部分W權重是整數，因此組合電路的計算部分有使用加法跟移位進行優化，這樣可以減少Embedded multiplier 9-bit elements的使用。並且實際觀察下面的timing設計，可以發現由於最開始都需要等待16個cycle讀取資料，因此後面可以不用算那麼快，可以再把timing切好一點，減少butterfly計算的組合電路，部分重複利用組合電路計算，雖然這樣latency會增加，綜合來說PA應該會表現比較好，並且如果考量到power的話，這樣設計也會較低功率。  整體設計是使用一個counter去控制，讓他重複0~15不斷重複，並沒有使用FSM去控，節省資源。 | | | | | |