

实验四 计数器：硬件电路

电子科学与工程学院 刘时宜 201180078

实验日期: 2021 年 12 月 07 日

指导老师: 高健

点击目录、书签栏、以及行文中的图表标号的均可跳转至相应页面

目录

1 实验目的	1
2 实验仪器与主要器材	1
3 实验原理	2
4 实验过程	2
4.1 十进制计数器	2
4.1.1 原理电路	2
4.1.2 电路实验	3
4.2 六进制计数器: 置零法	4
4.2.1 原理电路	4
4.2.2 电路实验	5
4.3 六进制计数器: 置九法	6
4.3.1 原理电路	6
4.3.2 电路实验	7
4.4 24 进制计数器	8
4.4.1 原理电路	8
4.4.2 电路实验	10
4.5 38 进制计数器	11
4.5.1 原理电路	11
4.5.2 电路实验	12
4.5.3 讨论	13

4.5.3.1	不能使用置九法实现九进制计数器	13
4.5.3.2	构成两位计数器的时候需要使用相同的电源	13
5	实验总结	14

1 实验目的

- a. 利用计数器芯片与数码管搭建计数器硬件电路

2 实验仪器与主要器材

仪器:

Basys3 FPGA 开发板	1 台
KEYSIGHT DSOX1102AG 示波器	1 台
示波器高频探头	1 套
ROGOL DM3068 万用表	1 台

软件:

Multisim	14.1
----------	------

芯片:

74LS90	1 片
74LS47	1 片

耗材:

导线	若干
----	----

3 实验原理

计数器在数字系统中广泛使用，可以用于对时钟脉冲计数、分频、定时、进行数学运算等。

计数器种类繁多。如果按照计数器中的触发器是否同时翻转分类，可以将计数器分为同步式和异步式两种。同步计数器中，当时钟脉冲输入时触发器的翻转同时发生，而在异步计数器中，触发器的翻转又先后，不是同时发生的。

如果按照计数过程中数字的增减分类，可以分为加法计数器、减法计数器以及可逆计数器。随着计数脉冲的不断输入而作递增的计数器称为加法计数器，作递减计数的称为减法计数器，可增可减的称为可逆计数器。

本实验中用到的计数器为异步加法计数器。将其接到 BCD 译码器及数码管，即可获得计数显示。

4 实验过程

4.1 十进制计数器

4.1.1 原理电路

实验电路原理图如4.1.1所示。其中将 74LS90 的 QA 端接回 INB 触发端口，利用 74LS90 芯片特性构成十进制计数器。74LS90 产生加法计数的 BCD 码后将其送至 74LS47BCD 显示译码器，进行译码并将输出送至数码管进行显示输出。

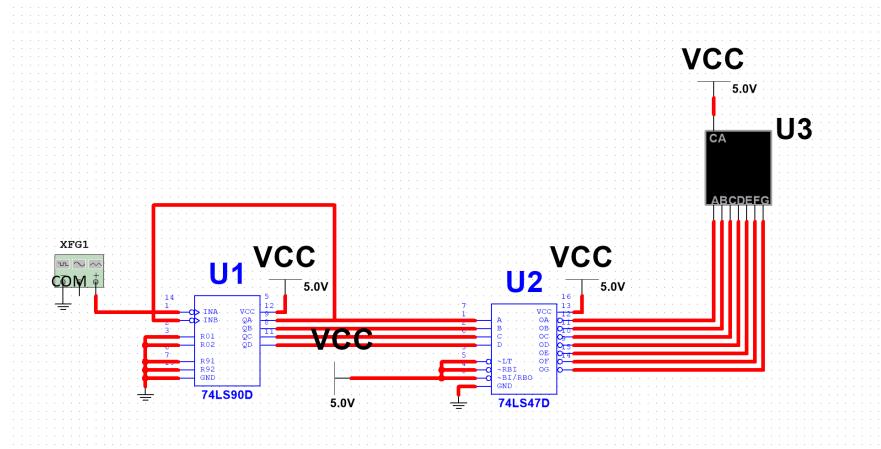


图 4.1.1: 十进制计数器: 原理电路

4.1.2 电路实验

依据原理图，搭建硬件电路如图4.1.2所示。输入信号 INA 接信号发生器方波。方波参数为高电平5 V，低电平0 V，频率3 Hz。

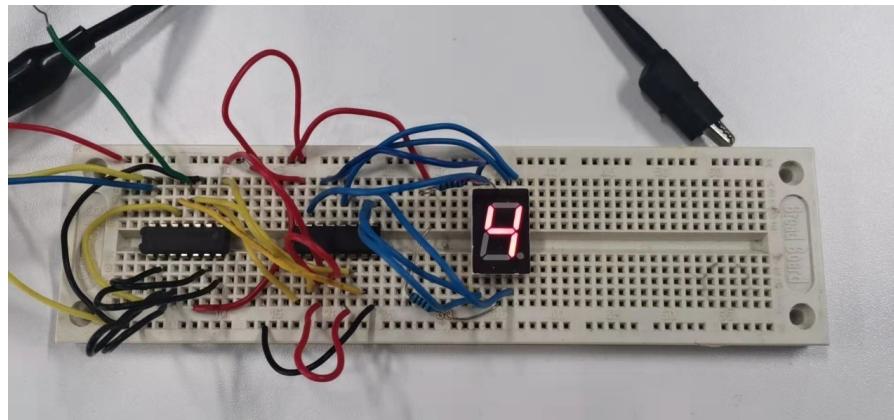


图 4.1.2: 十进制计数器: 硬件电路

打开电源、打开信号源，观察实验现象。3 Hz时电路现象已录制为”十进制计数器.mp4”，附在邮件插件中。

加大信号源频率，使用示波器观察计数器各引脚输出。其中信道 1 为时钟信号，信道 2 分别为各位输出。实验结果如图4.1.3所示。

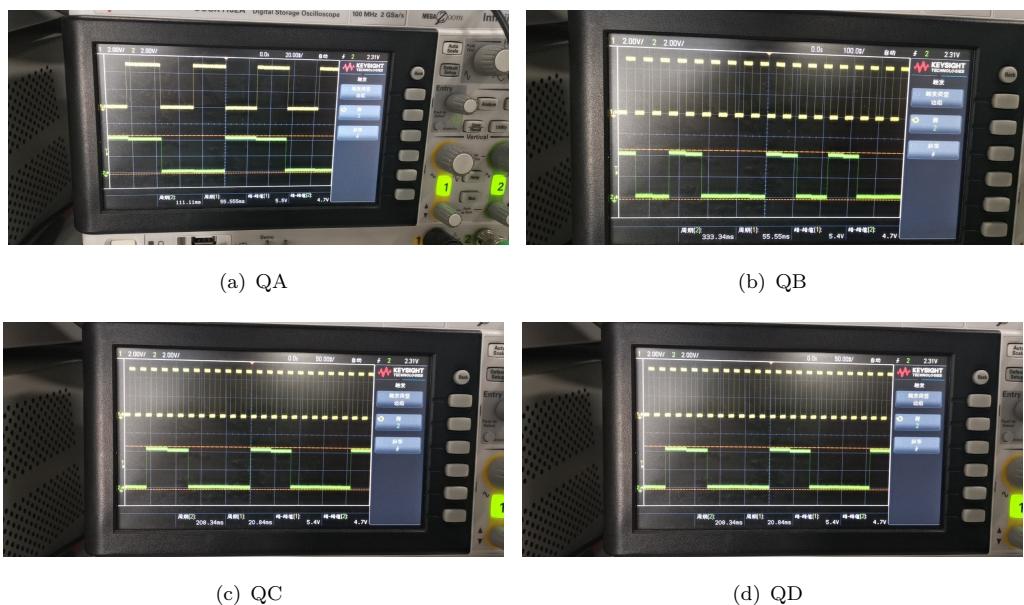


图 4.1.3: 十进制计数器: 引脚波形

可以看到，电路现象与各引脚波形与理论相符，成功搭建了十进制计数器硬件电路。

4.2 六进制计数器：置零法

4.2.1 原理电路

实验电路原理图如4.2.1所示。在十进制计数器的基础上，将 QB、QC 引回电路置零端，使得电路输出二进制 6，即“0110”时，计数器归零。由此使计数器输出在 0、1、2、3、4、5，共计 6 个稳态间跳变，实现六进制计数器。

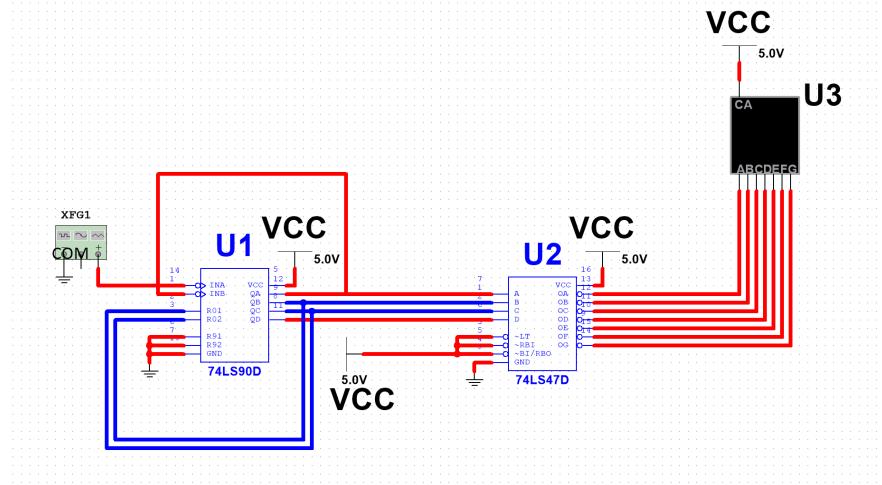


图 4.2.1: 六进制计数器（置零法）: 原理电路

4.2.2 电路实验

依据原理图，搭建硬件电路如图4.2.2所示。输入信号 INA 接信号发生器方波。方波参数为高电平 5 V，低电平 0 V，频率 2 Hz。

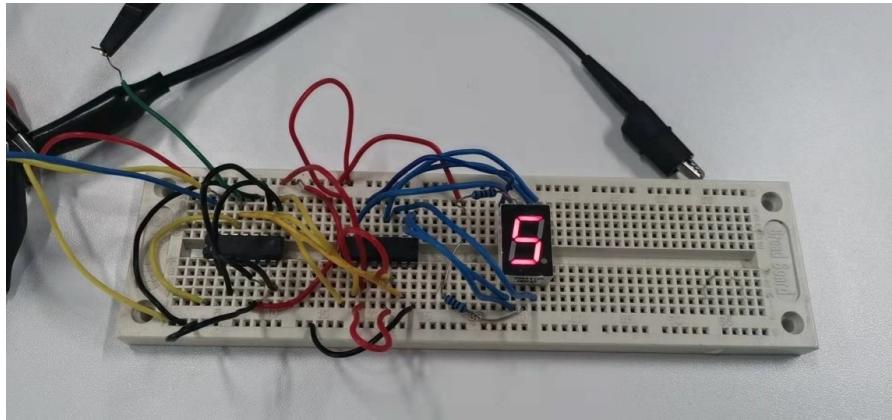


图 4.2.2: 六进制计数器（置零法）：硬件电路

打开电源、打开信号源，观察实验现象。3 Hz时电路现象已录制为”六进制计数器（置零法）.mp4”，附在邮件插件中。

加大信号源频率，使用示波器观察计数器各引脚输出。其中信道 1 为时钟信号，信道 2 分别为各位输出。实验结果如图4.2.3所示。

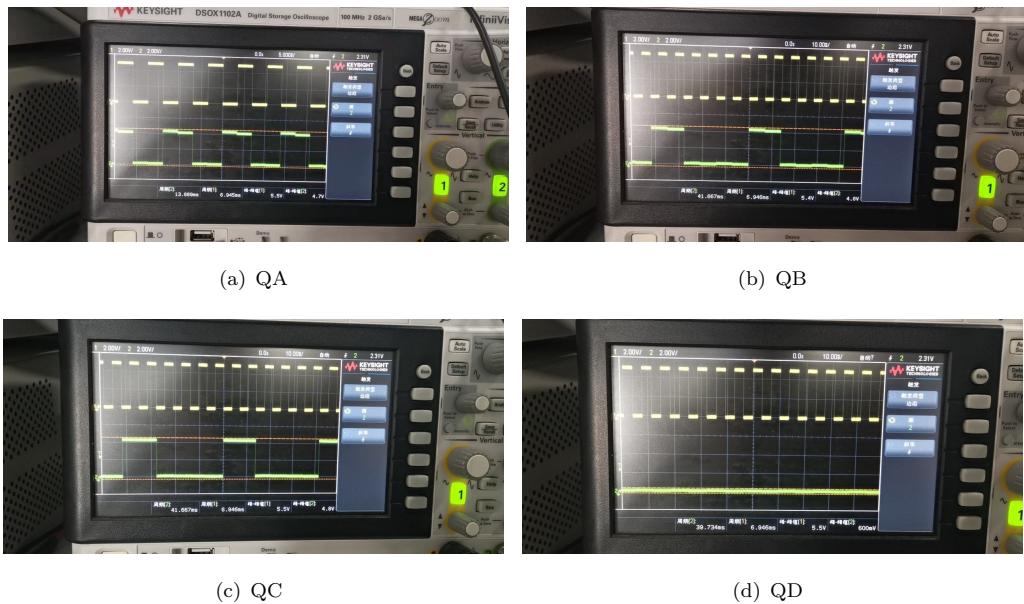


图 4.2.3: 六进制计数器（置零法）：引脚波形

可以看到，电路现象与各引脚波形与理论相符，成功搭建了置零法实现的六进制计数器硬件电路。

4.3 六进制计数器：置九法

4.3.1 原理电路

实验电路原理图如4.3.1所示。在十进制计数器的基础上，将 QA、QC 引回电路置九端，使得电路输出二进制 5，即“0101”时，计数器跳变到状态 9。由此使计数器输出在 0、1、2、3、4、9，共计 6 个稳态间跳变，实现六进制计数器。

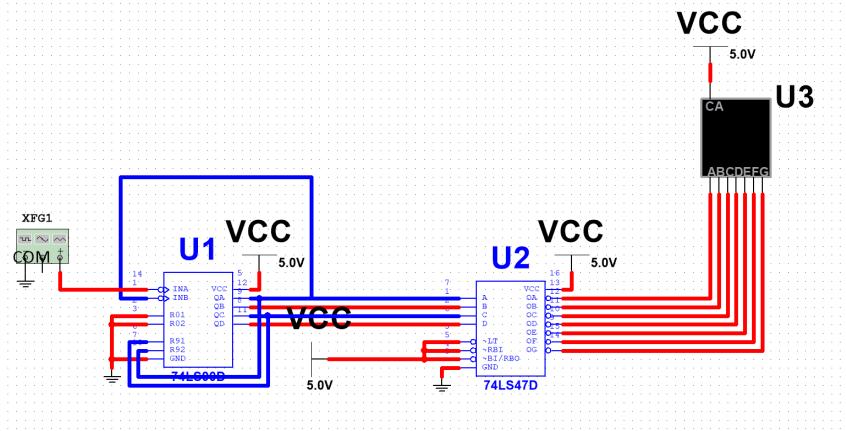


图 4.3.1: 六进制计数器（置九法）: 原理电路

4.3.2 电路实验

依据原理图，搭建硬件电路如图4.3.2所示。输入信号 INA 接信号发生器方波。方波参数为高电平 5 V，低电平 0 V，频率 2 Hz。

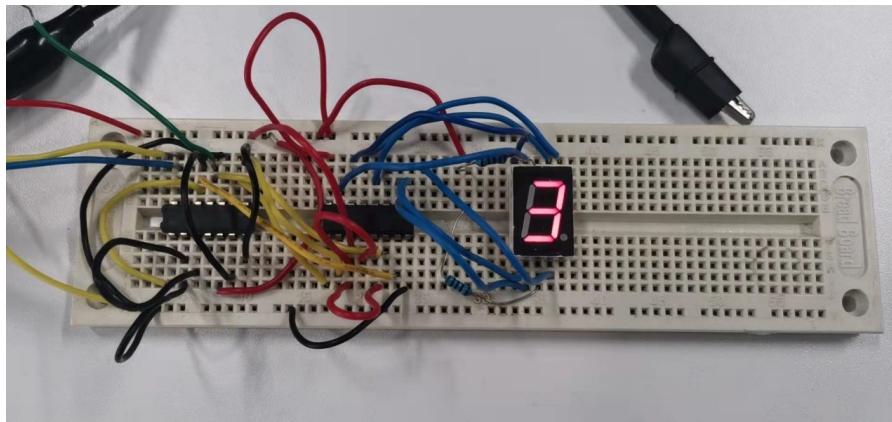


图 4.3.2: 六进制计数器（置九法）: 硬件电路

打开电源、打开信号源，观察实验现象。3 Hz时电路现象已录制为“六进制计数器（置九法）.mp4”，附在邮件插件中。

加大信号源频率，使用示波器观察计数器各引脚输出。其中信道 1 为时钟信号，信道 2 分别为各位输出。实验结果如图4.3.3所示。

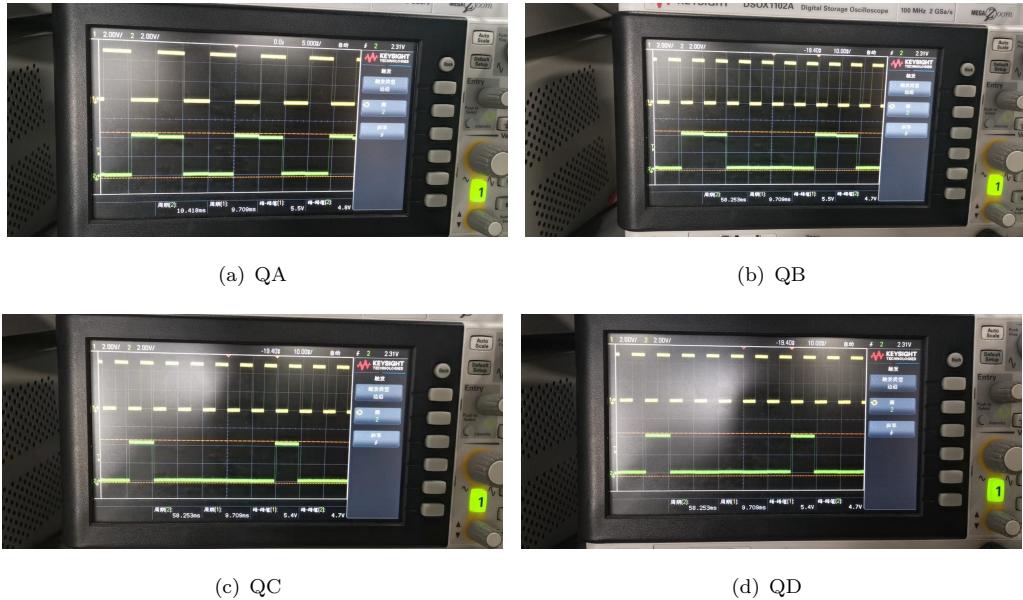


图 4.3.3: 六进制计数器（置九法）：引脚波形

可以看到，电路现象与各引脚波形与理论相符，成功搭建了置九法实现的六进制计数器硬件电路。

4.4 24 进制计数器

4.4.1 原理电路

首先，使用两位十进制计数器连接成为异步进位的 100 进制计数器。其中高位 10 进制计数器的时钟信号使用低位 10 进制计数器的 QD 引脚波形。使得低位当且仅当由 9 变 0 时，产生下降沿，使得高位计数器计数值加一。100 进制计数器原理如如图 4.4.1所示。

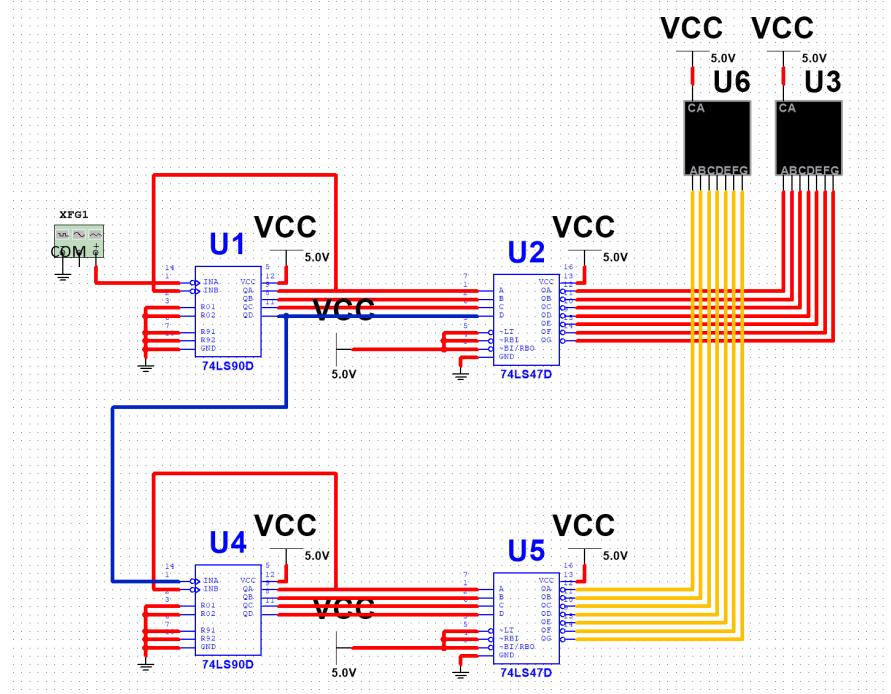


图 4.4.1: 100 进制计数器: 原理电路

在此基础上, 将高位的 QB、低位的 QC 分别引到两位计数器的置零端上。由于不能够使用额外的门电路, 此处使用的方式为部分译码, 当电路从 0 计数递增至 24 时, 置零条件第一次全部满足, 使得电路在计数 23 后跳回 00, 构成 24 进制计数器。24 进制计数器的原理电路如图4.4.2所示。

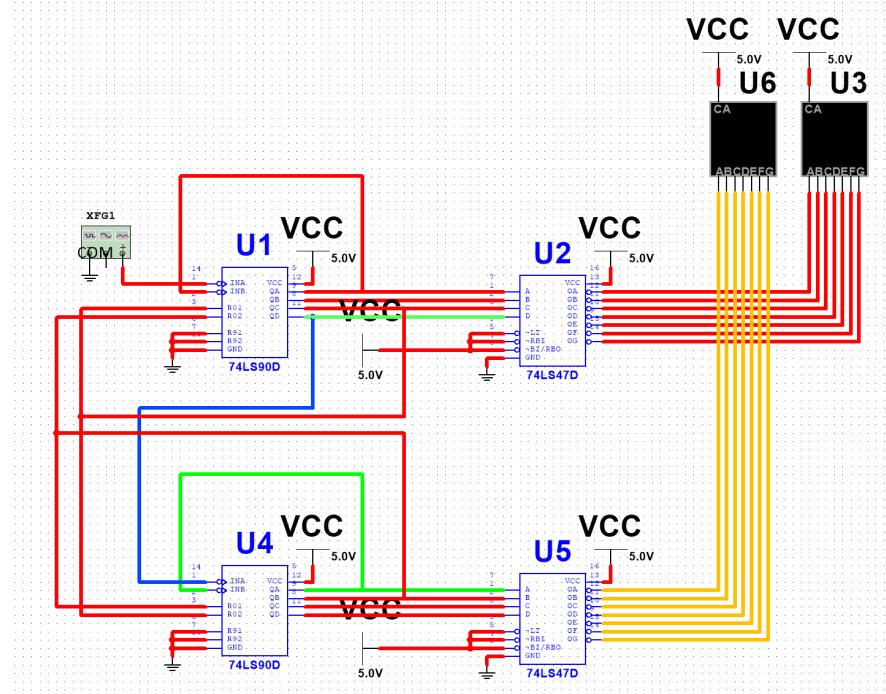


图 4.4.2: 24 进制计数器: 原理电路

4.4.2 电路实验

依据原理图，搭建硬件电路如图4.4.3所示，其中下侧的面包板上为计数器高位部分。输入信号 INA 接信号发生器方波。方波参数为高电平5 V，低电平0 V，频率2 Hz。

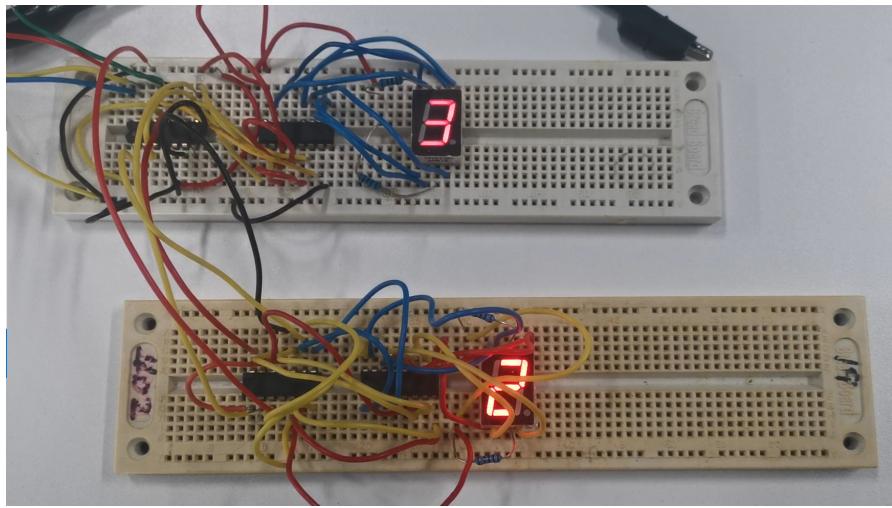


图 4.4.3: 24 进制计数器: 硬件电路

打开电源、打开信号源，观察实验现象。3 Hz时电路现象已录制为”24 进制计数器.mp4”，附在邮件插件中。可以看到，电路显示状态由“00”计数递增至“23”后归零，成功构成了24进制计数器。

4.5 38 进制计数器

4.5.1 原理电路

首先，使用两位十进制计数器连接成为异步进位的100进制计数器。然而，若仅使用置零端搭建38进制计数器，即使使用部分译码办法，译出十位“3”时需要使用QB、QC，译出个位“8”时需要使用QD，置零端需要有3引脚才可实现。然而74LS90置零端仅有两个，故仅使用置零端无法构成38进制计数器。

综合使用置九端和置零端可以实现38进制计数器。注意到虽然译出“38”需要3引脚，但若电路由于置九端跳过80 89，则在译出“98”时仅需连接高、低位QD值两计数器置零端，即可实现在电路到达状态“98”时立即置零。可以利用此性质实现38计数器，具体实现如下：

在100进制计数器的基础上，将高位置九端连接高位输出的QA、QB，译出“3”的状态，使得计数器在29过后直接跳变90。

将高位、低位的QD分别连接至两位的置零端上，利用部分译码使得刚才所得的电路在“98”时置零条件第一次满足，使得电路置零。

由此，计数器稳态为“00”“29”，“90”“97”，电路在“97”后随即回到“00”，电路共计38个稳态，成功实现了38进制计数器。

原理电路如图4.5.1

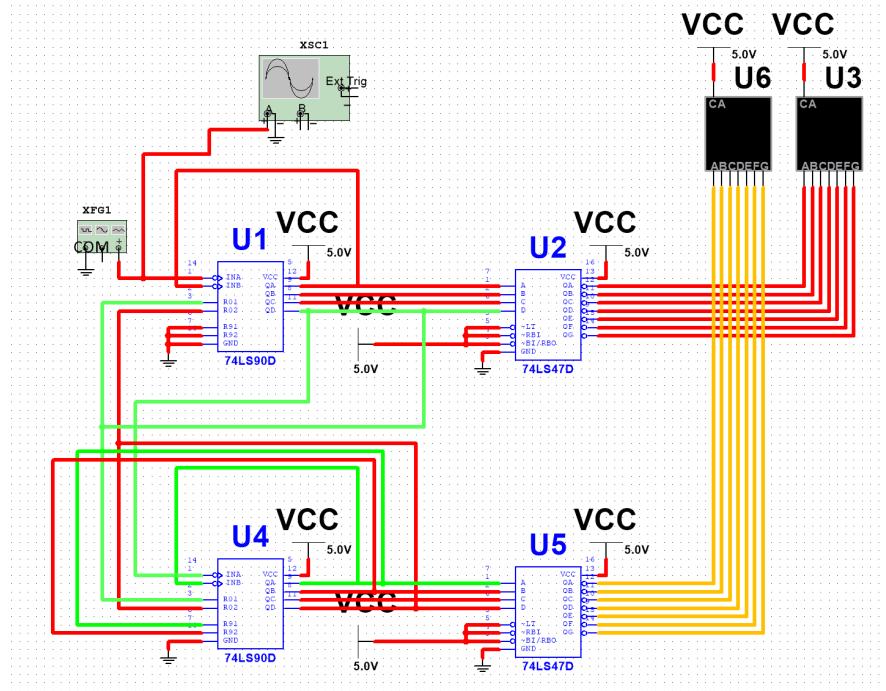


图 4.5.1: 38 进制计数器: 原理电路

4.5.2 电路实验

依据原理图, 搭建硬件电路如图4.5.2所示, 下侧面包板为高位电路。输入信号 INA 接信号发生器方波。方波参数为高电平5 V, 低电平0 V, 频率2 Hz。

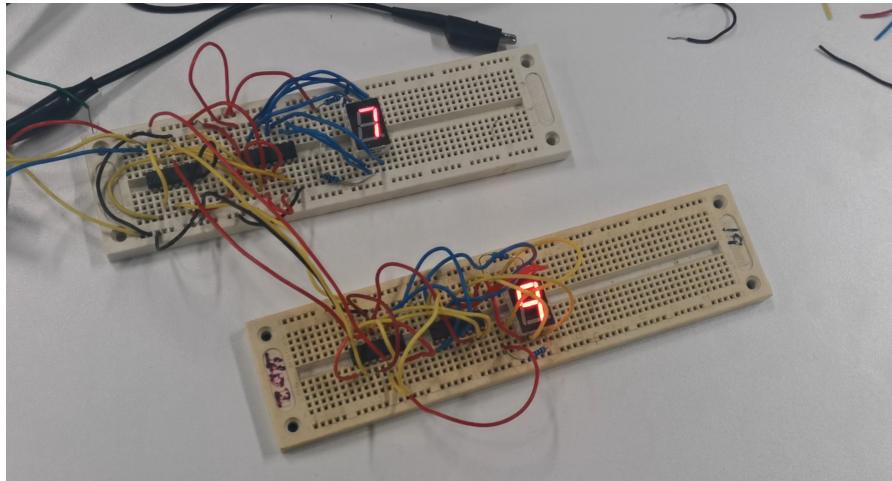


图 4.5.2: 38 进制计数器: 硬件电路

打开电源、打开信号源，观察实验现象。3 Hz时电路现象已录制为”38 进制计数器.mp4”，附在邮件插件中。可以看到，电路显示状态由“00”计数递增至“29”后跳变至“90”，继续递增至“97”后归零，成功构成了 38 进制计数器。

4.5.3 讨论

实验过程中帮助其他同学解决了一些问题，在此讨论如下：

4.5.3.1 不能使用置九法实现九进制计数器 有其他小组同学希望构建九进制计数器，利用 $38 = 9 \times 4 + 2$ ，译出 42，实现 38 进制计数器。从译码的角度这确实是一个巧妙的实现方案，但是实现中遇到了问题。由于在 42 时需要置零，占用置零端，9 进制计数器只能通过置九法实现。然而，74LS90 两置九端都是高电平有效，为了使计数器在 8，即二进制“1000”时跳变至 9，不使用门电路的条件下只能将 QD 同时连接两置九端。然而这样操作会使电路在状态“9”，即二进制输出“1001”时电路置九端仍然有效，使得电路卡死在输出“9”的状态，无法实现 38 进制的功能。

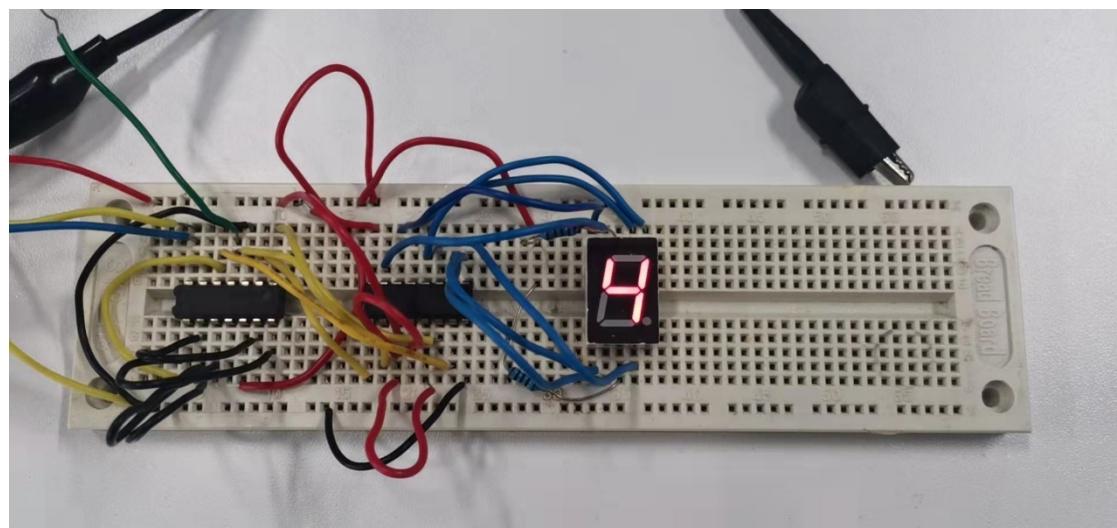
4.5.3.2 构成两位计数器的时候需要使用相同的电源 在构成 24 进制计数器以及 38 进制计数器时，需要连接相同的电源进行供电。这是由于电源的零电位参考点（地位）可能不相同，使得电路电位混乱，产生不可预见的电路表现。实验中遇到的情况为电路高位在 0、1、4、5、0、1 这几个状态中不断循环。

5 实验总结

成功使用 74LS90、74LS47 以及数码管成功实现了十进制计数器、置零法以及置九法实现的六进制计数器、24 进制计数器、38 进制计数器。熟悉了使用硬件构建数字电路的操作，

原始数据

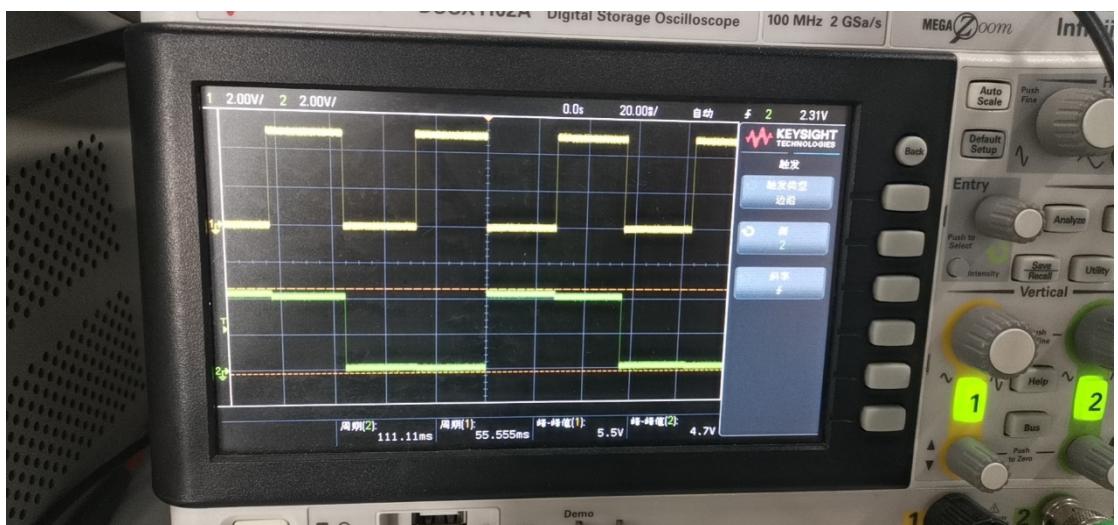
十进制



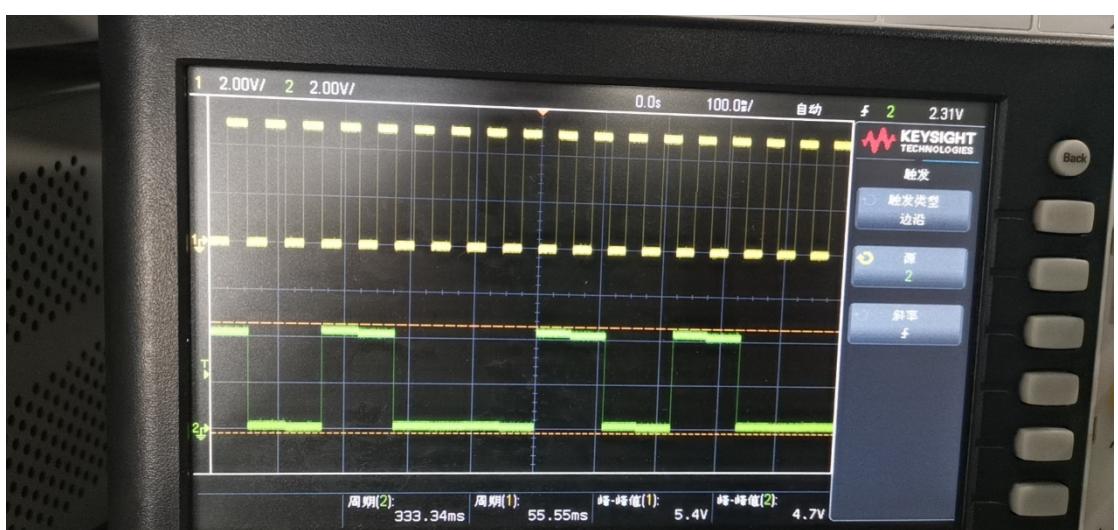
CH1: 时钟信号

CH2: 输出信号

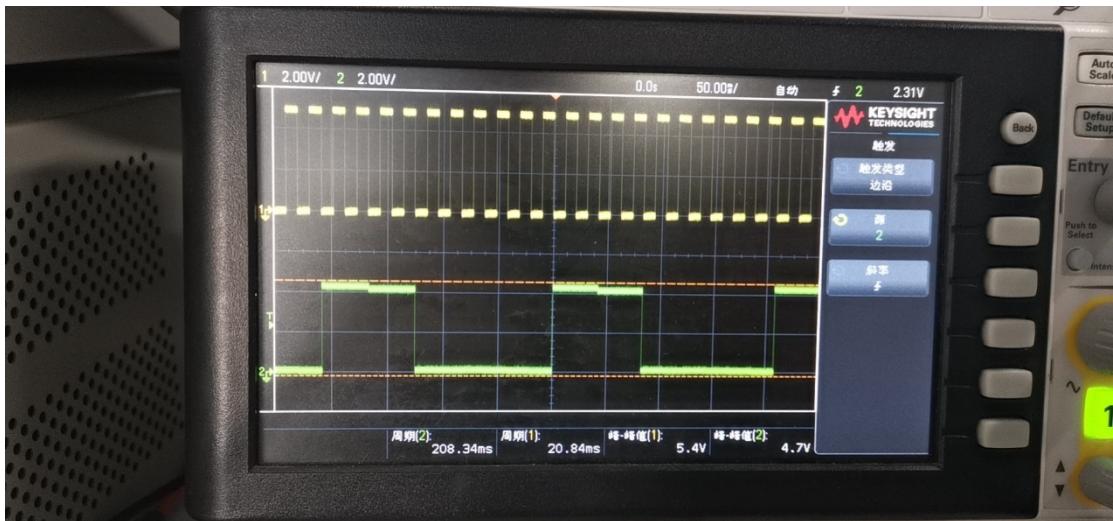
- QA



- QB



- QC



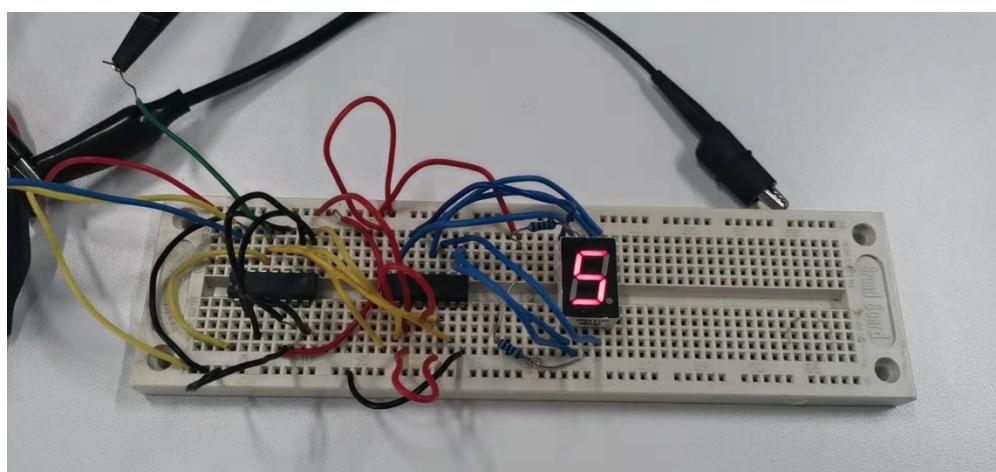
- QD



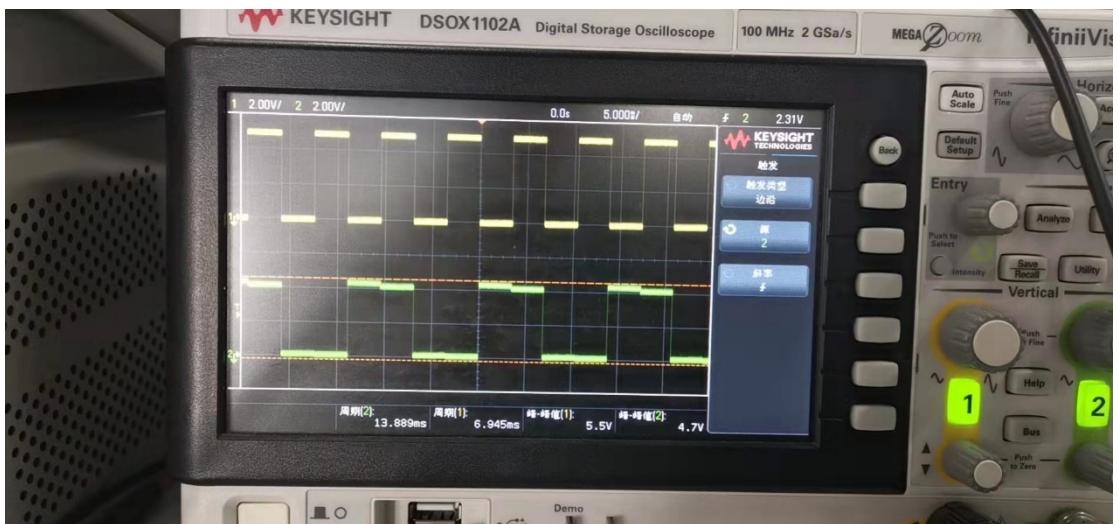
六进制（置零法）

CH1: 时钟信号

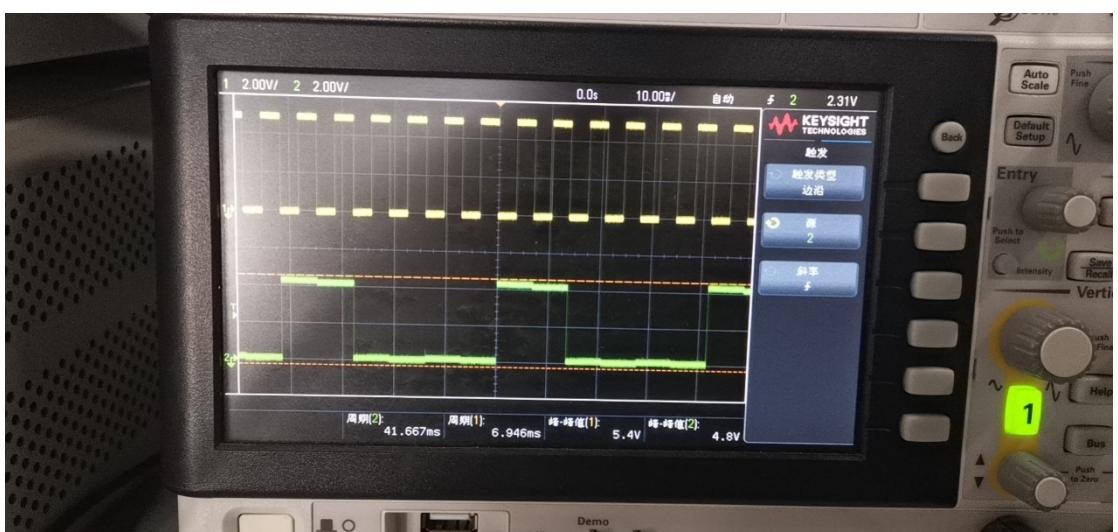
CH2: 输出信号



- QA



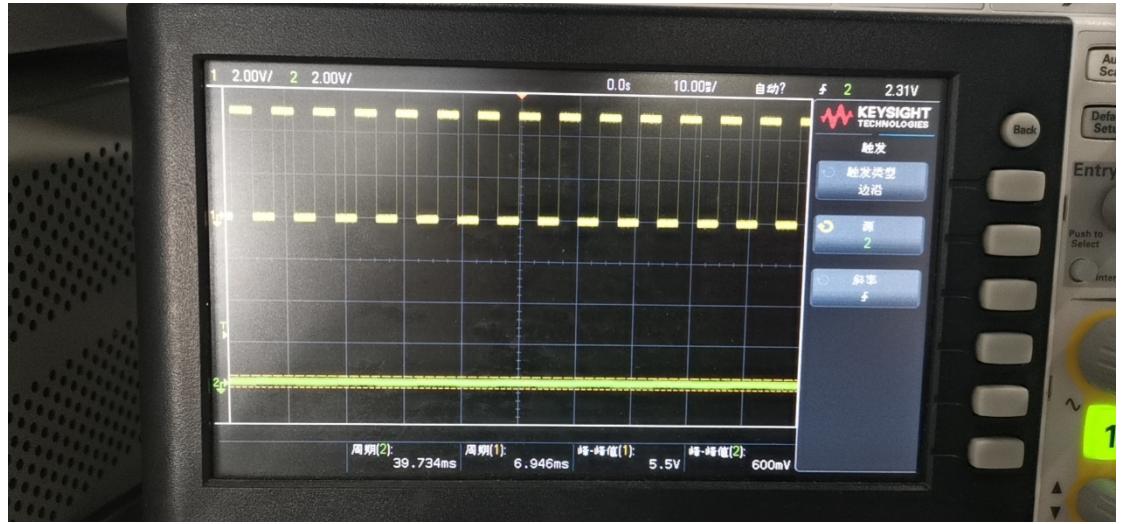
- QB



- QC



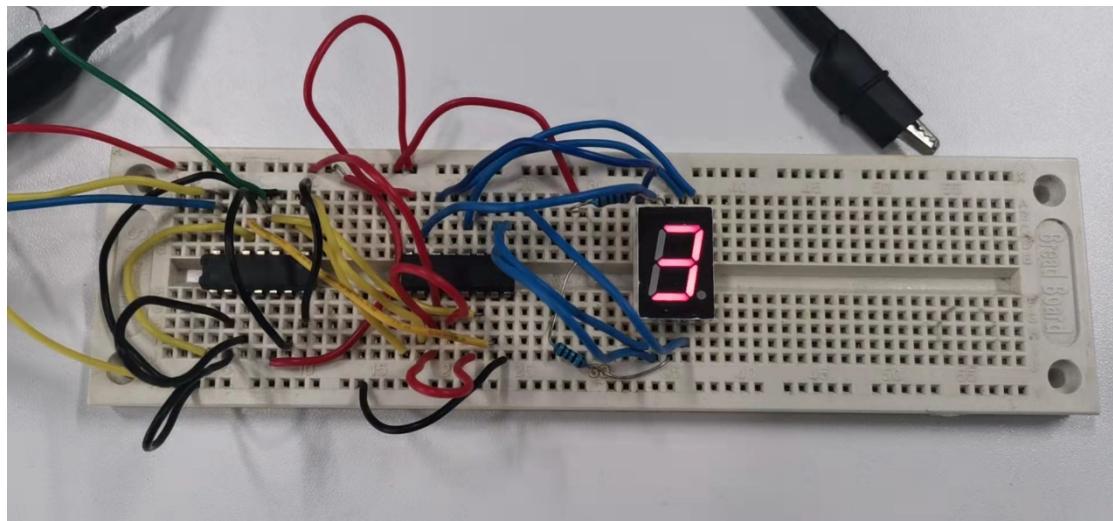
- QD



六进制（置九法）

CH1: 时钟信号

CH2: 输出信号



- QA

