

实验 2 计数器

电子科学与工程学院刘时宜 201180078

实验日期: 2021 年 11 月 23 日

指导老师: 高健

点击目录、书签栏、以及行文中的图表标号的均可跳转至相应页面

目录

1 实验目的	2
2 实验仪器与主要器材	2
3 实验原理	2
4 实验过程	3
4.1 十进制加法计数器	3
4.1.1 实验结果	3
4.1.2 小结	5
4.2 16 进制加法计数器	5
4.2.1 实验结果	5
4.2.2 小结	7
4.3 六进制计数器（置零法）	7
4.3.1 实验步骤	7
4.3.2 实验结果	8
4.3.3 小结	9
4.4 六进制计数器（置 9 法）	9
4.4.1 实验步骤	9
4.4.2 实验结果	9
4.4.3 小结	10
5 实验总结	10

1 实验目的

- a. 验证计数器工作原理
- b. 利用已有计数器模块设计实现其他进制的计数器模块
- c. 利用计数器设计实现秒表

2 实验仪器与主要器材

仪器:

Basys3 FPGA 开发板	1 台
KEYSIGHT DSOX1102AG 示波器	1 台
示波器高频探头	1 套
ROGOL DM3068 万用表	1 台

软件:

Multisim	14.1
Digilent Adept	2.19.2
Vivado	2015.4

耗材:

导线	若干
----	----

3 实验原理

计数器在数字系统中广泛使用，可以用于对时钟脉冲计数、分频、定时、进行数学运算等。

计数器种类繁多。如果按照计数器中的触发器是否同时翻转分类，可以将计数器分为同步式和异步式两种。同步计数器中，当时钟脉冲输入时触发器的翻转同时发生，而在异步计数器中，触发器的翻转又先后，不是同时发生的。

如果按照计数过程中数字的增减分类，可以分为加法计数器、减法计数器以及可逆计数器。随着计数脉冲的不断输入而作递增的计数器称为加法计数器，作递减计数的称为减法计数器，可增可减的称为可逆计数器。

本实验中用到的计数器多为异步加法计数器。

4 实验过程

4.1 十进制加法计数器

开发板连接至电脑后下载已经编译好的十进制计数器 bit 流文件。

将 SW_0 、 SW_1 开关均拨至断开位置，观察计数器数字缓慢变化。将 SW_1 闭合，使用示波器观察计数器各输出引脚波形。

4.1.1 实验结果

$SW_0 = SW_1 = 0$ 时，时钟周期为 0.75 Hz ，计数器数字缓慢变化。观察到十进制计数器共有 10 个稳态，分别显示数字 $0 \sim 9$ ，如图4.1.1所示。

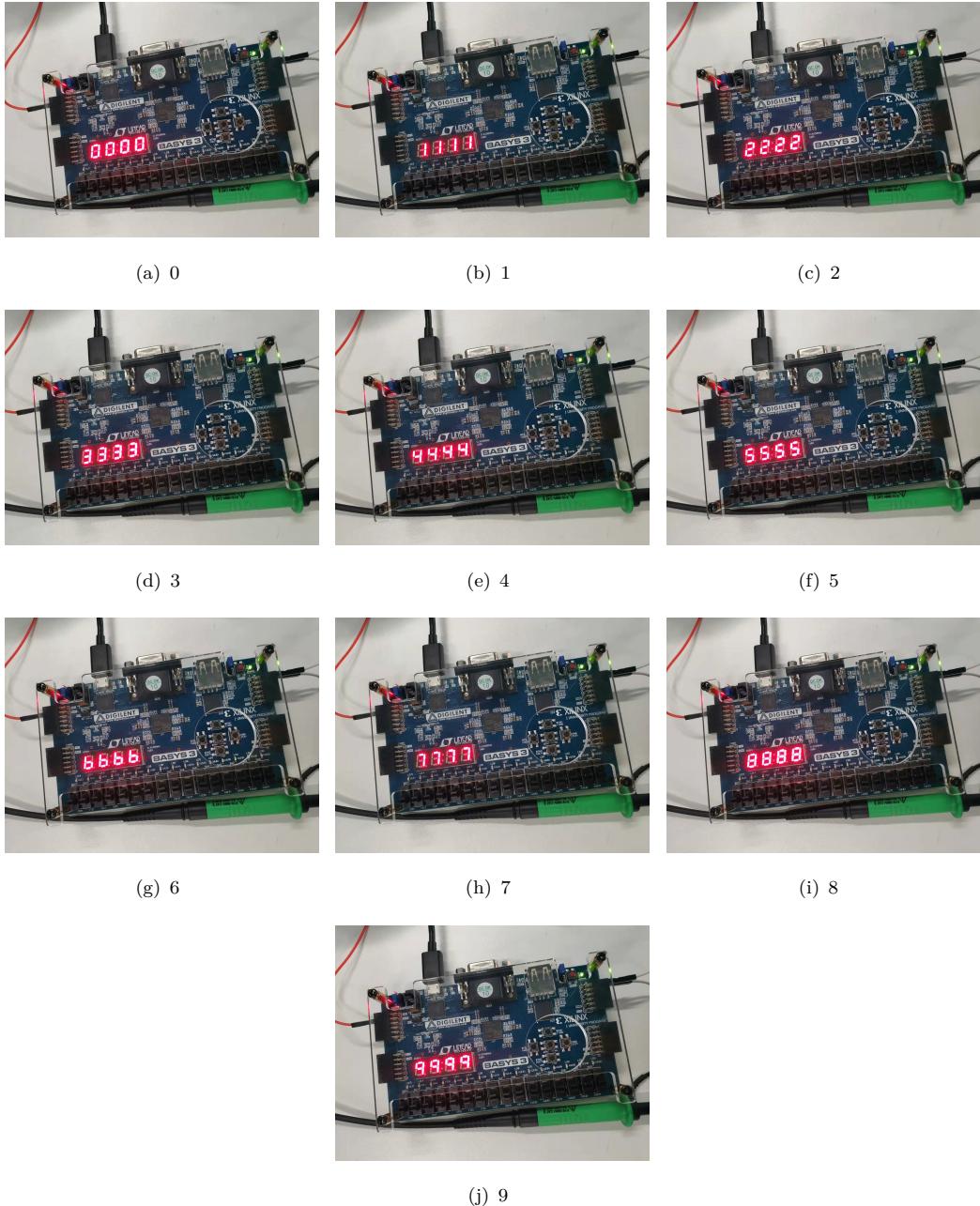


图 4.1.1: 十进制计数器数码管显示

$SW_0 = 0, SW_1 = 1$ 时, 时钟周期为 3 kHz , 数码管由于视觉暂留现象全亮, 此时使用示波器观察计数器各输出引脚波形如图4.1.2所示。可以看出, 在计数器一个全周期内共经历了 10 个时钟周期, 与十进制计数器要求相符。

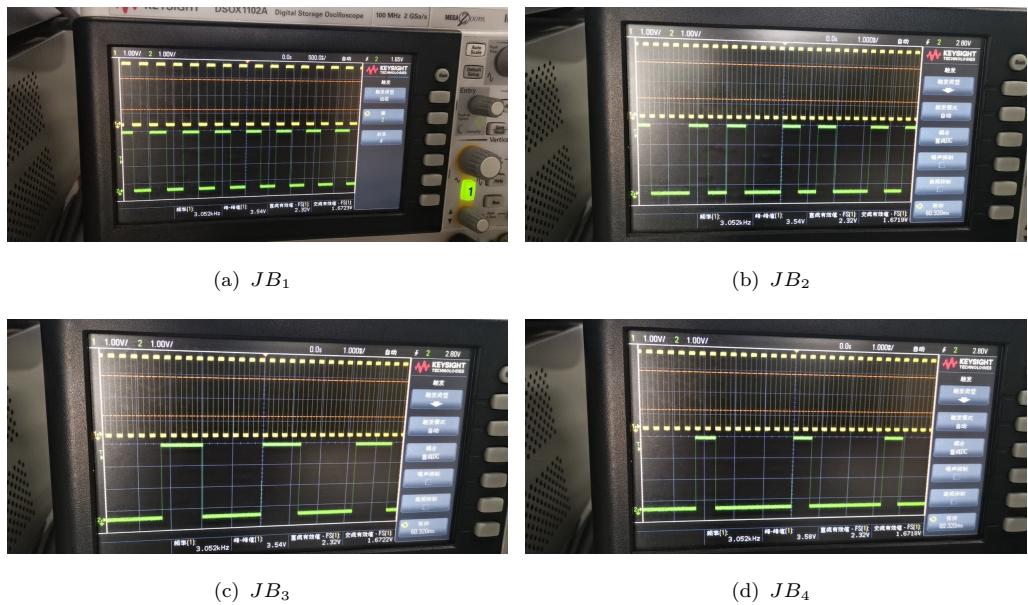


图 4.1.2: 十进制计数器引脚输出波形

4.1.2 小结

- 观察了十进制计数器连接数码管可以实现 $0 \sim 9$ 数字循环显示的功能。
- 测量了十进制计数器的输出波形，符合 10 个时钟周期 1 循环的要求。

4.2 16 进制加法计数器

开发板连接至电脑后下载已经编译好的 16 进制计数器 bit 流文件。

将 SW_0 拨至闭合位置、 SW_1 拨至断开位置，观察计数器数字缓慢变化。将 SW_1 闭合，使用示波器观察计数器各输出引脚波形。

4.2.1 实验结果

$SW_0 = 1, SW_1 = 0$ 时，时钟周期为 0.75Hz ，计数器数字缓慢变化。观察到十进制计数器共有 10 个稳态，分别显示数字 $0 \sim 9$ ，以及 $10 \sim 15$ 所对应输出数码，如图4.2.1所示。

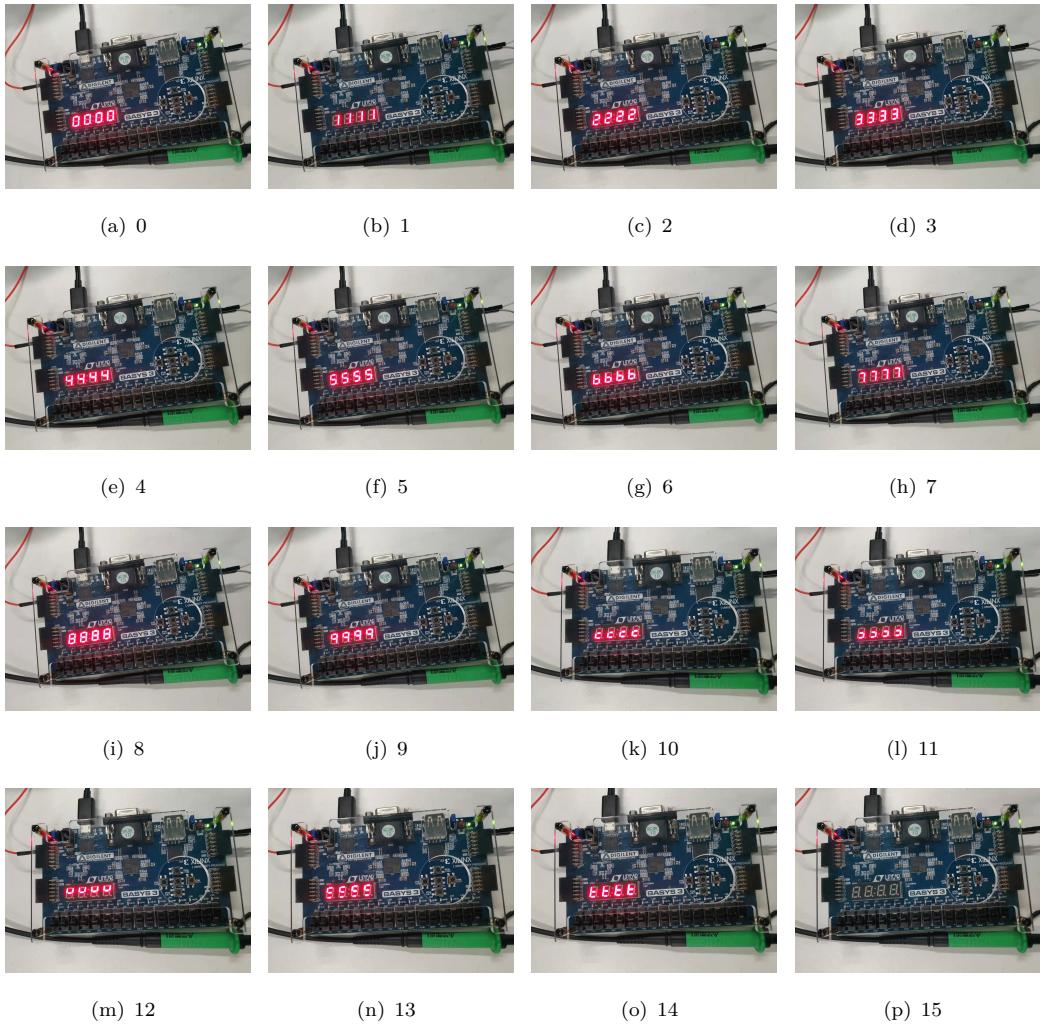


图 4.2.1: 16 进制计数器数码管显示

$SW_0 = 1, SW_1 = 1$ 时, 时钟周期为 3 kHz , 数码管由于视觉暂留现象全亮, 此时使用示波器观察计数器各输出引脚波形如图4.2.2所示。可以看出, 在计数器一个全周期内共经历了 16 个时钟周期, 与 16 进制计数器要求相符。

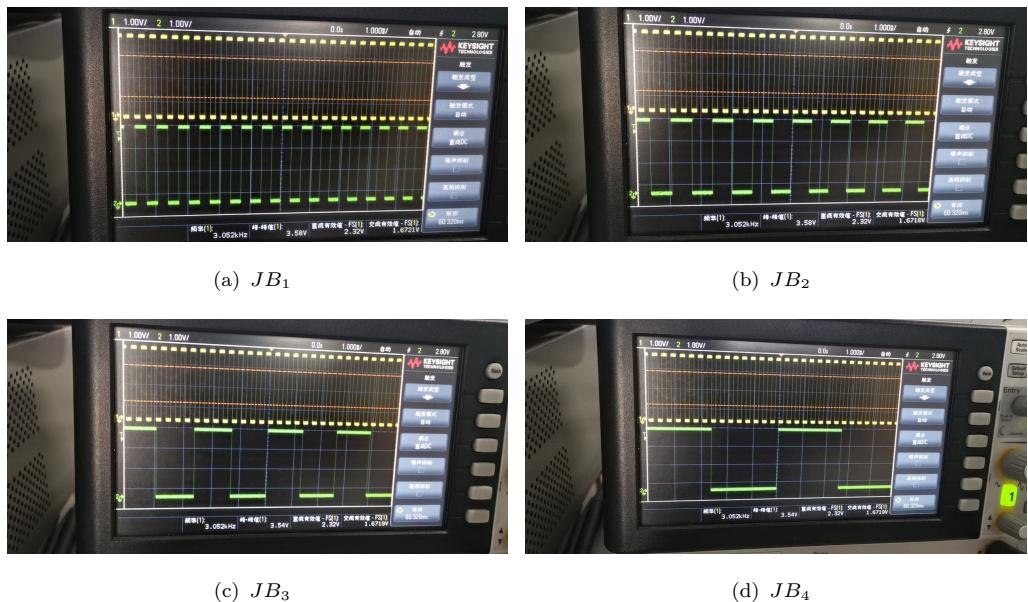


图 4.2.2: 16 进制计数器引脚输出波形

4.2.2 小结

- 观察了 16 进制计数器连接数码管可以实现 16 种数码循环显示的功能。
 - 测量了 16 进制计数器的输出波形，符合 16 个时钟周期 1 循环的要求。

4.3 六进制计数器（置零法）

4.3.1 实验步骤

利用计数器的置零端，使得计数器输出为二进制 6，即“0110”时，计数器置零端全部为高电平，将计数器输出置零，使得计数器仅有数字 0 到数字 5 共 6 个稳态，成为六进制计数器。

改变置零端连接后的电路图如图4.3.1所示。

生成 bit 文件，下载到开发板上，观察实验现象。

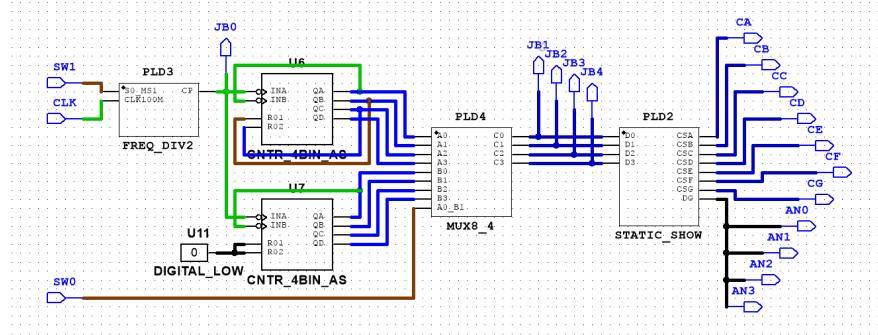


图 4.3.1: 六进制计数器（置零法）电路图

4.3.2 实验结果

$SW_0 = SW_1 = 0$ 时，时钟周期为 0.75 Hz，计数器数字缓慢变化。观察到十进制计数器共有 6 个稳态，分别显示数字 0 ~ 5，实验现象已录制成为视频“6 进制计数器（置零法）.mp4”，附在邮件中。

$SW_0 = 0, SW_1 = 1$ 时，时钟周期为 3 kHz，数码管由于视觉暂留现象全亮，此时使用示波器观察计数器各输出引脚波形如图 4.3.2 所示。可以看出，在计数器一个全周期内共经历了 6 个时钟周期，与六进制计数器要求相符。

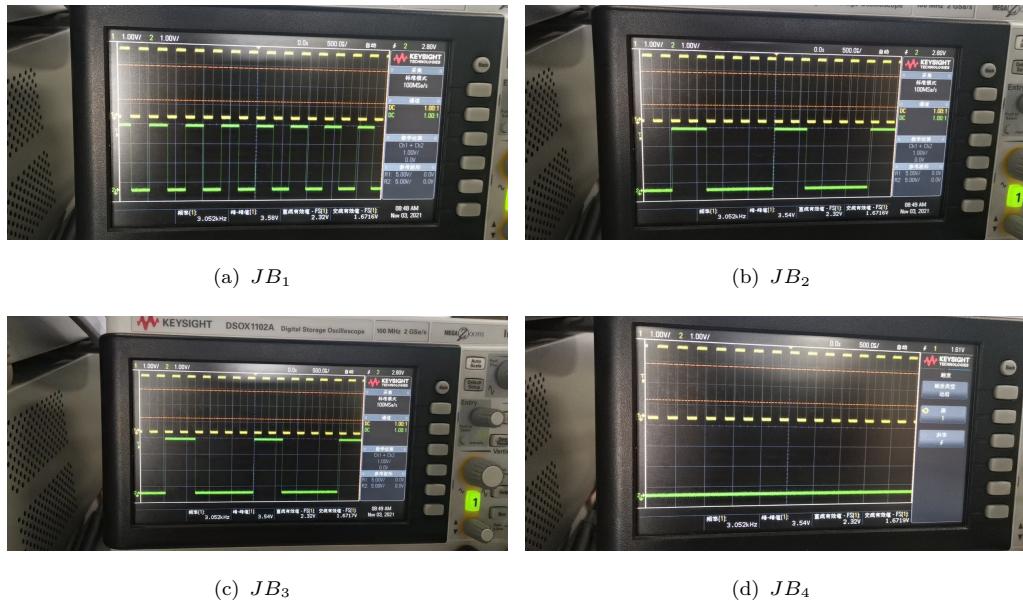


图 4.3.2: 六进制计数器引脚输出波形

4.3.3 小结

- 熟悉了计数器置零端的用法，掌握了利用置零端使计数器数字归零，调整进位的方法。
- 利用置零法，在输出数字 6 的时候将数字置零，实现了六进制计数器。

4.4 六进制计数器（置 9 法）

4.4.1 实验步骤

将原有计数器模块改为带置数端的计数器模块，将二进制数字 9，即“1001”连接到计数器置数端。利用与非门，使得当且仅当输出为二进制 4 时置数使能端（~load）为低电平，当且仅当输出为二进制 10 时置零端为低电平。将计数器两使能端连接高电平，使计数器始终工作。更改后的电路图如图4.4.1所示。

生成 bit 文件，下载到开发板上，观察实验现象。

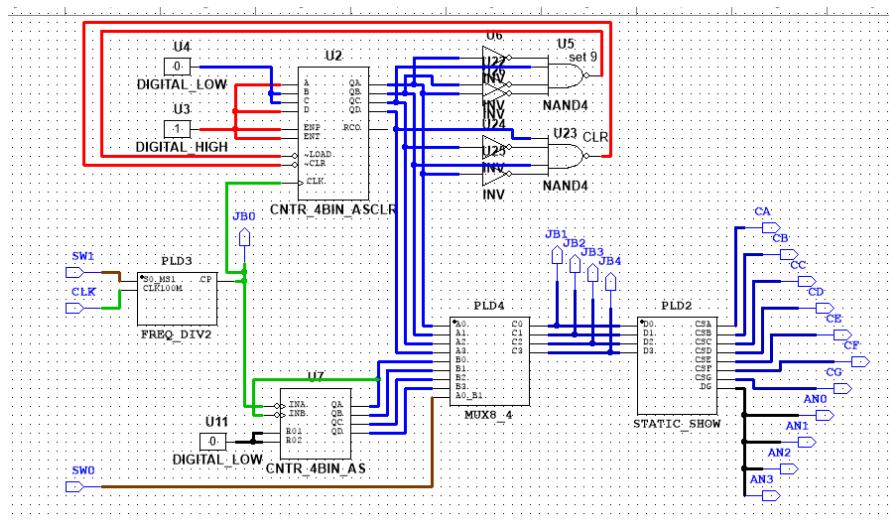


图 4.4.1: 六进制计数器（置零法）电路图

4.4.2 实验结果

$SW_0 = SW_1 = 0$ 时，时钟周期为 0.75 Hz，计数器数字缓慢变化。观察到十进制计数器共有 6 个稳态，分别显示数字 0 ~ 4 以及数字 9，实验现象已录制成为视频“6 进制计数器（置 9 法）.mp4”，附在邮件中。

$SW_0 = 0, SW_1 = 1$ 时，时钟周期为 3 kHz，数码管由于视觉暂留现象全亮，此时使用示波器观察计数器各输出引脚波形如图4.4.2所示。可以看出，在计数器一个全周期内共经历了 6 个时钟周期，与六进制计数器要求相符。

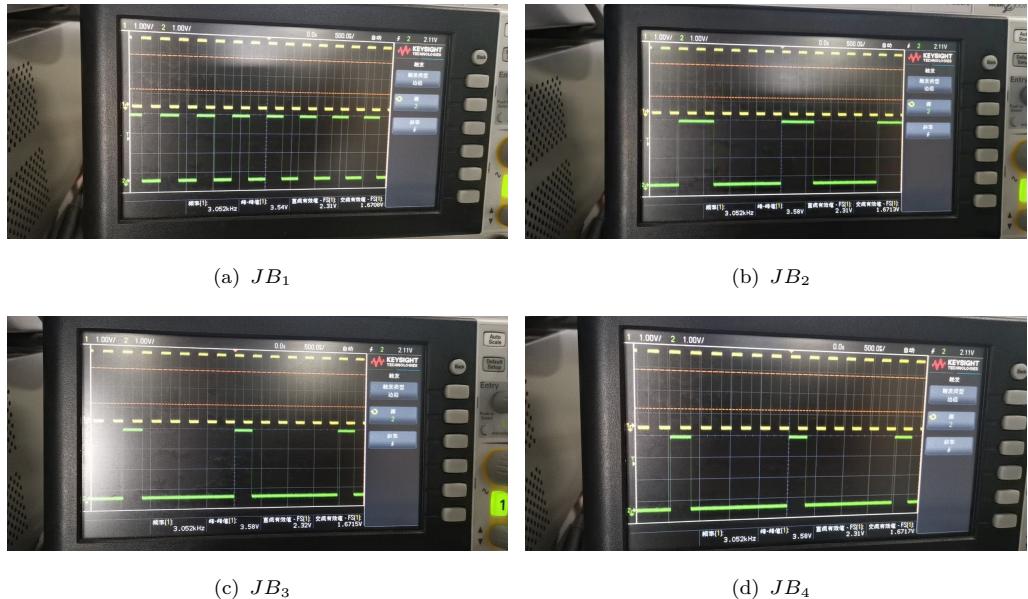


图 4.4.2: 六进制计数器引脚输出波形

4.4.3 小结

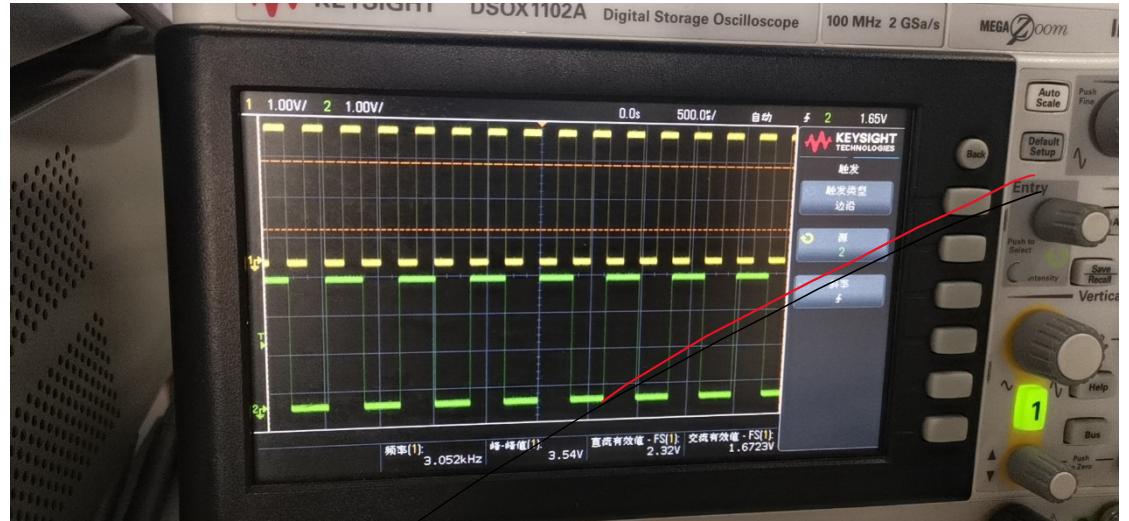
- 熟悉了计数器置数端的用法，掌握了利用置数端以及置零端使计数器数字归零，调整进位的方法。
- 利用置 9 法，实现了六进制计数器。

5 实验总结

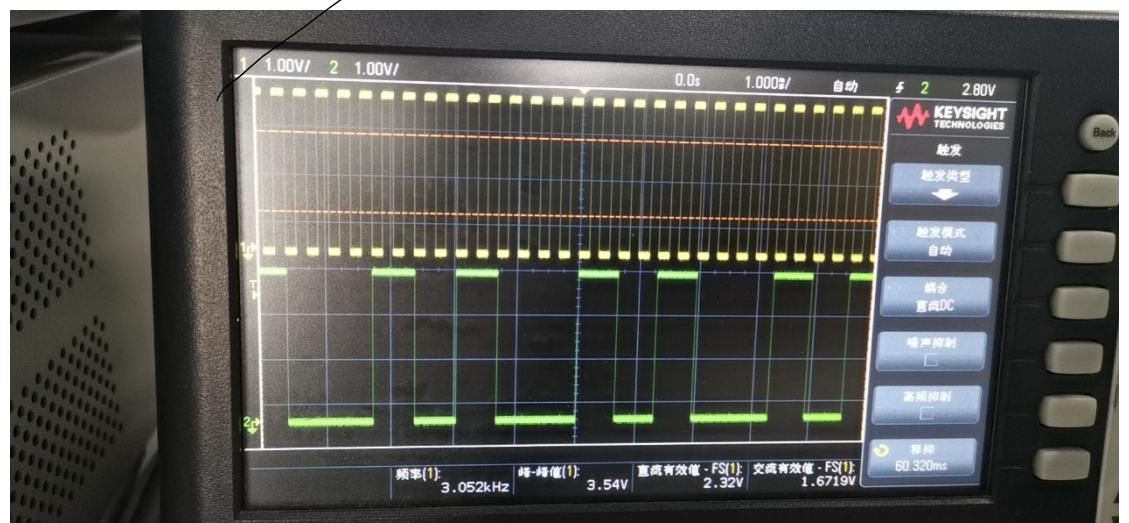
原始数据

1. 十进制测量

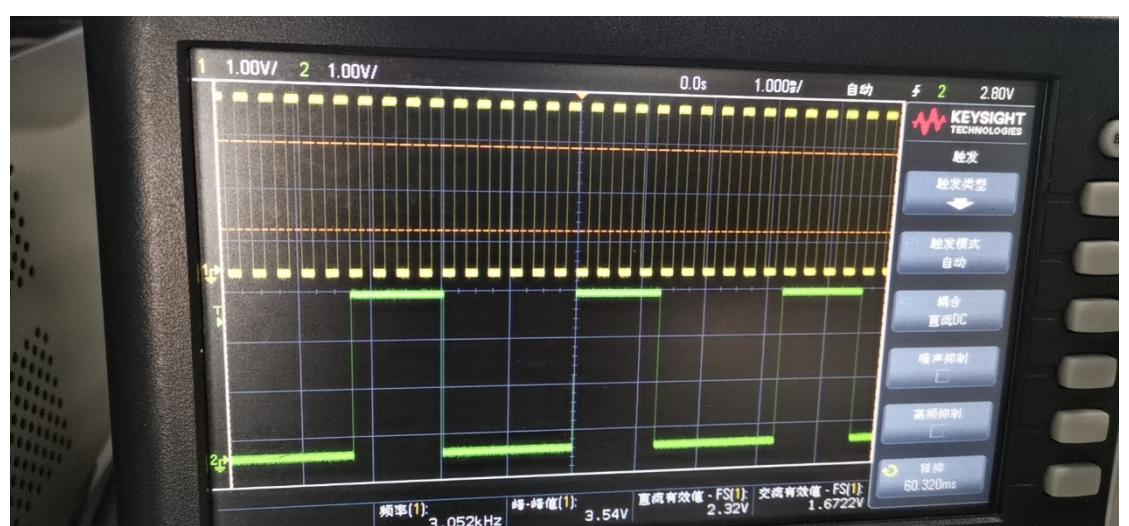
- a) 通道一 (黄色): JB0 通道二 (绿色): 被测信号
- b) JB1



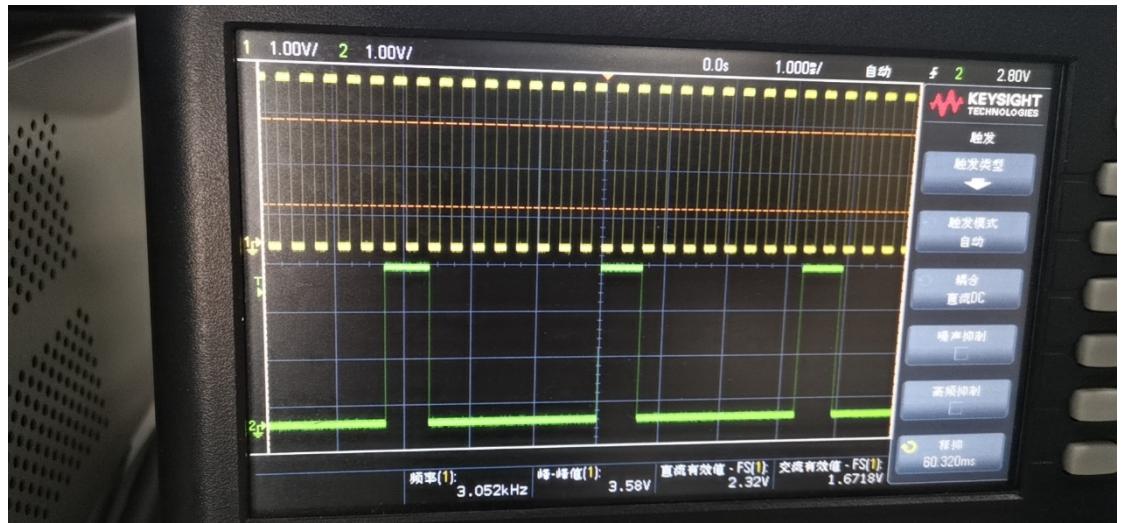
c) JB2



d) JB3



e) JB4

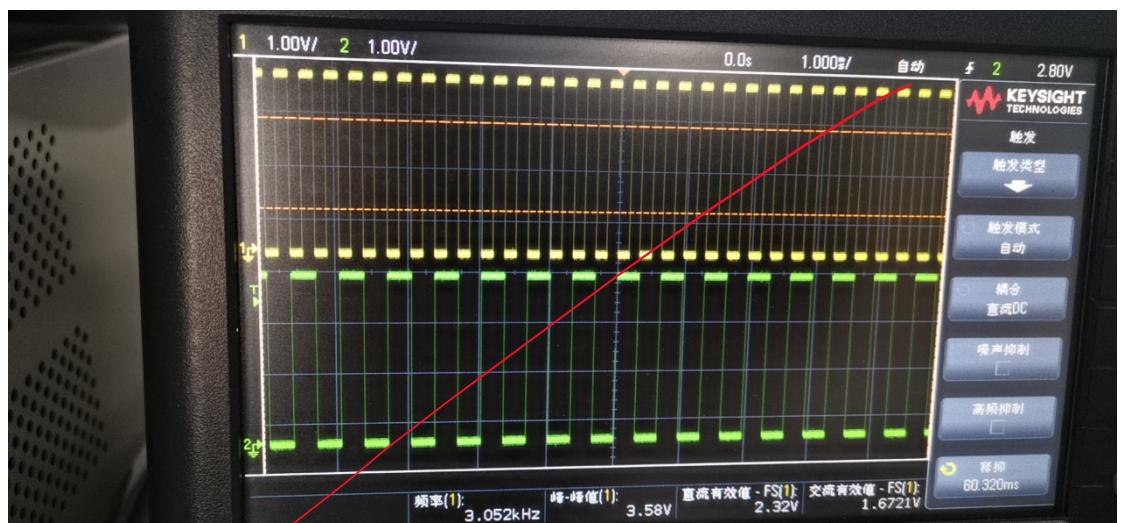


i.

2. 十六进制测量

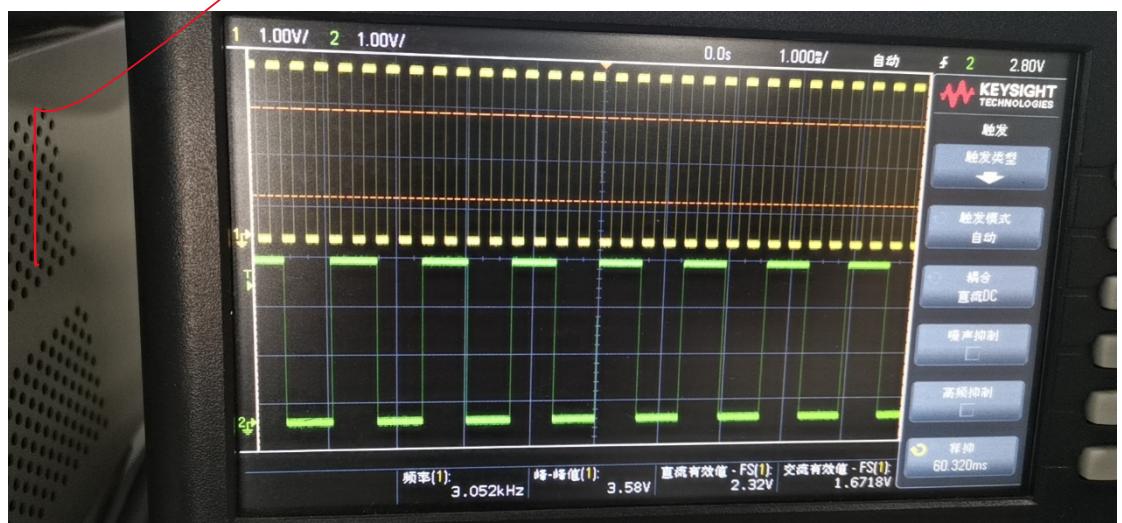
a) 通道一 (黄色): JB0 通道二 (绿色): 被测信号

b) JB1



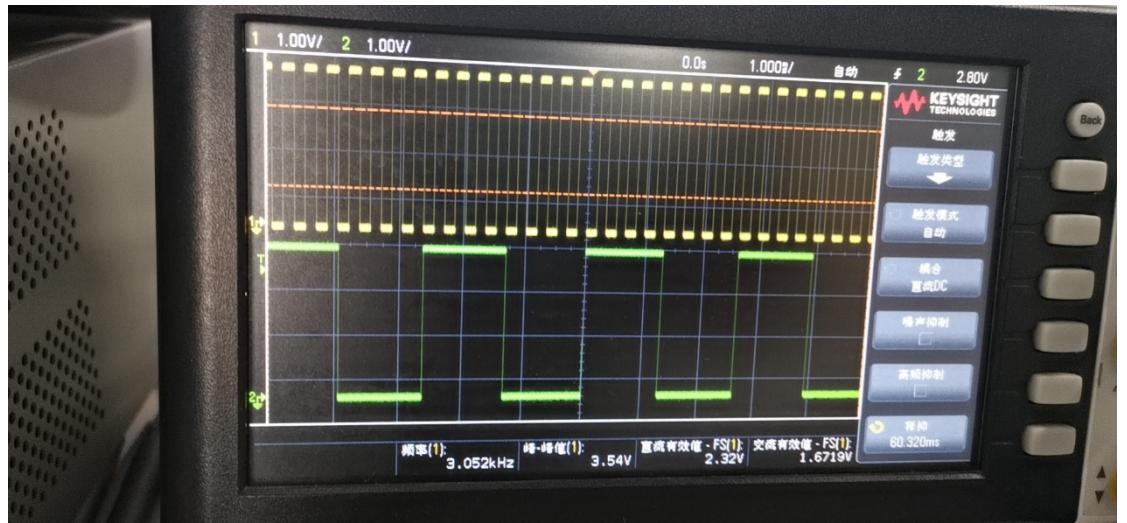
i.

c) JB2



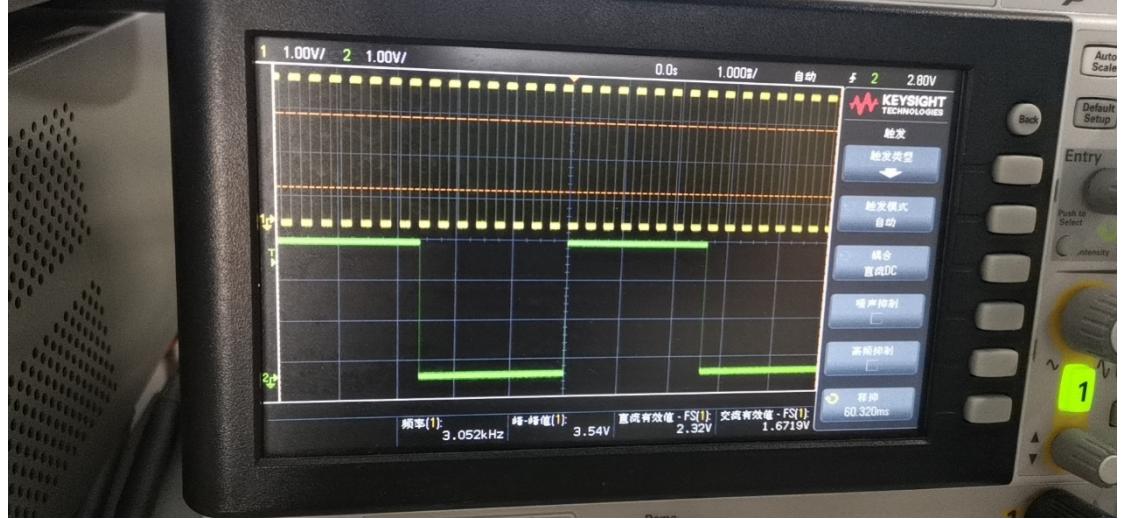
i.

d) JB3



i.

e) JB4

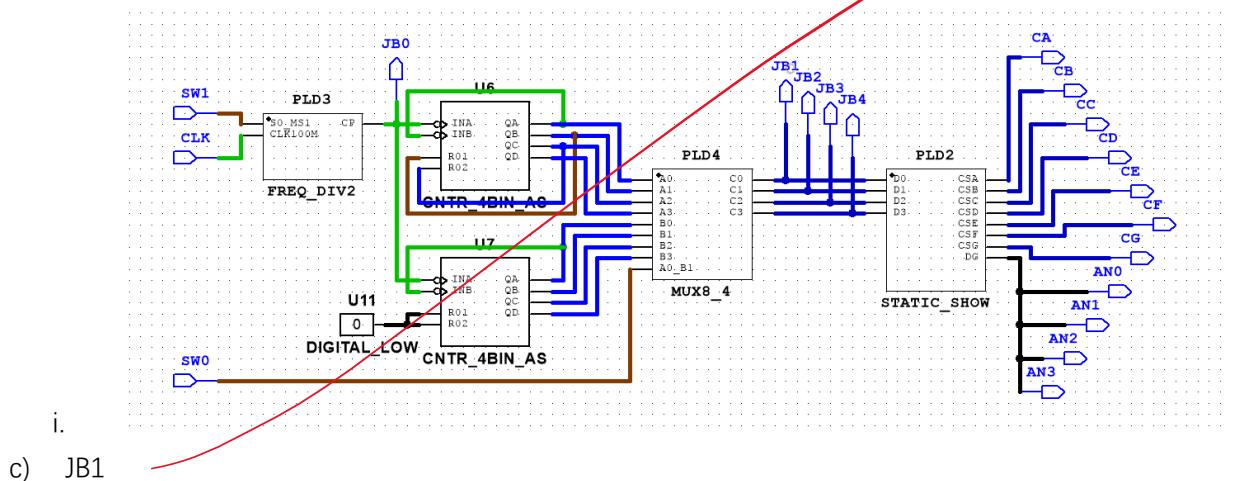


i.

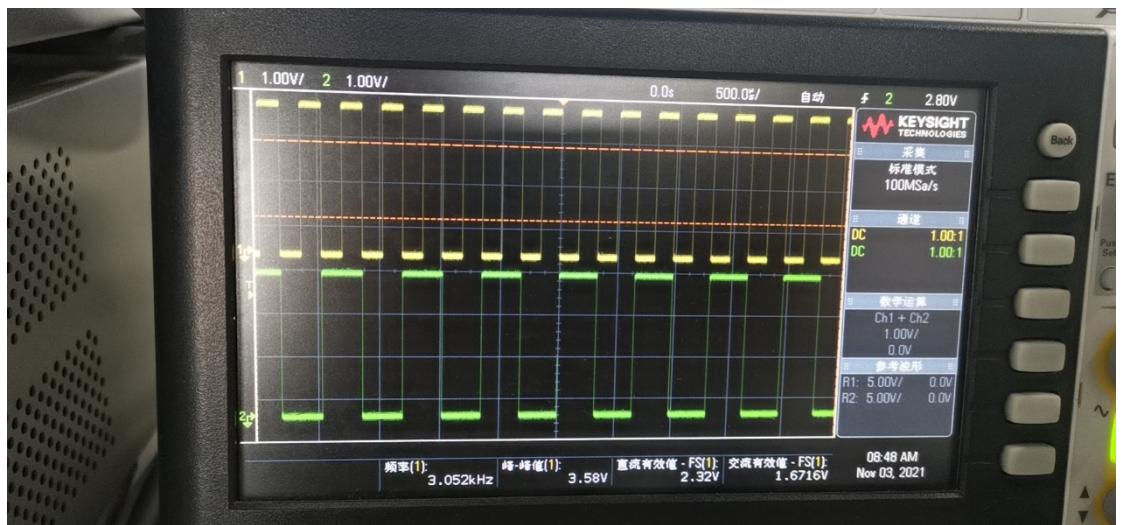
3. 六进制测量 (置零法)

a) 通道一 (黄色): JB0 通道二 (绿色): 被测信号

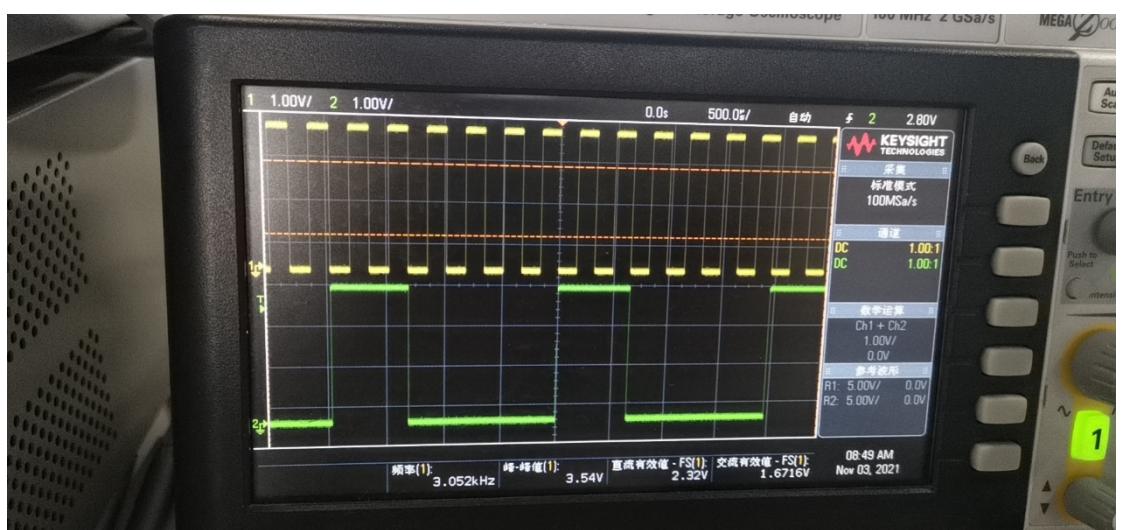
b) 电路:



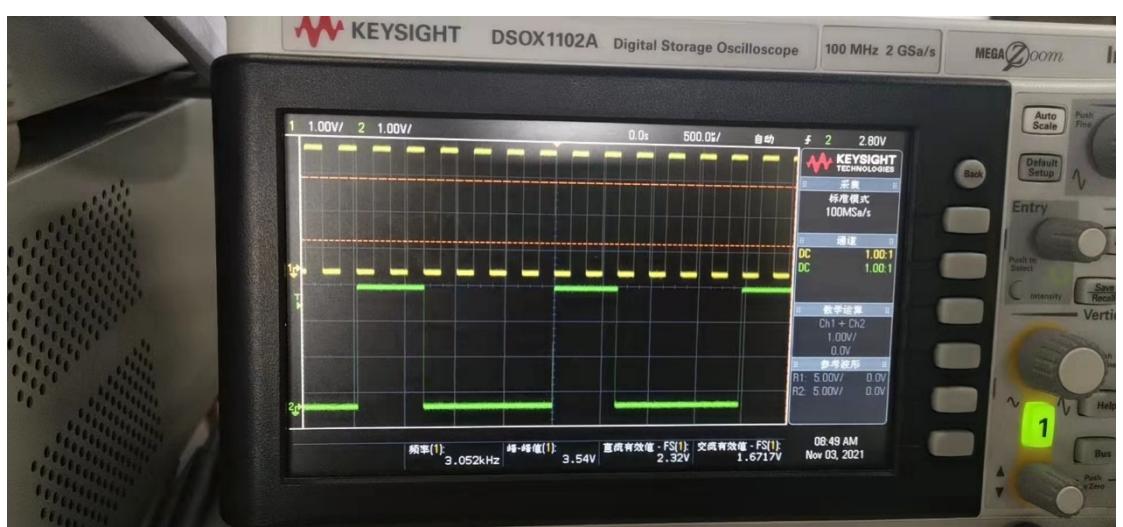
c) JB1



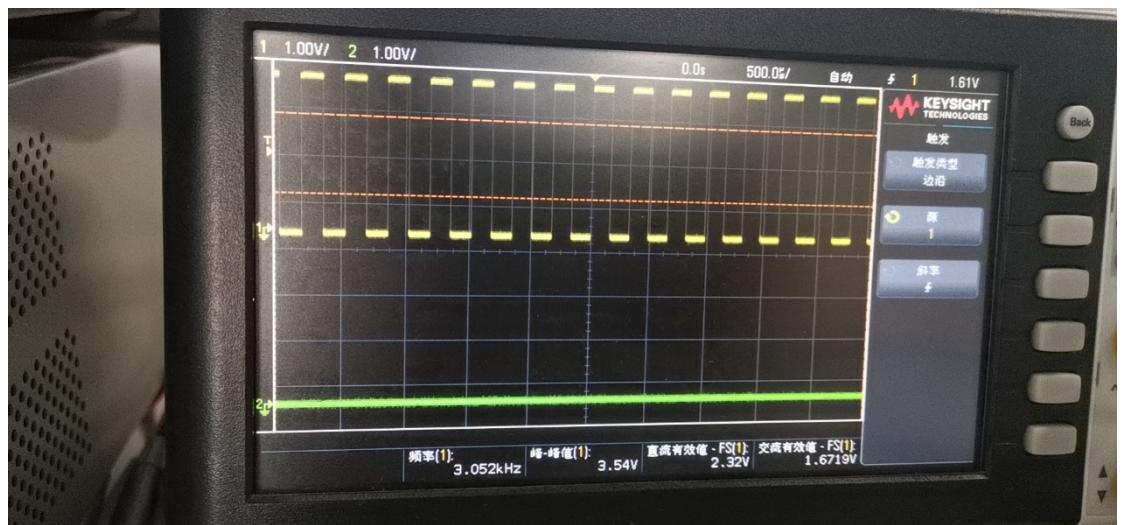
i) JB2



i) JB3

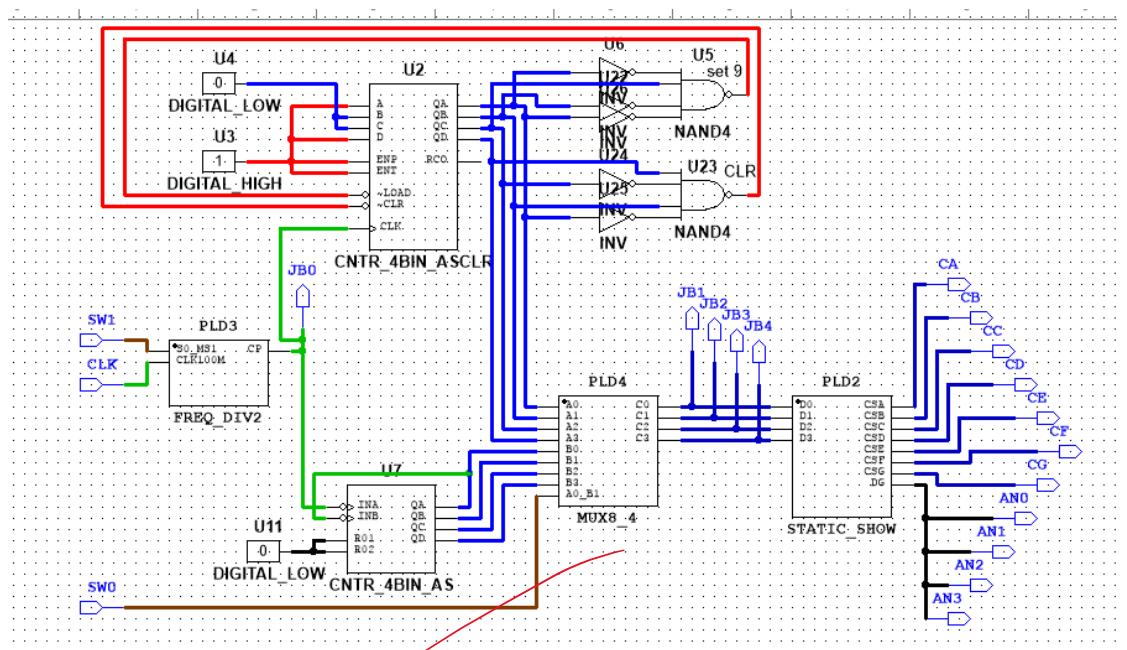


i) JB4

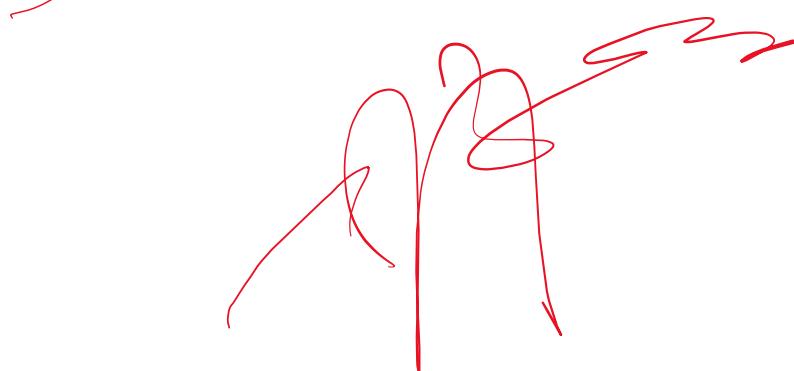


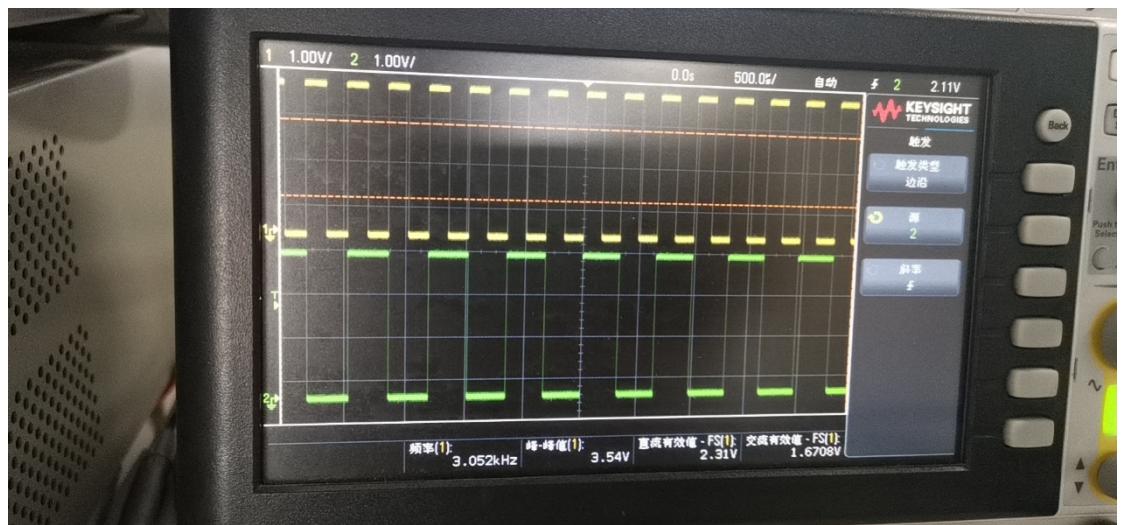
i. 4. 六进制测量 (置 9 法)

- a) 通道一 (黄色): JB0 通道二 (绿色): 被测信号
- b) 电路:



- c) JB1

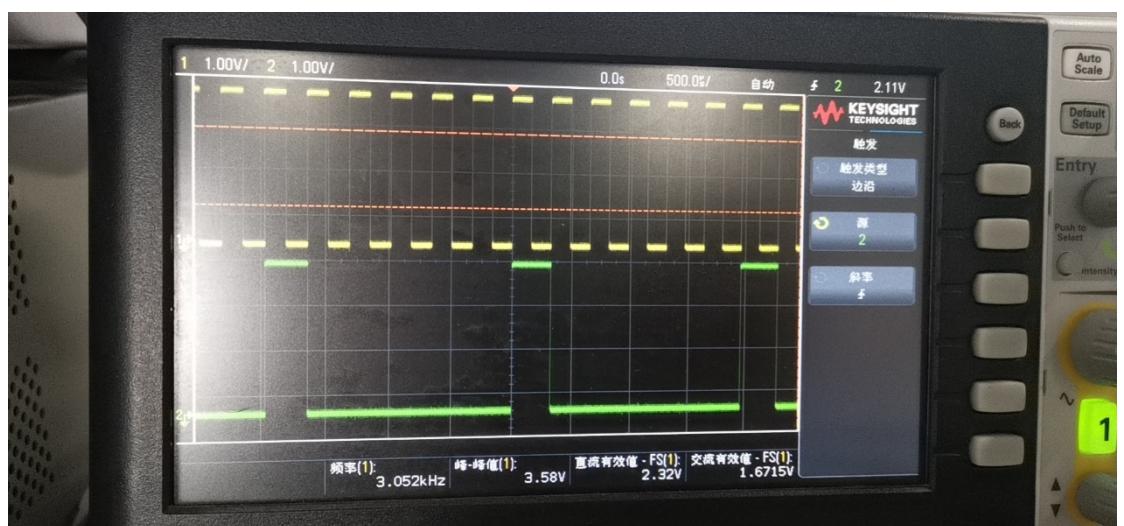




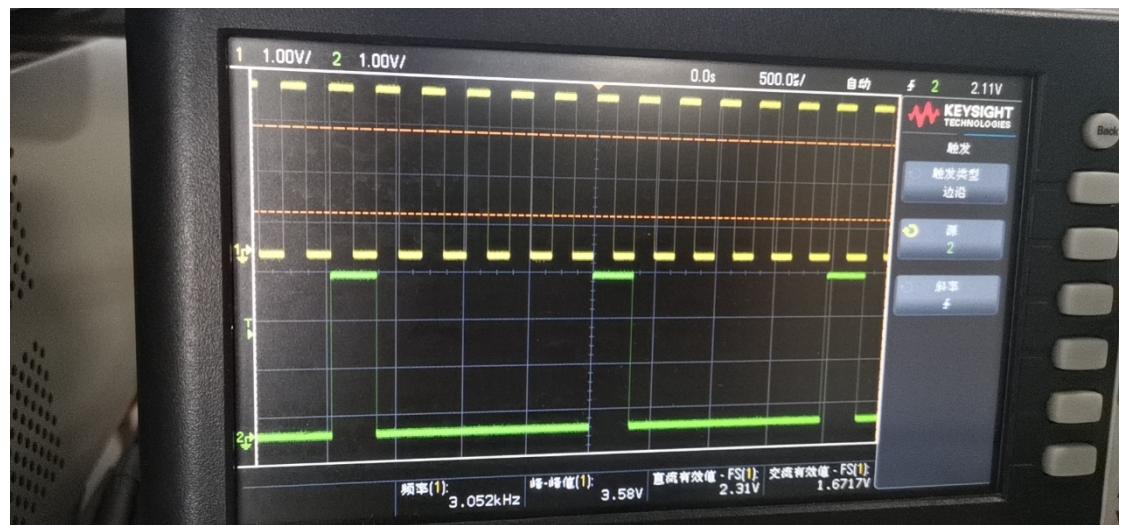
d) JB2



e) JB3



f) JB4



5.