

实验四 计数器：硬件电路

电子科学与工程学院 刘时宜 201180078

实验日期: 2021 年 12 月 07 日

指导老师: 高健

点击目录、书签栏、以及行文中的图表标号的均可跳转至相应页面

目录

1 实验目的	1
2 实验仪器与主要器材	2
3 实验原理	2
4 实验过程	2
4.1 十进制计数器	2
4.1.1 原理电路	2
4.1.2 电路实验	3
5 实验总结	4

1 实验目的

- a. 利用计数器芯片与数码管搭建计数器硬件电路

2 实验仪器与主要器材

仪器:

Basys3 FPGA 开发板 1 台

KEYSIGHT DSOX1102AG 示波器 1 台

示波器高频探头 1 套

ROGOL DM3068 万用表 1 台

软件:

Multisim 14.1

芯片:

74LS90 1 片

74LS47 1 片

耗材:

导线 若干

3 实验原理

计数器在数字系统中广泛使用，可以用于对时钟脉冲计数、分频、定时、进行数学运算等。

计数器种类繁多。如果按照计数器中的触发器是否同时翻转分类，可以将计数器分为同步式和异步式两种。同步计数器中，当时钟脉冲输入时触发器的翻转同时发生，而在异步计数器中，触发器的翻转又先后，不是同时发生的。

如果按照计数过程中数字的增减分类，可以分为加法计数器、减法计数器以及可逆计数器。随着计数脉冲的不断输入而作递增的计数器称为加法计数器，作递减计数的称为减法计数器，可增可减的称为可逆计数器。

本实验中用到的计数器为异步加法计数器。将其接到 BCD 译码器及数码管，即可获得计数显示。

4 实验过程

4.1 十进制计数器

4.1.1 原理电路

实验电路原理图如4.1.1所示。其中将 74LS90 的 QA 端接回 INB 触发端口，利用 74LS90 芯片特性构成十进制计数器。74LS90 产生加法计数的 BCD 码后将其送至 74LS47BCD 显示译码器，进行译码并将输出送至数码管进行显示输出。

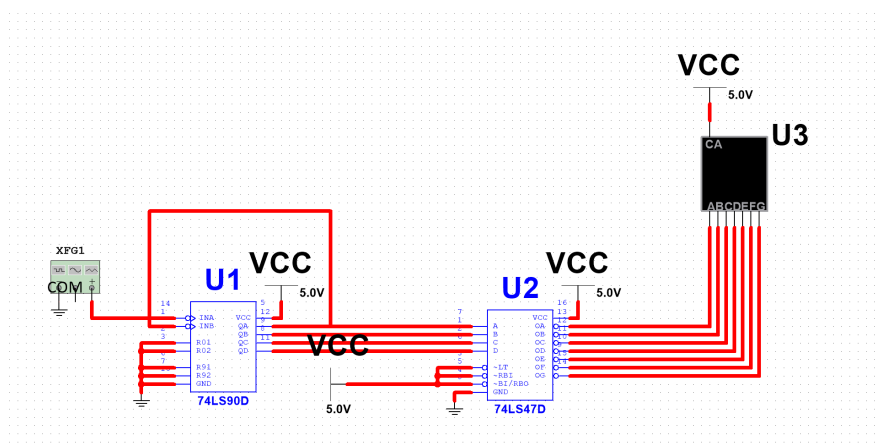


图 4.1.1: 十进制计数器：原理电路

4.1.2 电路实验

依据原理图，搭建硬件电路如图4.1.2所示。输入信号 INA 接信号发生器方波。方波参数为高电平5V，低电平0V，频率3Hz。

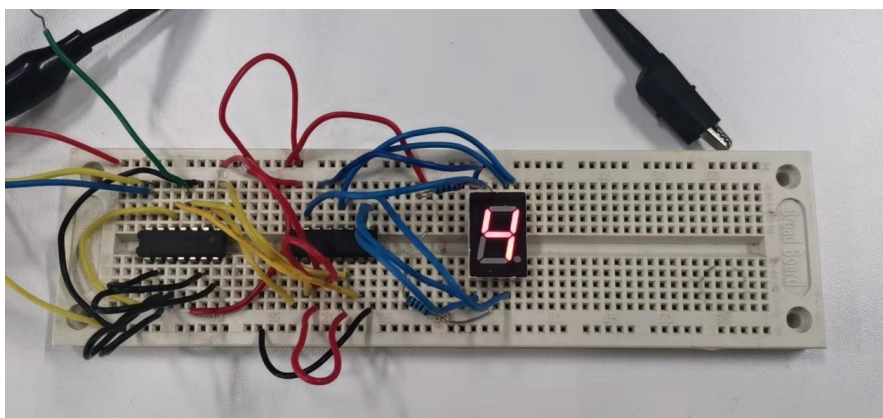
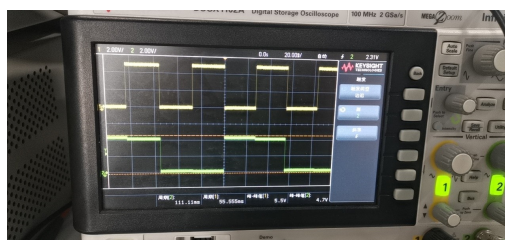


图 4.1.2: 十进制计数器：硬件电路

打开电源、打开信号源，观察实验现象。3Hz时电路现象已录制为”十进制计数器.mp4”，附在邮件插件中。

加大信号源频率，使用示波器观察计数器各引脚输出。其中信道 1 为时钟信号，信道 2 分别为各位输出。



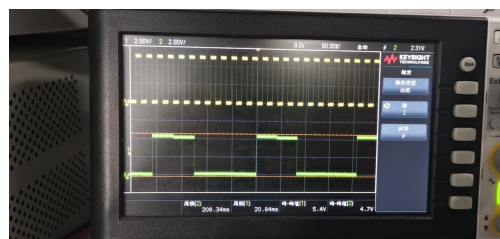
(a) QA



(b) QB



(c) QC



(d) QD

图 4.1.3: 十进制计数器: 引脚波形

5 实验总结

原始数据