

实验 1 组合逻辑电路

电子科学与工程学院刘时宣

实验日期: 2021 年 10 月 26 日

指导老师: 高健

点击目录、书签栏、以及行文中的图表标号的均可跳转至相应页面

目录

1 实验目的	2
2 实验仪器与主要器材	2
3 实验原理	2
4 实验过程	2
4.1 测量并验证组合逻辑电路	2
4.1.1 实验内容	2
4.1.2 实验数据	3
4.1.2.1 $S_0 = S_1 = 0$	3
4.1.2.2 $S_1 = 0 S_0 = 1 A = 0$	4
4.1.2.3 $S_1 = 0 S_0 = 1 A = 1$	5
4.1.2.4 $S_1 = 1 S_0 = 0$	6
4.1.2.5 $S_1 = 1 S_0 = 1$	7
4.1.3 讨论与小结	8
4.1.3.1 逻辑关系的获得	8
4.1.3.2 实验小结	9
4.2 设计并实现 3 线-8 线译码器	9
4.2.1 实验过程	9
4.2.2 实验结果	11
4.2.3 小结	12
5 实验小结	12

1 实验目的

- a. 熟悉开发板的使用
- b. 测试并验证组合逻辑电路

2 实验仪器与主要器材

仪器:

Basys3 FPGA 开发板	1 台
KEYSIGHT DSOX1102AG 示波器	1 台
示波器高频探头	1 套
ROGOL DM3068 万用表	1 台

软件:

Multisim	14.1
Digilent Adept	2.19.2
Vivado	2015.4

耗材:

导线	若干
----	----

3 实验原理

组合逻辑电路在逻辑功能上的特点是任一时刻的输出仅仅取决于该时刻的输入，与电路的原来的状态无关。

FPGA (Field-Programmable-Gate-Array, 现场可编程逻辑门阵列) 是一种可以通过软件编程，实现自定义逻辑功能的芯片。

4 实验过程

4.1 测量并验证组合逻辑电路

4.1.1 实验内容

通过四个与非门实现异或逻辑，观察并测量输入、中间点和输出点各逻辑状态。电路逻辑等效电路如图4.1.1所示。改变 S_0 、 S_1 的逻辑状态，测试电路在不同脉冲方波信号下电路的输出。

四个与非门实现异或逻辑，要求观察并测量输入、中间点和输出各点逻辑状态。本实验只需要关注异或门部分测量，可不考虑数据源四组态控制电路。

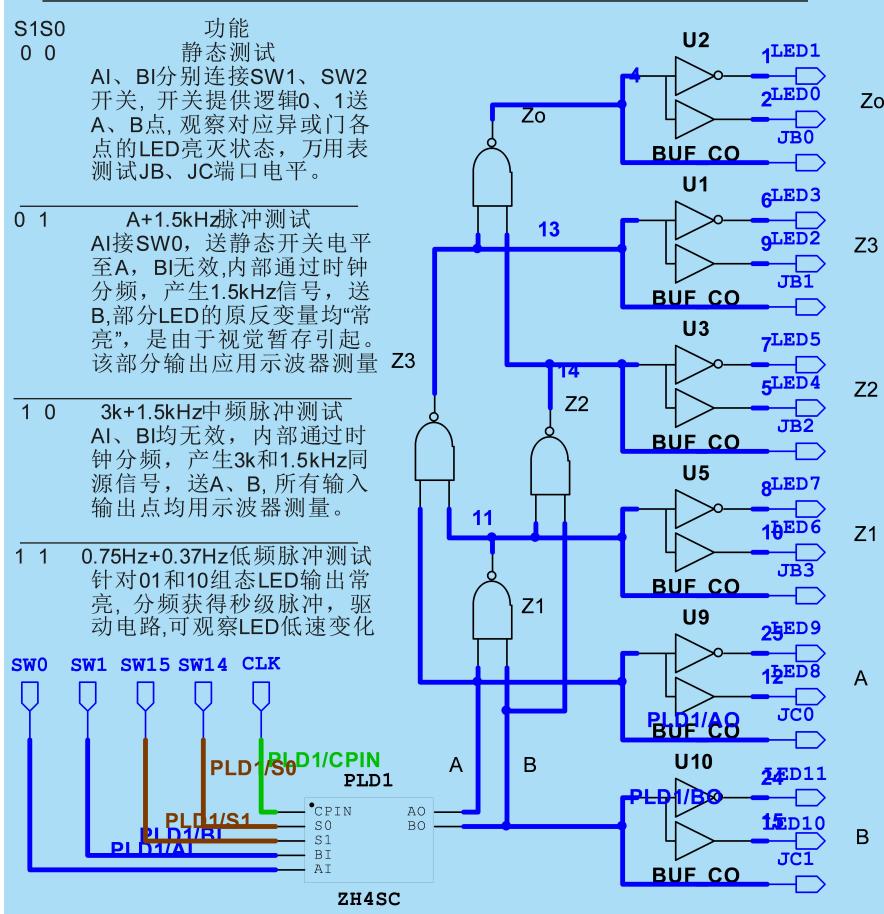
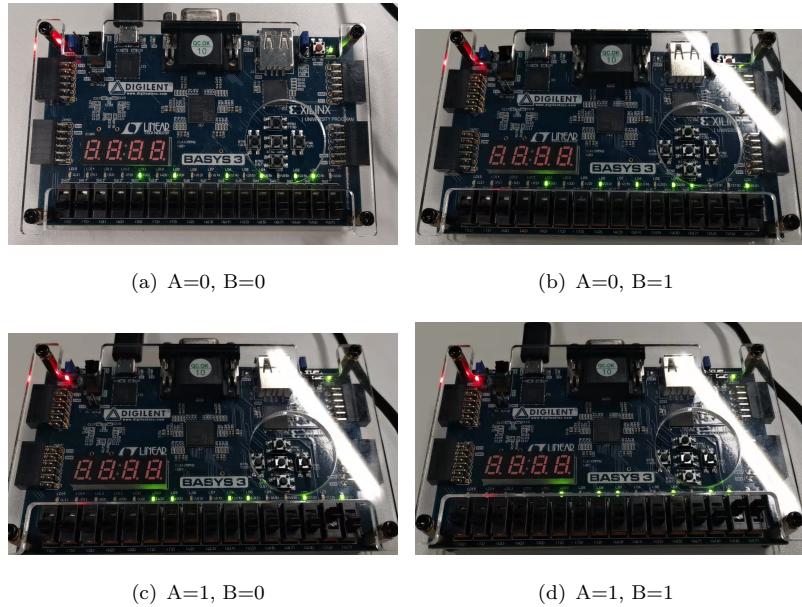


图 4.1.1: 逻辑等效电路

4.1.2 实验数据

4.1.2.1 $S_0 = S_1 = 0$

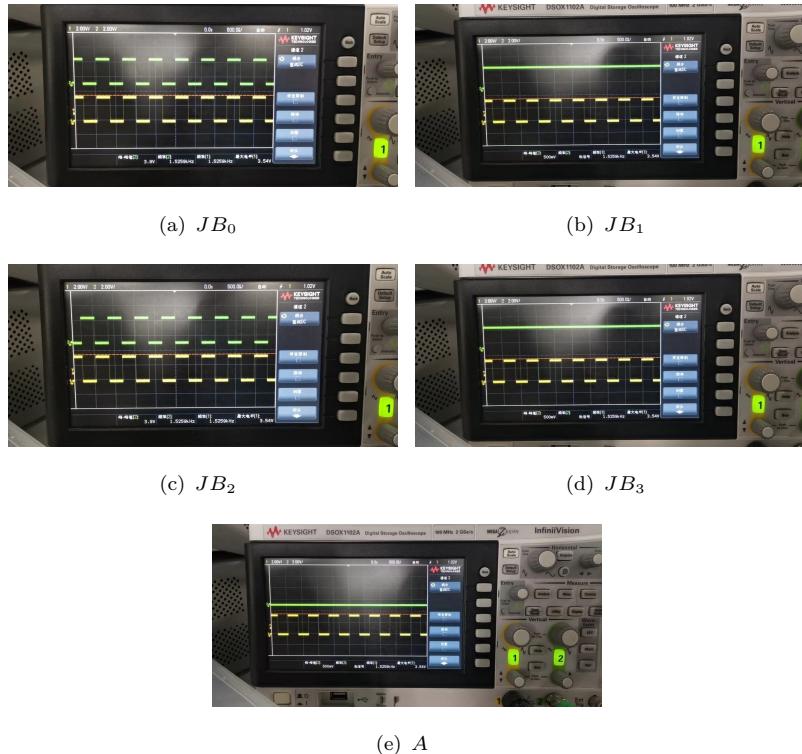
实验结果如表4.1.2所示，实验数据如表4.1.2.1所示。

图 4.1.2: $S_0 = S_1 = 0$ 时不同输入下电路情况

A	B	Z_0	Z_1	Z_2	Z_3
0	0	0	1	1	1
1	0	1	1	1	0
0	1	1	1	0	1
1	1	0	0	1	1

表 4.1.1: $S_0 = S_1 = 0$ 时的实验数据**4.1.2.2 $S_1 = 0 \quad S_0 = 1 \quad A = 0$**

实验数据如图4.1.3所示。各图中黄线（通道 1）为 B，绿线（通道 2）为测量端口。

图 4.1.3: $S_1 = 0$ $S_0 = 1$ $A = 0$ 电路各引脚波形

4.1.2.3 $S_1 = 0$ $S_0 = 1$ $A = 1$

实验数据如图4.1.4所示。各图中黄线（通道 1）为 B，绿线（通道 2）为测量端口。

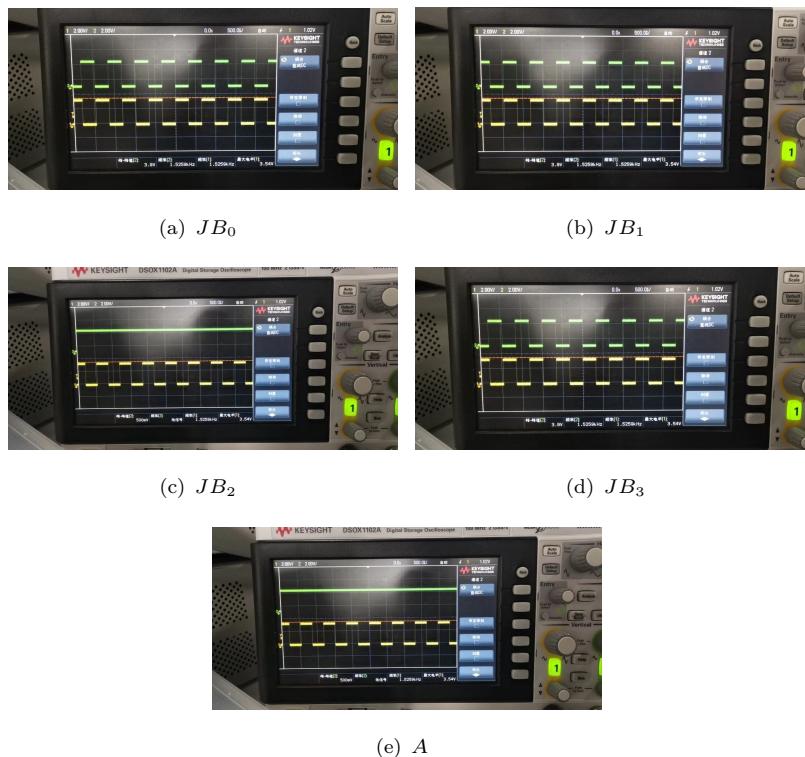


图 4.1.4: $S_1 = 0$ $S_0 = 1$ $A = 1$ 电路各引脚波形

4.1.2.4 $S_1 = 1$ $S_0 = 0$

实验数据如图4.1.5所示。各图中黄线（通道1）为B，绿线（通道2）为测量端口。

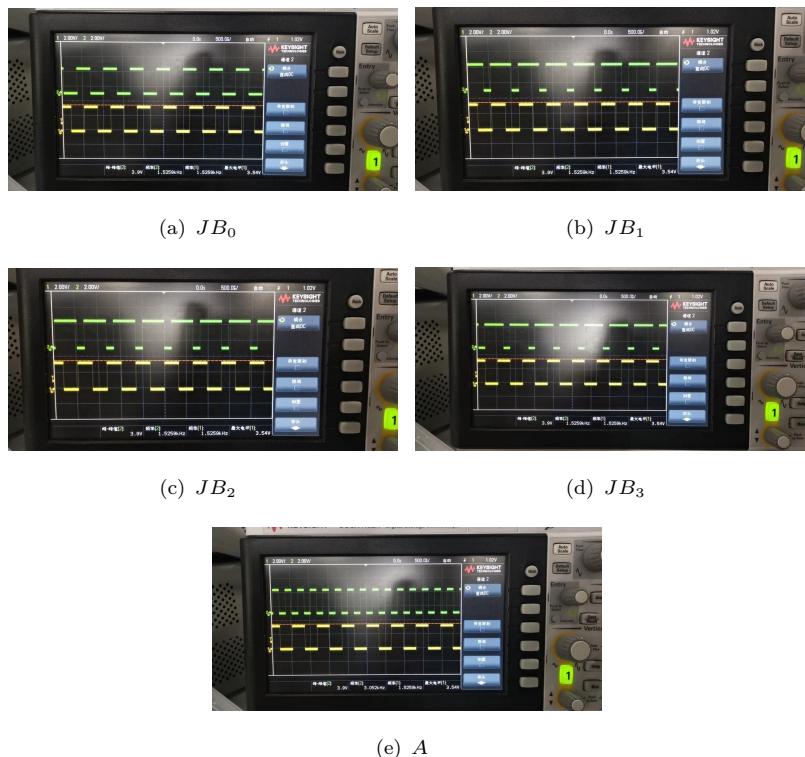
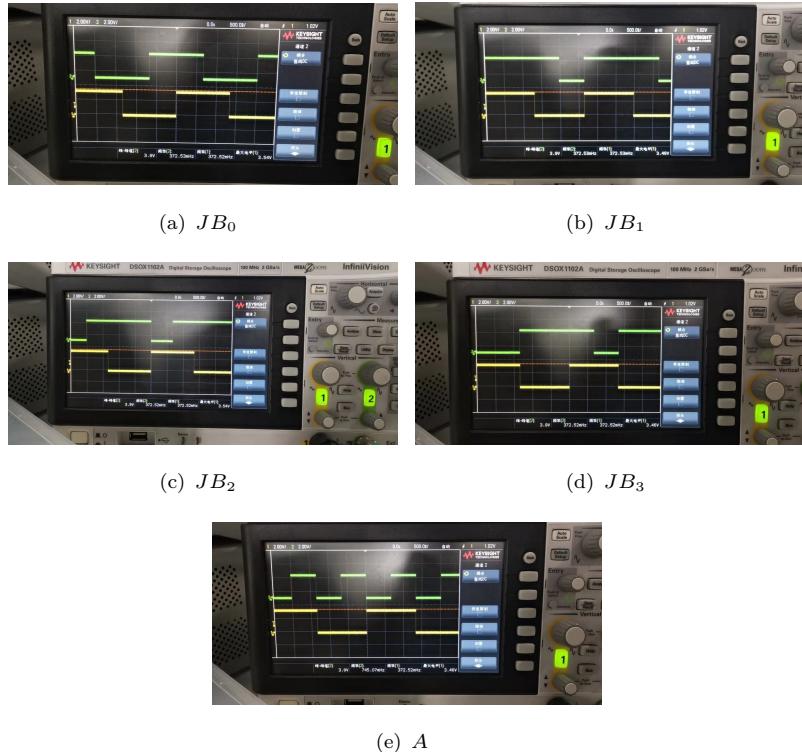


图 4.1.5: $S_1 = 1$ $S_0 = 0$ 电路各引脚波形

4.1.2.5 $S_1 = 1$ $S_0 = 1$

实验数据如图4.1.6所示。各图中黄线（通道1）为B，绿线（通道2）为测量端口。

图 4.1.6: $S_1 = 1$ $S_1 = 0$ 电路各引脚波形

4.1.3 讨论与小结

4.1.3.1 逻辑关系的获得 通过逻辑表达式, 可以推知 Z_0 、 Z_1 、 Z_2 、 Z_3 (即 JB_0 、 JB_1 、 JB_2 、 JB_3) 对于 A 、 B 的表达式分别为:

$$\begin{aligned}
 Z_1 &= \overline{AB} \\
 Z_2 &= \overline{\overline{AB} \cdot A} = AB + \overline{A} \\
 Z_3 &= \overline{\overline{AB} \cdot B} = AB + \overline{B} \\
 Z_0 &= \overline{(AB + \overline{B}) \cdot (AB + \overline{B})} \\
 &= \overline{AB + \overline{A}} + \overline{AB + \overline{B}} \\
 &= (\overline{AB} \cdot A) + (\overline{AB} \cdot B) \\
 &= ((\overline{A} + \overline{B}) \cdot A) + ((\overline{A} + \overline{B}) \cdot B) \\
 &= \overline{A}A + \overline{B}A + \overline{A}B + \overline{B}B \\
 &= \overline{B}A + \overline{A}B \\
 &= A \oplus B
 \end{aligned}$$

可以看到， Z_0 与 A、B 的逻辑关系为异或，其余各引脚逻辑也已经分别得到。

4.1.3.2 实验小结 在各实验条件下，各引脚间逻辑关系固定，在输入为直流电或者脉冲信号都符合上述逻辑表达式。在 $S_1 = 1 S_0 = 0$ 以及 $S_1 = 0 S_0 = 1$ 时，由于视觉暂留现象，许多 LED 等看起来同时被点亮。在 $S_1 = 1 S_0 = 1$ ，随着 A、B 脉冲低速变化，LED 灯在不同状态闪亮。

4.2 设计并实现 3 线-8 线译码器

4.2.1 实验过程

在 Multisim 中新建 PLD 设计，放置 PLD 模块，进入模块编辑，设置相关参数后放置 3-8 编码器模块，并连接相应引脚。放置结果如图4.2.1所示。

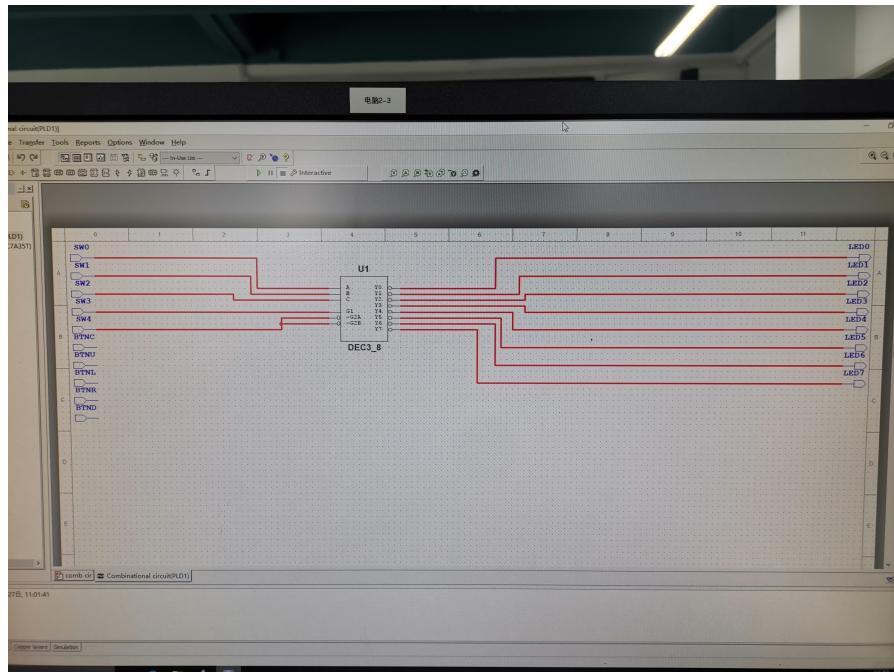


图 4.2.1: PLD 电路模块

完成 PLD 模块内部配置后，在 multisim 中连接仿真电路如图4.2.2所示，配置动态仿真模式，验证电路功能。

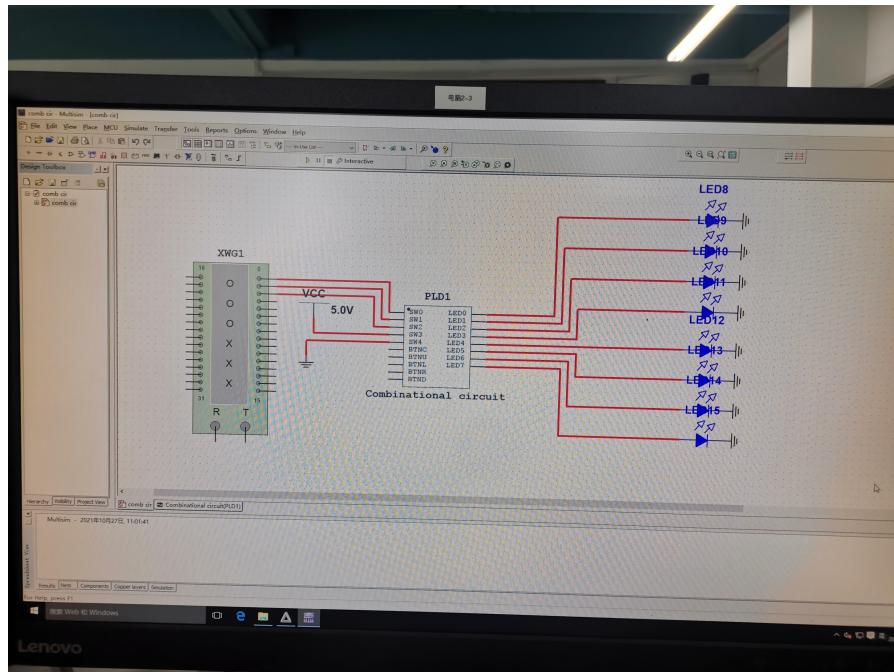


图 4.2.2: multisim 仿真电路

仿真功能验证完成后，将电路比特流文件下载到开发板，进行验证。

4.2.2 实验结果

各输入状态下电路的输出结果如图4.2.3所示。

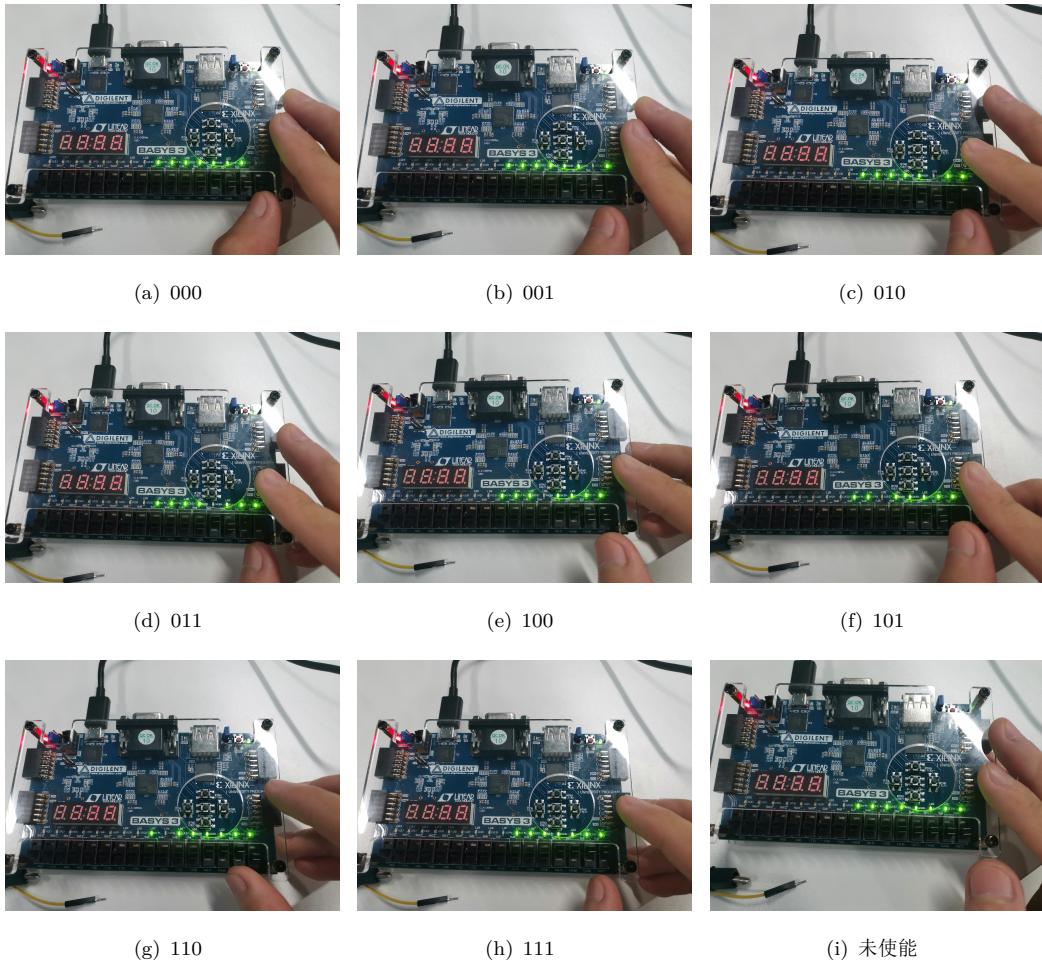


图 4.2.3: 3-8 译码器

4.2.3 小结

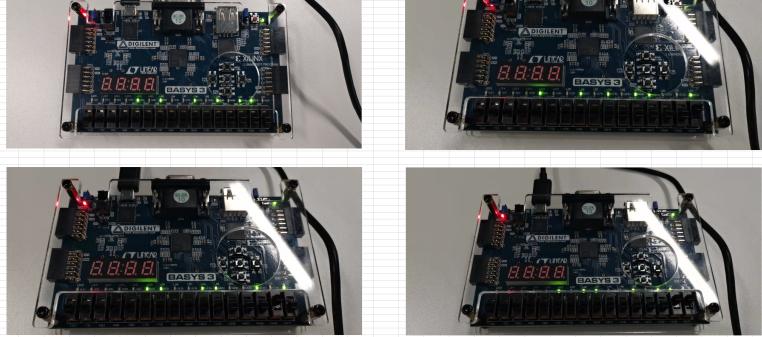
成功地设计并实现了 3-8 译码器电路，熟悉了从设计到片上部署的流程。

5 实验小结

- 验证了组合逻辑电路逻辑运算的关系，实验结果与理论推导相符。
- 熟悉了 FPGA 开发板的使用。
- 熟悉了从设计到芯片部署的流程。

原始数据

C	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	AA	AB	AC	AD	AE	AF	AG	AH	AI
1	SW0	SW1	SW2	SW3	0	1	0	0	1	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1			
2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
3	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
5	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
6	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
7	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
8	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
9	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
10	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
11	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
12	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
13	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
14	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
15	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
16	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
17	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
18	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
19	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
20	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
21	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
22	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
23	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
24	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
25	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
26	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
27	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
28	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
29	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				



$$Z_1 = \overline{AB}$$

$$Z_2 = (\overline{\overline{AB} \cdot A})$$

$$\overline{(\overline{AB}) + \overline{A}} = AB + \overline{A}$$

$$Z_3 = AB + \overline{B} \quad (\text{同上})$$

$$Z_4 = \overline{(AB + \overline{A})(AB + \overline{B})}$$

$$= (\overline{AB + \overline{A}}) + (\overline{AB + \overline{B}})$$

$$= (\overline{AB} \cdot A) + (\overline{AB} \cdot B)$$

$$= ((\overline{A} + \overline{B}) \cdot A) + ((\overline{A} + \overline{B}) \cdot B)$$

$$= (\overline{A}A + \overline{B}A) + (\overline{A}B + \overline{B}B)$$

$$= \overline{A}B + \overline{B}A$$

异或关系 \oplus

