

Ejercicios Memorias Caché

Nombre: Arellano Granados Angel Mariano

código: 218123444

1.- Una caché asociativa por conjuntos consta de 64 líneas divididas en conjuntos de 4 líneas. La memoria principal contiene 4K bloques de 128 palabras cada uno. Muestre el formato de direcciones de memoria principal.

$$4 \times 1024 \times 128 = 5242288 = 2^{19} \text{ palabras}$$

$$\text{Tamaño de dirección de } M_P = 19 \text{ bits}$$

$$128 = 2^n$$

$$2^7 = 128$$

$$\text{Dirección de palabra bloque de memoria} = 7 \text{ bits}$$

$$19 - 7 = 12$$

$$64 / 4 = 16 = 2^4$$

$$\text{Conjuntos de la } M_C = 4 \text{ bits}$$

$$12 - 4 = 8$$

$$\text{Valor de etiqueta} = 8 \text{ bits}$$

19 bits		
Etiqueta (8bits)	Conjunto (4 bits)	Palabra (7bits)
12 bits		

2.- Sea un computador de 32 bits con una memoria caché de 256 KB, líneas de 64 bytes y un tiempo de acceso de 5 ns. La caché es asociativa por conjuntos de 4 vías y se emplea la política de reemplazo LRU. Se pide:

a) Indique el número de líneas y de conjuntos de la memoria caché del enunciado.

$$\text{Tamaño de la caché} = 256 \text{ KB} = 2^{18} \text{ bytes}$$

$$\text{cada línea tiene } 2^6 \text{ bytes}$$

$$\text{número de líneas} = 2^{18} \text{ bytes} / 2^6 \text{ bytes} = 2^{12} \text{ líneas} = 4096 \text{ líneas}$$

$$\text{número de conjuntos} = 4096 / 4 = 1024 \text{ conjuntos}$$

b) ¿Cuál es el tamaño de los bloques que se transfieren entre la memoria caché y la memoria principal?

El tamaño del bloque que se transfiere entre memoria principal y caché coincide con el tamaño de la línea

64 bytes.

ARELLANO GRANADOS ANGEL MARIANO
218123444

c) Si el tiempo para transferir un bloque de memoria principal a caché es de 200 ns, indique la tasa de aciertos caché necesaria, de forma que el tiempo medio de acceso al sistema de memoria sea de 20 ns.

$$t_m = t_c \times P_a + (1 - P_a) \times t_f$$

$$t_c = 5 \text{ ns}$$

$$t_m = 20 \text{ ns}$$

$$t_f = 205 (200 + 5)$$

$$20 = 5 \times P_a + (1 - P_a) \times 205$$

$$P_a = 185 / 200 = 0,92 = 92 \%$$

3.- Dadas las siguientes especificaciones para una memoria caché externa: asociativa por conjuntos de cuatro vías; tamaño de línea de dos palabras de 16 bits; capaz de albergar un total de 4K palabras de 16 bits de la memoria principal; utilizada con un procesador de 16 bits que emite direcciones de 24 bits. Diseñe la estructura de cache con toda la información pertinente, y muestre cómo interpreta las direcciones del procesador.

Bloque de 2 palabras x 2 bytes por palabra (16 bits) = 4 bytes = 2^2 bytes

2 bits para el desplazamiento del bloque 1+1

4K palabras dobles = 8K palabra

Cada palabra tiene 16 bits (2 bytes)

8K palabras x 2 bytes por palabra = 16K bytes = 16384 bytes = 2^{14} bytes

2^{14} Mc / 2^2 por línea = 2^{12} Líneas o bloques

2^{12} / 4 lineas por conjunto = 1024 = 2^{10} conjuntos o entradas

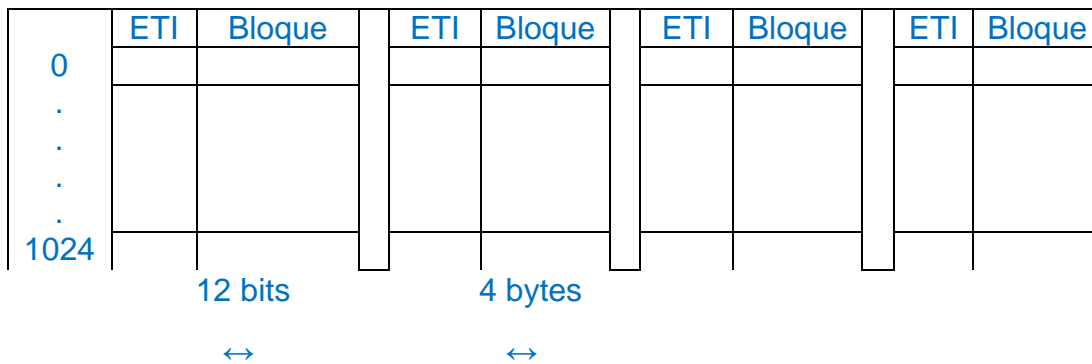
10 bits para conjuntos

Etiqueta: $24 - (10 + 2) = 12$ bits

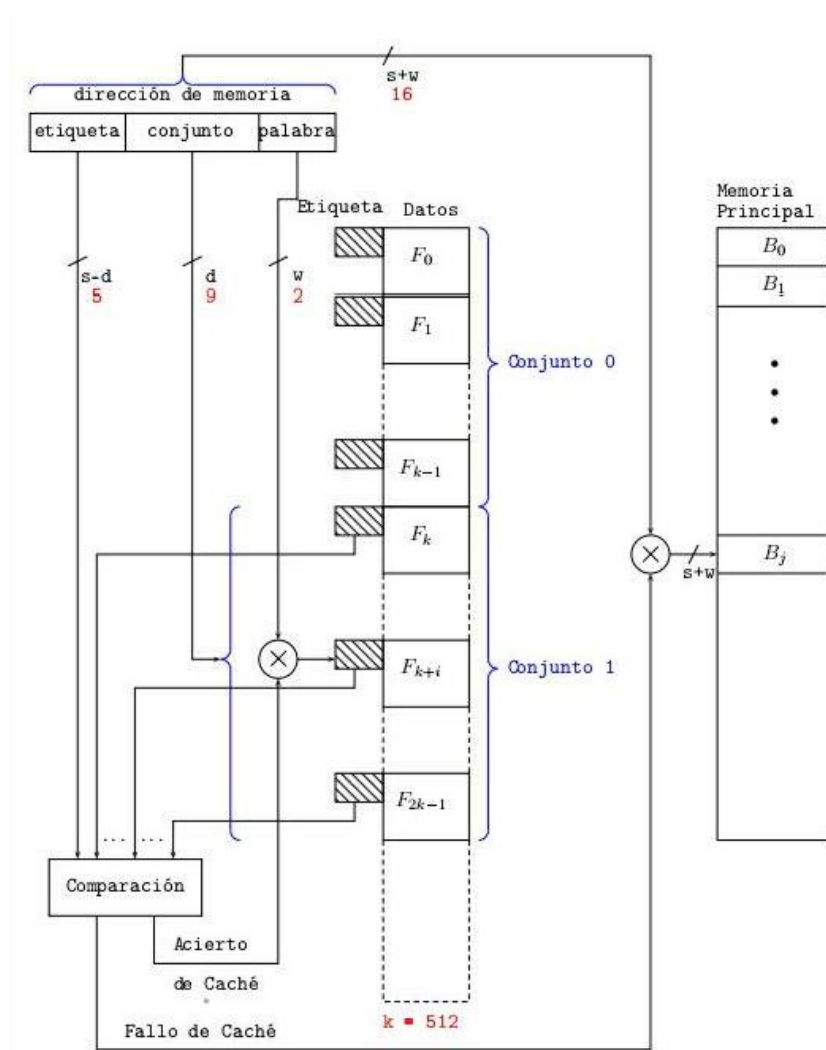
Esquema de direcciones:

12	10	1	1
Etiqueta	conjunto	word	byte

Esquema:



4.- Una caché asociativa por conjuntos tiene un tamaño de bloque de 4 palabras de 16 bits y un tamaño de conjunto de 2. La caché puede contener un total de 4096 palabras de 16 bits. El tamaño de memoria principal que se puede transferir a la caché es de 64K×32 bits. Diseñar la estructura de la caché e indicar cómo son interpretadas las direcciones del procesador.



ARELLANO GRANADOS ANGEL MARIANO
218123444

Etiqueta	Conjunto	Palabra
Bloque		
Bus de Direcciones		

5	9	2
14		
16		

Memoria Principal = $64K = 2^{16}$ = bus = 16 bits de ancho

Tamaño de bloque = 4 palabras = 2^2 = palabra = 2 bits

Bloque = $16 - 2 = 14$ bits

Línea de cache = 4 palabras x 16 = 64 bits

64 líneas x 2 conjuntos = 128 bits

4096 palabras en la cache x 16 por palabra = 65536

$65536 / 128 = 512 = 2^9$ = conjunto = 9 bits

Etiqueta = $14 - 9 = 5$ bits

5.- Sea un computador dotado de una memoria caché con las siguientes características:

A. Tamaño: 16KB con bloques de 32 bytes (8 palabras)

B. Tiempo de acceso: 10ns

Esta memoria está conectada a través de un bus de 32 bits a una memoria principal que tiene un tiempo de latencia de 40 ns y es capaz de transferir 8 bytes cada 10 ns. Calcular la tasa de aciertos que es necesaria para que el tiempo medio de acceso al sistema de memoria sea de 20 ns.

El tamaño de la línea de caché = 32 bytes.

El tiempo de acceso a una línea = $10 \text{ ns} + (32/8) * 10 \text{ ns} = 80 \text{ ns}$.

$T_{avg.} = h * t_c + (1-h) * T_{mp}$

$20 = h * 10 + (1-h) * 80$

$h = 6/7 = 0.857$ = tasa de acierto del **85,7%**.

6.- Considere un sistema de memoria con los siguientes parámetros:

$T_c = 100 \text{ ns}$ $C_c = 10^{-4}$ dólares/bit

$T_m = 1.200 \text{ ns}$ $C_n = 10^{-5}$ dólares/bit

a. ¿Cuál es el coste de una memoria principal de 1 MB?

b. ¿Cuál es el coste de una memoria principal de 1 MB utilizando la tecnología de la caché?

7.- Considere el siguiente código:

```
for (i = 0, i < 20; i ++ )  
    for (j = 0, j < 10; j ++ )  
        a [ i ] = a [ i ] * j
```

a. Indique un ejemplo de localidad espacial en el código.

Existe localidad espacial ya que se accede a los datos del vector “ a ” de manera ordenada a través de la variable “ i ” que inicia en 0 y termina en 19.

La localidad espacial generalmente se explota utilizando bloques de caché más grandes e incorporando mecanismos de captación previa en la lógica de control de caché.

b. Indique un ejemplo de localidad temporal en el código.

Existe localidad temporal en la variable “ j ” pues tras cada vuelta del primer ciclo j volverá a valer 0 e incrementará de 1 a 1 hasta llegar a 9, para otra vez regresar a 0.

La localidad temporal se explota manteniendo los valores de datos e instrucciones utilizados recientemente en la memoria caché y explotando una jerarquía de caché.

8.- Considere una memoria asociativa de n palabras y 8 bits/palabra. Indique cuál de los siguientes valores de los registros de argumento (A) y máscara (K) proporcionan un 1 en todos aquellos bits del registro de marca (M) cuya celda de memoria contenga un número impar, y un 0 en caso contrario. (Se considera que el

9.- Un sistema jerárquico de memoria tiene una memoria caché de 4K palabras, dividida en bloques de 128 palabras y con un tiempo de acceso de 15 nseg, y una memoria principal de 128K palabras con un tiempo de acceso de 150 nseg. Cuando se produce un fallo, primero se mueve el bloque completo a la memoria caché y después se lee el dato desde la caché. Si la tasa de acierto de la caché es del 95%, ¿cuál es el tiempo de acceso medio de este sistema?

El tiempo medio de acceso al sistema viene dado por la siguiente expresión:

$$t_m = t_c \times P_a + (1 - P_a) \times t_f$$

$$t_c = 15 \text{ nseg}, P_a = 95\%, t_f = 150 + 15 = 165$$

$$t_m = 15 \times 0.95 + 0.05 \times 165$$

$$t_m = 22.5 \text{ nseg}$$

10.- Un computador tiene una unidad de memoria de 2M (2^{21}) palabras y una memoria caché de 1K (2^{10}) palabras con un tamaño de partición de 64 (2^6) palabras. Suponer

ARELLANO GRANADOS ANGEL MARIANO
218123444

que se hace una referencia a la dirección de memoria principal, expresada en binario, 000000001100100110000.

Si la memoria caché utiliza correspondencia directa;

- ¿En qué partición de la memoria caché sería posible encontrar esa dirección de memoria principal?*

- ¿Qué etiqueta habría que buscar en esa partición para saber si esa dirección se encuentra en la memoria caché?*

000 000 001 10	0100	110000
----------------	------	--------