



Centro de Micro y Nano Electrónica del Bicentenario (INTI-CMNB)

EDU CIAA FSL

Revisión del Esquemático y del PCB

EDU-CIAA-FSL V0.0 09/10/15

Segunda revisión

19 de febrero de 2016

Índice

1. Introducción	3
1.1. Contacto	3
2. Niveles de las sugerencias/correcciones	3
3. Documentación	3
4. Revisión del Esquemático	4
4.1. Generales	4
4.2. GPIO	5
4.3. Fuente	5
4.4. RS-485	5
4.5. CPU	6
4.6. JTAG	6
5. Revisión del PCB	6
5.1. Generales	6
5.2. Señales, ruteo e integridad	6
5.3. Posicionamiento	7
5.4. Footprints	7
5.5. Agujeros, Fiduciales y bordes	7
5.6. Chequeo de reglas de diseño (DRC)	7
5.7. Serigrafía	8
5.8. Archivos y formatos	8

1. Introducción

El presente informe es el resultado de la segunda revisión al diseño del circuito impreso EDU-CIAA-FSL (versión del 09/10/2015, identificada como 0.0).

La revisión fue realizada por el grupo de Diseño de Circuitos Impresos del Centro de Micro y Nanoelectrónica, conformado por Diego Brengi, Diego Alamon y Noelia Scotti.

A continuación se resumen los aspectos que se verificaron:

- Revisión de la documentación.
- Revisión funcional del circuito.
- Revisión de las librerías para esquemático.
- Revisión general del PCB.
- Revisión de los módulos del PCB (sólo los más significativos).

1.1. Contacto

Por consultas sobre la presente revisión, escribir a brenge@inti.gob.ar o a nscotti@inti.gob.ar. Para solicitudes de nuevas revisiones de circuitos impresos, escribir a micronanoelectronica@inti.gob.ar.

2. Niveles de las sugerencias/correcciones

Algunas de las sugerencias hacen referencia a detalles que en nuestro laboratorio aplicamos a los diseños, relacionados con la modalidad de trabajo con Kicad o en la documentación. Otras son recomendaciones que se refieren a características de diseño tanto del esquemático como del PCB, que consideramos buenas prácticas. Las aplicación de los puntos marcados en este reporte están sujetas al criterio y tiempo disponible de quien realice las mejoras y modificaciones. El reporte utiliza tres niveles diferentes para cada tipo de recomendación.

- **Leve:** Es una sugerencia o recomendación que se menciona como una mejora.
- **Intermedio:** Es una categoría intermedia entre **Leve** e **Importante**. No es crítica pero en lo posible sería deseable prestarle la atención necesaria.
- **Importante:** Es una corrección que marca un problema considerado como importante ya que puede afectar el buen funcionamiento u originar problemas concretos.

3. Documentación

- 3.0.1. **Leve:** En el archivo Consideraciones Ruteo USB y Ethernet.txt no queda claro cómo se realizó el cálculo para USB, si se utilizó la calculadora de Kicad o el software Saturn PCB Design Toolkit. Por el ruteo realizado deberían presentar el cálculo de una línea de transmisión del tipo “Coplanar Waveguide” y en el documento se indica que se usó una “Coupled Microstrip Line”. En este caso no puede considerarse un Microstrip diferencial porque las líneas diferenciales no tienen un apantallamiento de ground en el layer opuesto. Sí se puede calcular como una guía de onda coplanar debido al plano de masa adyacente a las líneas. Se recomienda poner en el archivo el resultado exacto obtenido con Kicad para una línea de transmisión de tipo coplanar. Utilizar 8 mils de distancia entre las líneas diferenciales y entre las líneas y el plano de masa. Explicar en el archivo la selección de este método de cálculo.
- 3.0.2. **Leve:** Agregar en el archivo Consideraciones Ruteo USB y Ethernet.txt que el dato de los 68 Ω para RMII, puede consultarse en la especificación IEEE 802.3 Section 2, o poner la fuente que se utilizó. El cálculo de la guía de onda coplanar con los datos presentados en

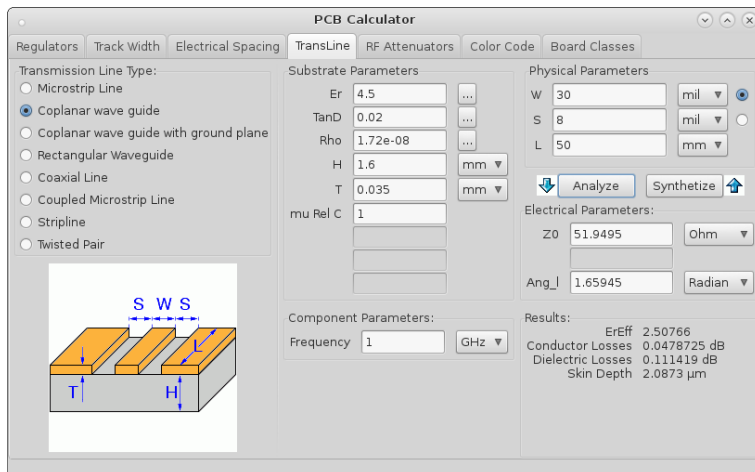


Figura 1: Cálculo de la guía de onda coplanar utilizada para el ruteo de USB

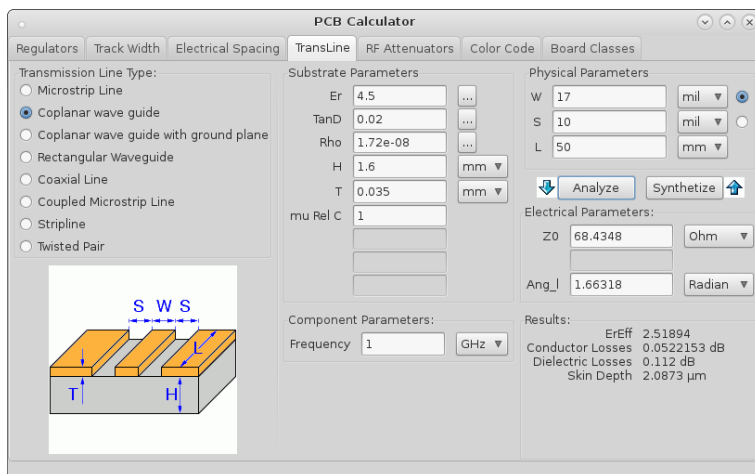


Figura 2: Cálculo de la guía de onda coplanar utilizada para el ruteo de RMII

el documento ($W = 17$ mils y $S = 8$ mils) no nos da 68Ω , pero al cambiar S por 10 mils sí se obtienen 68.4Ω . Cambiar la distancia S en el documento con la que verdaderamente se usó en el PCB.

- 3.0.3. **Leve:** Eliminar de GitHub el directorio datasheets adicional ubicado al nivel del directorio EDU_CIAA_K60.
- 3.0.4. **Leve:** Agregar en el archivo LICENCIA_EDU_CIAA_FSL.txt los autores de la presente placa (UNER o quien corresponda).
- 3.0.5. **Leve:** Agregar el archivo doc/CHANGES.txt incluyendo el nombre y apellido de quienes participaron del desarrollo y también a aquellas personas que hicieron los desarrollos que se usaron como referencia. Ver como ejemplo el documento CHANGES.txt de la CIAA-FSL.

4. Revisión del Esquemático

4.1. Generales

- 4.1.1. **Importante:** El proyecto en general está hecho en una versión muy antigua de Kicad. Recientemente salió una versión estable (v4.0 o superior) la cual recomendamos. Al abrir el

proyecto con una versión más nueva, se puede apreciar que los textos indicativos aparecen en posiciones incorrectas.

4.1.2. **Intermedio:** Como se indicaba en el informe anterior, hay varios componentes con los campos ingresados incorrectamente (Nro. parte, etc). Esto se puede solucionar abriendo los archivos ".sch" con un editor de textos, y con la herramienta para buscar y reemplazar hacer los siguientes cambios:

- Pasar de "Descripción" a "Descripcion"
- Pasar de "Nro de parte" a "Nro. parte"
- Pasar de "Digikey" a "Digikey/Mouser"

Luego de tener las descripciones de los campos correctas, completar los campos vacíos para lograr una lista de materiales completa y ordenada.

4.1.3. **Intermedio:** El número de versión del esquemático y del PCB sigue siendo 0.0. Se recomienda empezar por el 1.0.

4.1.4. **Leve:** Remover de la asignación de librerías la "EDU_CIAA_K60-rescue".

4.1.5. **Leve:** Corregir en el índice el orden de las páginas.

4.2. GPIO

4.2.1. **Leve:** Los conectores P1 y P2 figuran en el esquemático en diferente posición a lo que se ve al editar el PCB (P2 a la izquierda de P1). Se puede intercambiar su posición en el esquemático para una referencia más sencilla.

4.2.2. **Leve:** El pin ISP no cumple ninguna función relacionada con "In system Programming" de manera que puede ser llamada "GPIOx". Según el datasheet del CPU de la EDU-CIAA-NXP, parece que tampoco cumple una función relacionada con este método de programación.

4.2.3. **Leve:** Los pines GPIO0, GPIO6, GPIO7 y GPIO8 deben ser conectados utilizando etiquetas del tipo "Bidireccional".

4.3. Fuente

4.3.1. **Leve:** El recuadro que encierra la parte denominada "DC-INPUT" está dibujado parcialmente con líneas gráficas y con líneas de interconexión de bus.

4.3.2. **Importante:** El diodo doble D6 debe ser un BAT54C en vez de un BAT54 porque si no se trata de un diodo simple (este error viene de la CIAA-FSL). Corregir los campos Nro. parte y Digikey/Mouser para que la lista de materiales quede correcta.

4.3.3. **Intermedio:** Los diodos D2, D3 y D4 son SOD-123 y tienen asignado un footprint del tipo SMB.

4.3.4. **Leve:** En D2 y D3 hay uniones (junctions) que pueden ser removidas.

4.4. RS-485

4.4.1. **Leve:** Los diodos TVS D7, D8 y D9 figuran como PSD12C y son P6SMB12CAT3G.

4.4.2. **Leve:** Corregir el campo fabricante del componente SN65HVD1176DR.

4.5. CPU

- 4.5.1. **Leve:** Los capacitores del cristal Y1 pueden ser removidos según lo indica el datasheet del K60 (este error viene de la CIAA-FSL).
- 4.5.2. **Importante:** El pin 54 debe tener un pull-up o debe ser conectado directamente a +3.3V ya que este pin define si se ingresa al modo ISP en el momento del encendido.
- 4.5.3. **Leve:** De la revisión anterior: Falta remover R53 ya que es una terminación serie y solo es necesaria si ese pin va a ser utilizado para conectar una memoria SD.
- 4.5.4. **Importante:** Rotar el led D14 porque está invertido.

4.6. JTAG

- 4.6.1. **Leve:** Remover R6 ya que no es necesaria.

5. Revisión del PCB

5.1. Generales

- 5.1.1. **Importante:** Las librerías están dentro de un directorio .pretty pero no están en ese formato. Al pasar todo a la nueva versión de kicad, el archivo “edu-ciaa-fsl.mod” se puede exportar mediante agregarlo al proyecto en formato “legacy” y salvarlo en el formato nuevo. Luego borrar la librería del tipo “legacy” y agregar la nueva (solo al proyecto, no agregar de forma global).
- 5.1.2. **Importante:** Crear un directorio denominado footprints.3dshapes al mismo nivel que footprints.pretty y ubicar allí todos los modelos 3D. En la página Kicad Library Convention¹ se indica lo siguiente: *3D Shape “.wrl” files are named the same as their footprint and are placed in a folder named the same as the footprint library replacing the “.pretty” with “.3dshapes”*. Editar en cada componente el path relativo de las figuras 3D ya que es necesario en las nuevas versiones de KiCAD. Se recomienda utilizar la variable de entorno “KIPRJMOD”.
Por ejemplo: `${KIPRJMOD}/footprints.3dshapes/sot23.wrl`.
- 5.1.3. **Leve:** La versión que figura en el rótulo del PCB debe ser la misma que se ponga en el esquemático.

5.2. Señales, ruteo e integridad

- 5.2.1. **Importante:** El conector J2 está al revés respecto de la EDU NXP, de manera que el texto que dice “GND” sobre el mismo está incorrecto. Intercambiar los dos pines desde el esquemático ya que el conector está orientado correctamente. Editar el pad 1 del conector para que sea un pad cuadrado. Correr el texto 5VCC para que quede visible aún después de soldar el conector. Agregar un signo positivo del lado donde deben ingresar los +5V.
- 5.2.2. **Intermedio:** Desplazar hacia la izquierda el par diferencial correspondiente al USB OTG (la parte que pasa por bottom) para que quede entre planos de GND en vez de que la net “+3.3V” pase por el lado.

¹<https://github.com/KiCad/kicad-library/wiki/Kicad-Library-Convention>

- 5.2.3. **Intermedio:** Los +3.3V dan toda la vuelta a la placa para luego alimentar al micro. Habría que buscar un camino más directo del regulador hacia el resto de los componentes, como por ejemplo poner un track horizontal desde la posición del pin de salida del regulador.
Como ese track va a cortar el plano de GND, es necesario poner varias vías comunicando los planos del lado Top con los del lado Bottom.
- 5.2.4. **Intermedio:** Agregar vías bajo el integrado U5 para interconectar los planos de GND.
- 5.2.5. **Intermedio:** Las pistas de las líneas USB_JTAG_UART_TX y USB_JTAG_UART_RX no es necesario que sean tan anchas, no constituyen un par diferencial USB, son líneas de una UART.
- 5.2.6. **Leve:** En X=234.4mm Y=169mm: El track en diagonal perteneciente a la net “+3.3V” se puede mover un poco más hacia abajo (achicando la diagonal) para que el plano de GND que está a la derecha se junte.

5.3. Posicionamiento

- 5.3.1. **Intermedio:** Los diodos de protección para el USB U2 y U7 podrían estar más cerca de los filtros T1 y T2 para luego poner las vías que llevan las señales al lado bottom.
Nota: Si los pines del PRTR5V0U2X quedan de forma incómoda, los pines 2 y 3 pueden ser intercambiados.
- 5.3.2. **Intermedio:** El ferrite L4 puede ser posicionado más a la derecha y en forma vertical de manera de interconectar GND con GNDA sin necesidad de utilizar una vía.

5.4. Footprints

- 5.4.1. **Intermedio:** En el CPU se debe establecer el clearance local del componente en 7.8 mils para que no haya error de DRC. Si no, se debe achicar el ancho de los pads en al menos 2 mils.
- 5.4.2. **Intermedio:** Los footprints de los conectores micro-USB tienen uno de los pines con un espacio en su nombre, lo que hace que queden desconectados de la net correspondiente.

5.5. Agujeros, Fiduciales y bordes

- 5.5.1. **Importante:** Como el contorno del PCB (layer Edge.Cuts) no está perfectamente cerrado, al generar la vista 3D aparece un error. Las partes en las que no está cerrado son las esquinas del lado izquierdo.
- 5.5.2. **Intermedio:** Como en los fiduciales no debe haber cobre dentro de los 3mm, no sólo la expansión de la máscara debe ser 1.5mm si no que el clearance también. FD1 y FD4 tienen que ser movidos ya que un track pasa por ellos (o mover el track).
- 5.5.3. **Leve:** Los fiduciales del lado bottom deben ser removidos ya que no son necesarios.

5.6. Chequeo de reglas de diseño (DRC)

- 5.6.1. **Intermedio:** Algunas pistas de RMII no están correctamente conectadas del lado del micro, esto puede corroborarse porque en la barra inferior se indican 4 pistas “Unconnected”. Las pistas son: ENET_RXD0, ENET_RXD1, ENET_CRSDV y ENET_REF_CLK.
- 5.6.2. **Intermedio:** Debajo de los pines 61, 62 y 90 del CPU hay un segmento de track que afecta al DRC.

5.7. Serigrafía

- 5.7.1. **Leve:** Generar el archivo Gerber de la capa Front Silkscreen (Deshabilitar Plot footprint values) para analizar cómo quedó la serigrafía. Mover aquellos textos que se superpongan con pads, vías, otros textos o líneas, revisar U5, U2, R6, R8, C37 y C40, C11 y C35.
- 5.7.2. **Leve:** Corregir la serigrafía para que queden todos los textos del mismo tamaño y espesor de trazo. El espesor recomendado es de 0.15 mm. En la página Kicad Library Convention² se indica lo siguiente: *Silkscreen is not superposed to pads, its outline is completely visible after board assembly, uses 0.15mm line width and provides a reference mark for pin 1 (IPC-7351).*
- 5.7.3. **Leve:** Sugerimos agregar en la serigrafía el texto INDUSTRIA ARGENTINA.
- 5.7.4. **Leve:** Sugerimos agregar en cobre en el bottom layer los textos INDUSTRIA ARGENTINA, EDU-CIAA-FSL y dirección de la página web del proyecto.

5.8. Archivos y formatos

- 5.8.1. **Leve:** El archivo netlist subido a GitHub no se corresponde con la última versión del esquemático. Cada vez que se sube el proyecto, se debe generar el netlist para que esté actualizado (si ya existe el PCB).

²<https://github.com/KiCad/kicad-library/wiki/Kicad-Library-Convention>