



Università di Verona
Dipartimento di Informatica

Architettura degli Elaboratori: esame 06/07/01

Cognome: Nome: Matricola:

Note: le soluzioni devono essere opportunamente commentate,
è vietato utilizzare appunti o libri,
seconda prova intermedia: esercizi 1 e 2
esame completo: esercizi 1, 2, 3 e 4

- 1) Elencare le micro istruzioni (insieme dei segnali di controllo) relative alla completa esecuzione (caricamento, decodifica, esecuzione) della seguente istruzione assembler (Intel 80386 AT&T), assumendo che la CPU abbia **TRE BUS**, che l'istruzione sia composta da una sola parola, che %EAX rappresenti un metodo di indirizzamento diretto a registro e che il salto sia di tipo indiretto (usare solamente le righe necessarie):

CALL %EAX

1.
2.
3.
4.
5.
6.
7.
8.
9.
10.
11.
12.
13.
14.
15.

- Descrivere lo schema di controllo di una CPU cablata. Esempificare lo schema utilizzando la fase di *fetch* dell'istruzione precedente costruendo gli opportuni segnali.

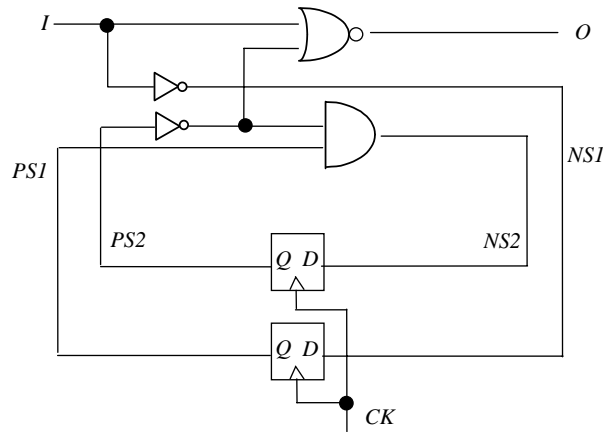
- 2) Quali sono le scelte, sull'architettura di una CPU, necessarie a permettere di raggiungere l'obiettivo di un CPI medio uguale a 1?

- Si consideri una CPU con una pipeline a 4 stadi (F, D, E, W). Si riporti nel seguente diagramma, per ogni istruzione, lo stadio della pipeline coinvolto in ogni istante di clock. Si ipotizzi che la pipeline sia vuota al tempo 1 e che *jz* faccia riferimento all'istruzione *subl*.

Clock/istruzione	1	2	3	4	5										
Addl %eax, %ebx															
Movl %eax, %ecx															
Subl %ebx, %ecx															
jz loop															

- Per quale motivo può essere utile avere *cache* per i dati e per le istruzioni separate?.

3) Si consideri il seguente circuito sequenziale.



- Si estraiga dal circuito lo STG della macchina a stati finiti ipotizzando che lo stato di reset sia 00.

- Si risintetizzi il circuito sequenziale, a partire dallo STG estratto, rappresentando la funzione di uscita e la funzione stato prossimo in somma di prodotti.

- Si dia la definizione di stato equivalente e di stato compatibile.

4) Si consideri il problema della sintesi automatica di circuiti digitali combinatori.

- Spiegare con un esempio l'utilizzo del *don't care set* nella sintesi esatta a due livelli.

- Si spieghi perché nella sintesi a due livelli la minimizzazione per area coincide con la minimizzazione per ritardo.