

operatori logici elementari.

Università di Verona Dipartimento di Informatica

Architettura degli Elaboratori: esame 25/07/01

Cogno	ome: Matricola: Matricola:
Note:	le soluzioni devono essere opportunamente commentate, è vietato utilizzare appunti o libri.
1) Si c	onsideri il problema della codifica dell'informazione.
	Si descrivano, con un esempio, i concetti di codice e codifica e la loro relazione con i numeri binari.

• Spiegare perché il circuito elettronico transistor ben si adatta a realizzare gli

- 2) Si consideri il circuito sequenziale che controlla il funzionamento di una bilancia elettronica. Il circuito riceve gli stimoli dal piatto della bilancia e controlla il funzionamento del display che mostra il peso della merce in grammi. Quando la bilancia viene scaricata il peso rimane visualizzato per due ulteriori cicli di clock. Il circuito è collegato ai seguenti segnali.
 - PESO[1]: segnale che proviene dal piatto della bilancia e vale 1 quando un oggetto viene appoggiato sul piatto, vale 0 quando il piatto è scarico.
 - EQUILIBRIO[1]: segnale che proviene dal sensore di peso e vale 1 finché non è stato misurato dal contrappeso l'esatto peso dell'oggetto appoggiato sulla bilancia. Ad ogni ciclo di clock il peso del contrappeso viene incrementato di 1 grammo.
 - DISPLAY[2]: segnale che permette al circuito di controllare il funzionamento del display. Un
 valore uguale a 11 indica che il display deve essere resettato al valore 0 grammi, il valore 00
 indica che il numero mostrato non deve essere modificato, il valore 01 indica che il numero deve
 essere incrementato di 1 grammo e 10 che deve essere decrementato di 1 grammo.
 - Si disegni il grafo delle transizioni della FSM che rappresenta il circuito, sapendo che gli ingressi e l'uscita sono nell'ordine dato. Se ne ricavi poi la tabella delle transizioni.

•	Si identifichi la FSM minima equivalente a quella trovata.					
•	Dopo aver assegnato dei valori casuali a lunghezza minima agli stati della FSM, si scriva in somma di prodotti il bit meno significativo del segnale DISPLAY.					
•	Dopo aver assegnato dei valori casuali a lunghezza minima agli stati della FSM, si scriva in somma di prodotti il bit meno significativo del segnale DISPLAY.					
•	Dopo aver assegnato dei valori casuali a lunghezza minima agli stati della FSM, si scriva in somma di prodotti il bit meno significativo del segnale DISPLAY.					
•	Dopo aver assegnato dei valori casuali a lunghezza minima agli stati della FSM, si scriva in somma di prodotti il bit meno significativo del segnale DISPLAY.					
•	Dopo aver assegnato dei valori casuali a lunghezza minima agli stati della FSM, si scriva in somma di prodotti il bit meno significativo del segnale DISPLAY.					
•	Dopo aver assegnato dei valori casuali a lunghezza minima agli stati della FSM, si scriva in somma di prodotti il bit meno significativo del segnale DISPLAY.					
•	Dopo aver assegnato dei valori casuali a lunghezza minima agli stati della FSM, si scriva in somma di prodotti il bit meno significativo del segnale DISPLAY.					

3) Si descriva il concetto di memoria virtuale e la funzionalità di una MMU.

• Si assuma che un computer con memoria virtuale, strutturata a pagine di 4Kbyte, sia dotato di 64Mbyte di memoria fisica.

Si consideri un programma con un codice di 7.2Kbyte che accede ciclicamente in sequenza a tutti gli elementi di un array di 1000 record in cui ogni campo è composto da 2 numeri interi. Quale deve essere la dimensione del working set perché si abbiano dei page fault solamente nella fase di caricamento del programma con esecuzione del primo ciclo di accesso agli elementi dell'array? Quanti page fault si avrebbero durante l'esecuzione del programma ipotizzando che il working set abbia una pagina meno di quanto definito nel punto precedente e che il ciclo di accesso venga ripetuto 10 volte?

1)	Discrivere le differenze tra un BUS sincrono e uno asincrono e i loro diversi campi di applicazione.
	• Disegnare il digramma temporale di una operazione di scrittura in memoria riportando l'andamento dei segnali necessari, in un BUS sincrono, a collegare la CPU alla memoria.
	5
	J

