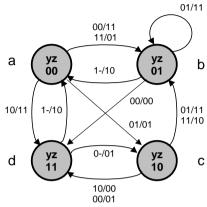


## Università di Verona Dipartimento Scientifico e Tecnologico

Architettura degli Elaboratori: esame 22/09/99

Cogn	ome:Matricola:
Note:	le soluzioni devono essere opportunamente commentate e motivate, è vietato utilizzare appunti o libri.
mi	consideri il problema dell'elaborazione da parte di un sistema digitale di surazioni analogiche.  Quali sono i passi che permettono di trasformare una misura analogica continua nel tempo in valori digitale discreti?
•	Utlizzando una rappresentazione in virgola fissa con 8 bit per la parte intera e 4 bit per quella decimale, qual è l'errore massimo nella rappresentazione di numeri reali che si può commettere?
•	A quali numeri decimali corrisponde il numero binario 11010011?
•	Sommare in complemento a due numero decimale -17 al numero binario in complemento a due 110011. Qual è il risultato decimale?

2) Progettare una macchina sequenziale sincrona, dotata di due ingressi I1 e I2, e di due uscite U1 e U2, il cui comportamento è descritto dal seguente grafo degli stati.



All'interno degli stati è già riportato l'assegnamento da usare per la sintesi.

• Rappresentare la tabella degli stati della macchina, ricavandola dal grafo.

• Dare la definizione di FSM equivalente minima e verificare se la FSM data è in forma minima.

• Sintetizzare in somma di prodotti le funzioni di uscita della macchina.

- 3) Si consideri un gestore della memoria che utilizza la tecnica della paginazione.
  - Quali sono le motivazioni che portano ad utilizzare la memoria paginata?

 La suddivisione della memoria in segmenti è compatibile con l'utilizzo della memoria paginata? Motivare la risposta.

- Si consideri un programma che che accede in sequenza a tutti gli elementi di un array di 10000 parole (ogni elemento ha le dimensioni di una parola). Questa operazione di scansione è effettuata all'interno di un ciclo che viene eseguito 10 volte.
  - Si assuma che le dimensioni di una pagina siano di 1K parole. Il programma occupa due pagine ed il suo *working set* è composto da 10 pagine. Quanti *page fault* avvengono durante l'esecuzione del programma considerando che nessuna pagina del programma è residente in memoria al momento della sua esecuzione?

 Si descriva la struttura di una CPU con con una pipeline a 4 livelli specificando il significato dei vari componenti.

• Si consideri una CPU con una pipeline a 4 stadi (F, D, O, W). Si riporti nel seguente diagramma, per ogni istruzione, lo stadio della pipeline coinvolto in ogni istante di clock. Si ipotizzi la pipeline vuota al tempo 1.

clock/istruzione		2	3	4	5				
mull %eax, %ebx									
movl %ecx, ind									
cmpl %ebx, 0h									
jnz inizio									

• Come si applica il meccanismo della predizione dei salti all'esempio precdente?