



Università di Verona
Dipartimento Scientifico e Tecnologico

Architettura degli Elaboratori: prova 27/06/00

seconda **prova intermedia**: esercizi **1 2 3 4** ☐

esame completo: esercizi **1 2 5 6** ☐

Cognome:.....**Nome:** **Matricola:**

Note: *le soluzioni devono essere opportunamente commentate e motivate,
è vietato utilizzare appunti o libri.*

- 1) Elencare le micro istruzioni relative al caricamento, decodifica ed esecuzione della seguente istruzione assembler (Intel 80386 AT&T), assumendo che la CPU abbia un solo BUS, che l'istruzione sia composta da una sola parola, che (%EAX) rappresenti un metodo di indirizzamento indiretto a registro e che il salto condizionato sia di tipo diretto (usare solamente le righe necessarie):

JZ (%EAX)

1.
2.
3.
4.
5.
6.
7.
8.
9.
10.
11.
12.

- Elencare le ottimizzazioni che devono essere eseguite sull'architettura di un calcolatore per raggiungere l'obiettivo di avere, per la maggioranza delle istruzioni, CPI=1

- 2) Si consideri una CPU dotata di memoria cache di 128K byte con 64 byte per blocco. Questa CPU è collegata ad una memoria RAM da 16M byte indirizzabile per byte.

- Definire le dimensioni dell'indirizzo necessario a indirizzare tutta la memoria RAM e definire le dimensioni dei campi PAROLA, BLOCCO (o SET) ed ETICHETTA in cui questo indirizzo può essere suddiviso. Definire queste dimensioni per una memoria cache di tipo:
 - ad accesso diretto

- 2-set associativa

- completamente associativa

- Descrivere il principio su cui si basa il funzionamento della memoria cache.

- Disegnare lo schema della memoria RAM precedente utilizzando chip 256Kx1

3) Si descriva il meccanismo di interrupt e i suoi campi di applicazione.

- Perché il semplice meccanismo di interrupt mal si adatta a dispositivi che trasferiscono grandi quantità di dati in memoria?

- Disegnare il diagramma temporale della fase di scrittura in memoria, basata su handshake, in un BUS asincrono.

4) Quali sono le motivazioni che hanno fatto affermare la filosofia RISC.

- Si consideri una CPU con una pipeline a 4 stadi (F, D, O, W). Si riporti nel seguente diagramma, per ogni istruzione, lo stadio della pipeline coinvolto in ogni istante di clock. Si ipotizzi la pipeline vuota al tempo 1 e che la condizione del salto sia falsa.

clock/istruzione	1	2	3	4	5										
<code>cmpl %eax, %ebx</code>															
<code>jz START</code>															
<code>subl %ebx, %ecx</code>															
<code>movl %edx, DATA</code>															

- Come è possibile riordinare le istruzioni in modo da diminuire il CPI totale? Qual é la percentuale di miglioramento del CPI dopo il riordino?

-
- 5) Si consideri il problema della rappresentazione in forma digitale di valori reali.
- Si descrivano i passi necessari a trasformare una grandezza reale continua in un insieme di numeri digitali discreti.

- Definire vantaggi e svantaggi dei vari tipi di rappresentazione di numeri interi relativi.

- Disegnare lo schema di un *full adder*.

-
- 6) Si consideri un circuito sequenziale che riconosce la seguente sequenza di ingressi a due bit INPUT[2]:

00 01 01 11

Il circuito possiede anche un ingresso START[1] che quando passa da 0 a 1 segnala che deve essere identificata la sequenza. Nello stesso ciclo di clock in cui la sequenza viene identificata, l'unica uscita OUTPUT[1], normalmente a 0, viene messa a 1 e mantenuta a 1 finché sugli ingressi non viene letto il valore 10. In questo caso l'uscita torna a 0 e il circuito si pone nuovamente in attesa che START[1] passi da 0 a 1.

- Si disegni il grafo delle transizioni della FSM che rappresenta il circuito, sapendo che gli ingressi sono nell'ordine START[1], INPUT[2].

- Si identifichi la FSM minima equivalente a quella trovata.

- Dopo aver assegnato dei valori casuali a lunghezza minima agli stati della FSM, si scriva in somma di prodotti il segnale OUTPUT[1].