

5.3. СИСТЕМА DAP

Разработка матричной вычислительной системы DAP (Distributed Array Processor) осуществлена английской фирмой ICL (International Computers Ltd.). Работы были начаты в 1972 г., опытные образцы системы DAP (на дискретных элементах) из 1024 и 4096 элементарных процессоров были построены в 1976 г. и 1977 г. Планировалось организовать к 1980 г. серийное производство систем DAP на основе больших интегральных схем, однако из-за финансовых трудностей работы были прекращены.

Система DAP по своей архитектуре относилась к SIMD-типу, это была ВС с массовым параллелизмом (Massively Parallel Computer). Планировалось, что ВС будет состоять из 50000 параллельно работающих элементарных процессоров (ЭП), управляемых одним потоком команд. Каждый ЭП будет представлять собой монолитную большую интегральную схему, подсистема ввода-вывода информации будет выполнена также на БИС. Предполагалось аппаратно реализовать многие функции программного обеспечения.

Функциональная структура ВС DAP – это композиция ведущей ВС и собственно DAP (рис.5.4). Ведущая ВС (Host Computer) предназначалась для реализации функций операционной системы (включая подготовку данных и команд для DAP, распределение данных по ЭП). В опытных образцах системы DAP в качестве ведущей была использована серийная ВС Control Data Corporation: конвейерная система CDC 7600 (8 конвейеров, длительность такта – 27,5 нс, быстродействие 10-15 млн. опер./с). Вторая часть ВС, собственно матричная система DAP, применялась для массовых параллельных вычислений.

Устройство управления формировало поток команд на матрицу ЭП, в частности, оно направляло команды, адреса и другую информацию, необходимую элементарным процессорам для выполнения “матричных” операций.

Архитектуры систем ILLIAC IV и DAP на макроуровне близки, однако DAP имела свои особенности. Каждый элементарный процессор DAP представлял собой одноразрядный микропроцессор, связанный с локальной памятью емкостью в 4096 бит. Матрица ЭП и их память для удобства представлялись в виде “прямоугольного вычислительного параллелепипеда” из 4097 горизонтальных слоев. Верхний слой параллелепипеда – это матрицы ЭП, в которой строка имела длину $L \cdot d$ элементов, d – длина слова ведущей ВС, L – число слов ведущей ВС в строке, а столбец состоял из 2^m элементов, где m – некоторое выбранное целое положительное число. Таким образом, матрица ЭП имела размеры $L \cdot d \times 2^m$, следовательно, она была способна параллельно обрабатывать $L \cdot 2^m$ d -разрядных слов. Под каждым ЭП в параллелепипеде располагалась его локальная память – вертикальная колонка из 4096 разрядов. Локальная память всех ЭП составляла распределенную память системы DAP в целом. Каждый слой разрядов этой распределенной памяти был пронумерован от 0 до 4095 и был рассчитан на $L \cdot 2^m$ d -разрядных слов. Функции по распределению информации из ведущей ВС (по вложению слов ведущей ВС в 4096-разрядную память ЭП и наоборот) выполнялись устройством управления DAP.

Между ЭП существовала сеть связей. Она обеспечивала через мультиплексоры связь каждого ЭП с регистрами арифметико-логических устройств (АЛУ) четырех ближайших соседей, расположенных сверху, снизу, слева и справа от него. Следовательно, сеть связей делала систему DAP архитектурно гибкой. Она, в частности, превращала распределенную память в общедоступную для каждого ЭП, позволяла работать с произвольными L -элементными векторами и матрицами размером $L \times 2^m$ элементов, допускала варьирование разрядности d элементов.

Каждый ЭП имел в своем составе предельно простое одноразрядное АЛУ, которое обеспечивало последовательную поразрядную обработку информации (элементов

векторов и матриц). Предусматривалась реализация арифметических и логических операций, при этом для результата операции имелось четыре возможности: он мог быть отослан из соответствующего регистра АЛУ в память данного ЭП или в регистр одного из четырех соседних ЭП (при помощи “нижнего” мультиплексора, рис 5.4).

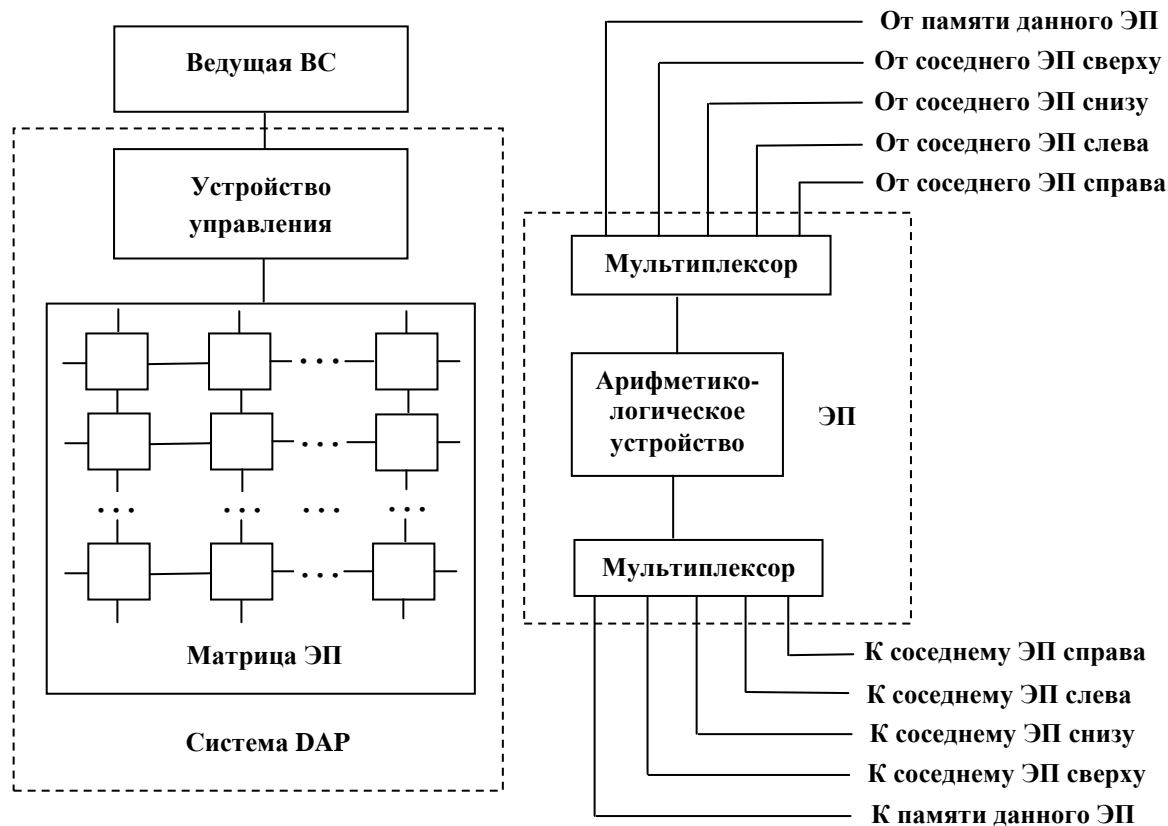


Рис. 5.4. Функциональная структура системы DAP
ЭП – элементарный процессор

В каждом ЭП был заложен “механизм”, позволявший программировать состояние процессора. Данный механизм также предельно простой – это одноразрядный регистр активности, одно из состояний которого (пассивное состояние) запрещало элементарному процессору выполнять поступавшую команду. Следовательно, регистры активности использовались для маскирования частей матриц ЭП или отдельных ЭП в зависимости от условий выполнения вычислений.

Команды для матрицы элементарных процессоров DAP поступали из устройства управления. Они содержали всю информацию, которая требовалась для выполнения операции (адреса для операндов и результата и др.).

Найдем оценку сверху для быстродействия системы DAP. При выполнении арифметических операций разряды операндов должны были обрабатываться отдельно. Поэтому, например, для выполнения сложения d -разрядных чисел с фиксированной запятой требовалось d раз повторить цикл из трех команд DAP. Время цикла работы DAP равно 200 нс. Следовательно, на выполнение указанной операции на одном ЭП затрачивается $3d \cdot 200$ нс; при $d = 20$ эта величина равна 12 мкс. Ясно, что матрица из N элементарных процессоров была способна выполнить в 1 секунду до $N/3d \cdot 200$ таких операций сложения над d -разрядными операндами; при $d = 20$ максимальное быстродействие матрицы из 4096 ЭП составляло величину около 340 млн. операций в секунду.

Следует подчеркнуть, что в системе DAP (в отличие от ILLIAC IV) в каждом ЭП использовалось не параллельное, а очень простое и дешевое одноразрядное АЛУ. Следовательно, любые операции над многоразрядными операндами должны были выполняться в элементарном процессоре при помощи программ. (Это имело место и при организации DAP в виде прямоугольного вычислительного параллелепипеда, что был описан выше). Последовательные ЭП в отдельности имели низкое быстродействие, однако матрица из большого числа параллельно работавших ЭП с программно управляемыми связями между ними обеспечивала высокую производительность. Такой подход был очень гибким и с точки зрения вычислительных технологий, в частности, он позволял пользователю выбирать точность вычислений. При этом подход обеспечил: во-первых, экономное расходование памяти (операнды занимали только столько разрядов, сколько их требовалось для достижения заданной точности представления чисел); во-вторых, минимум времени выполнения любой арифметической операции (т.к. соответствующая ей последовательность команд выполнялась только над таким количеством разрядов операндов, которое соответствовало требуемой точности).

Архитектурной особенностью BC DAP являлось и то, что ее распределенная память могла быть использована ведущей BC CDC 7600 как обычная память.

В 1976 г. реализован опытный образец DAP, который имел матрицу из 32×32 ЭП, каждый из которых был оснащен локальной памятью 1 К бит. Позднее эта конфигурация была расширена до 64×64 ЭП с емкостью локальной памяти каждого в размере 4 К бит. Последняя конфигурация BC DAP превосходила по производительности в 5-10 раз старшие модели ЭВМ 3 поколения (ЭВМ IBM 360/195 обладала быстродействием $7 \cdot 10^6$ опер./с. и емкостью оперативной памяти 1024-4096 К байт). Интегральные (на основе БИС) реализации BC DAP созданы не были из-за финансовых трудностей.

Система DAP была ориентирована на решение задач, связанных с предсказанием погоды. Планировалось установить системы в двух организациях: European Centre for Medium Term Weather Forecasting; Meteorological Office in Bracknell. Очевидно, что данная система могла найти ряд других областей применения.