

6. Diseñe e implemente en Verilog un circuito que genere los bits de paridad de Hamming para un dato de 8 bits. Realice lo mismo para el circuito corrector correspondiente. Analice y compruebe el correcto funcionamiento de cada circuito mediante testbench.

Ayuda: Piense en cada una de las funciones (generador y corrector) como dos circuitos por separado.

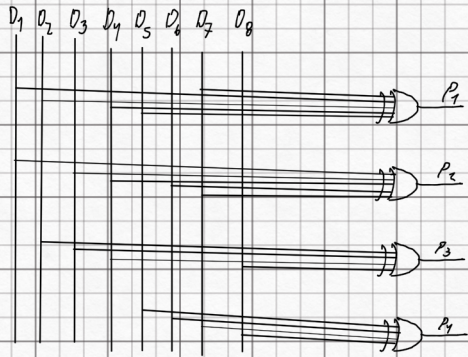
8 6 5 9 3 2 1 0
1 2 3 4 5 6 7 8 9 10 11 12
 P_1 P_2 D_1 D_2 D_3 D_4 D_5 D_6 D_7 D_8

$$P_1 = D_1 \oplus D_2 \oplus D_4 \oplus D_5 \oplus D_7$$

$$P_2 = D_1 \oplus D_3 \oplus D_4 \oplus D_6 \oplus D_7$$

$$P_3 = D_2 \oplus D_3 \oplus D_4 \oplus D_8$$

$$P_4 = D_5 \oplus D_6 \oplus D_7 \oplus D_8$$



0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100
 P_1 P_2 D_1 P_3 D_2 D_3 D_4 P_4 D_5 D_6 D_7 D_8

Datos 0 0 1 0 0 1 1 0

0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100
 P_1 P_2 D_1 P_3 D_2 D_3 D_4 P_4 D_5 D_6 D_7 D_8

Datos	P_1	P_2	D_1	P_3	D_2	D_3	D_4	P_4	D_5	D_6	D_7	D_8
P_1	0	-	0	-	0	-	0	-	0	-	1	-
P_2	0	0	-	1	0	-	-	-	1	1	-	-
P_3			0	0	1	0	-	-	-	-	0	-
P_4							0	0	1	1	0	-
H(12,8)	1	1	0	1	0	1	0	0	0	1	1	0