

# Electrónica Digital

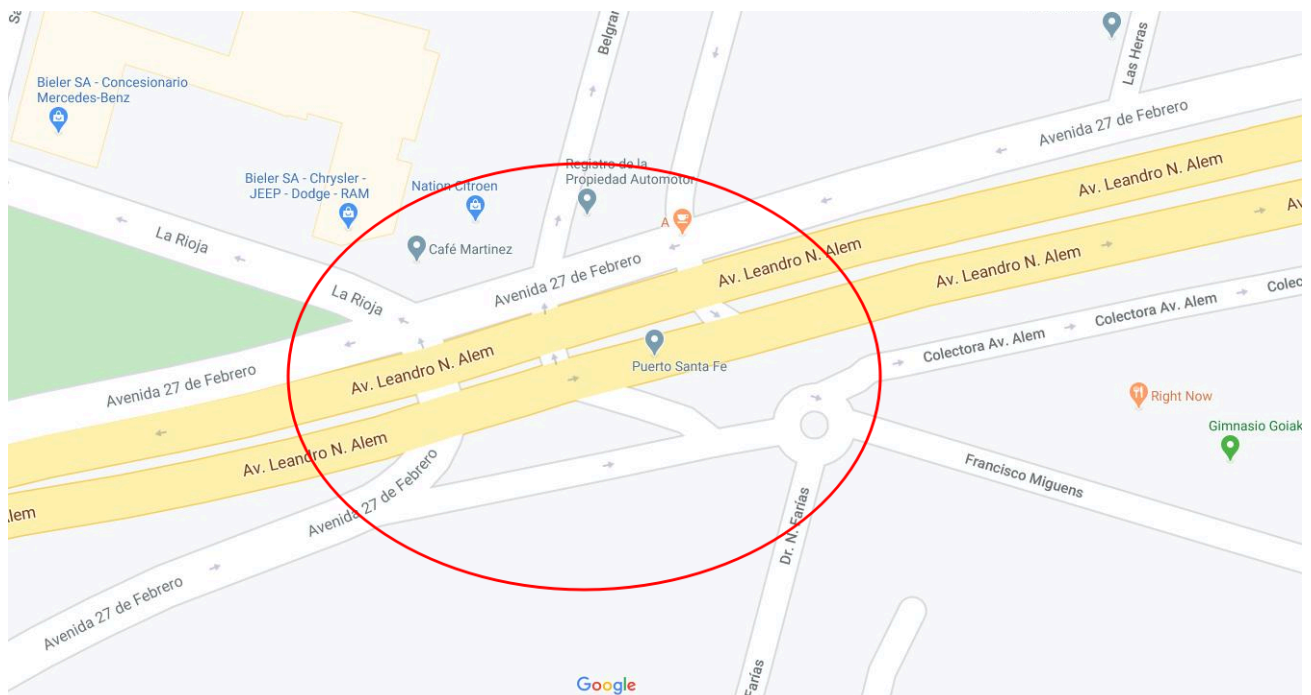
## Guía de Trabajos Prácticos N° 6

### *Máquinas de estados finitos*

**Nota:** Para la realización de esta guía, conviene definir que nos referimos a:

- **Diseño** como todos los pasos para llegar a un circuito final optimizado en papel;
  - **Simulación** refiere a describir el circuito diseñado mediante Verilog para su análisis temporal en el programa GTK Wave;
  - **Implementación** refiere a impactar el modelo de simulación en la placa prototipo provista por la cátedra.
1. Diseñe una máquina de estados finitos, utilizando flip-flops tipo D, que realice la secuencia 0,1,2,3,4,5,6,7 y regrese a 0 si su entrada  $Re = 1$ . Analice y compruebe el correcto funcionamiento de cada circuito mediante simulación de un testbench. Implemente la máquina en la placa FPGA y controle su correcto funcionamiento.
  2. Diseñe una máquina de estados finitos, utilizando flip-flops tipo D, que realice la secuencia 0,1,2,3,4,5,6,7,8,9,10 y regrese a 0 si su entrada  $Re = 1$ . Analice y compruebe el correcto funcionamiento de cada circuito mediante simulación de un testbench. Implemente la máquina en la placa FPGA y controle su correcto funcionamiento.
  3. Diseñe una máquina de estados finitos, utilizando flip-flops tipo JK, que realice la secuencia 0,2,4,6 y regrese a 0 si su entrada  $Re = 1$ . Analice y compruebe el correcto funcionamiento de cada circuito mediante simulación de un testbench.
  4. Diseñe una máquina de estados finitos, utilizando flip-flops tipo D, que realice la siguiente secuencia: 7,1,6,3,2,5,0 y regrese a 7 si su entrada  $Re = 1$ . Analice y compruebe el correcto funcionamiento de cada circuito mediante simulación de un testbench. Implemente la máquina en la placa FPGA y controle su correcto funcionamiento.
  5. Diseñe las máquinas de los ejercicios 1 y 4 con flip-flops tipo JK. Compare las funciones de transición. Analice y compruebe el correcto funcionamiento de cada circuito mediante simulación de un testbench
  6. Modifique las máquinas de los ejercicios 1 y 3 agregando una señal que permita elegir la misma secuencia ascendente/descendente. Ayuda: ver el ejemplo 8-6 del libro *Fundamentos de Sistemas Digitales (Novena Edición)* de Thomas Floyd. Analice y compruebe el correcto funcionamiento de cada circuito mediante simulación de un testbench. Implemente la máquina en la placa FPGA y controle su correcto funcionamiento.
  7. Diseñe y verifique la máquina del ejercicio 6 mediante
    - a. Una codificación de estados a través de código Gray;
    - b. Una codificación de estados “one hot” (un uno activo).Analice y compruebe el correcto funcionamiento de cada circuito mediante simulación de un testbench. Compare resultados.

8. Diseñe, simule e implemente un contador síncrono, programable y ascendente/descendente de 4 bits con señal de *enable*. Compare los resultados obtenidos con aquellos presentados en la hoja de datos del componente **CD40160**. Analice y compruebe el correcto funcionamiento de cada circuito mediante simulación de un testbench. Implemente la máquina en la placa FPGA y controle su correcto funcionamiento.
9. Diseñe una máquina de estados finitos que detecte de secuencia de 2 (dos) o más “1” consecutivos. Que tenga una entrada “w” y una salida “z”; cuyos cambios ocurran en el flanco ascendente del ciclo de reloj; y que la salida “z = 1” si durante 2 (dos) ciclos de reloj anteriores, “w = 1”; caso contrario “w = 0”. Analice y compruebe el correcto funcionamiento de cada circuito mediante simulación de un testbench.
10. Diseñe y verifique un circuito de control para 3 (tres) registros (R1, R2, R3), de modo que permita el intercambio de la información contenida entre dos registros mediante una orden ‘w’ y avisando su finalización con una señal ‘done’.
11. Diseñe, simule e implemente un semáforo para la esquina Av. Leandro N. Alem, Belgrano y La Rioja (círculo rojo de la figura).



12. Diseñe una máquina de estados que controla una máquina que hace pan casero. ¿En que cambia la máquina si queremos hacer pan integral o pan francés? Analice y compruebe el correcto funcionamiento de la máquina mediante simulación.
13. Diseñar, simular e impactar una máquina de estados finitos para automatizar la operación de lavado y enjuague en un lavarropas. El llenado del depósito es controlado por una válvula y su vaciado por medio de una bomba. El depósito posee sensor que indica cuando está lleno y otro cuando está vacío. El lavado se produce accionando el motor. El ciclo inicia a través de una señal generada por el pulsador “Inicio”.  
Analice y compruebe el correcto funcionamiento de cada circuito mediante simulación de un testbench. Implemente la máquina en la placa FPGA y controle su correcto funcionamiento.