

Electrónica Digital

Ingeniería Informática – FICH, UNL
Leonardo Giovanini



Circuitos secuenciales

*Memorias de acceso
aleatorio*

En esta se estudiarán los siguientes temas:

- Memoria
- Memoria de acceso aleatorio;
- Memorias con multiples puertos.

Las memorias son dispositivos capaces de almacenar información digital en forma estructurada.

Las aplicaciones de las memorias son muchas y muy variadas.

Las memorias pueden clasificarse utilizando diferentes criterios:

♦ **Persistencia** – la capacidad de retener la información

RAM ♦ **Volátil** – la integridad de la información está garantizada cuando está alimentada;

ROM ♦ **No volátiles** – preservan la información aún en ausencia de energía.

♦ **Acceder a los datos** – como se leen o escriben los datos

- **Paralelo** – los bits de los datos se acceden todos al mismo tiempo;
- **Serie** – los bits de los datos se acceden de a uno a la vez.

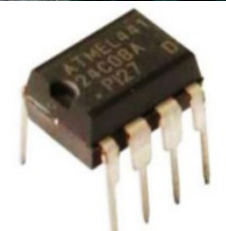
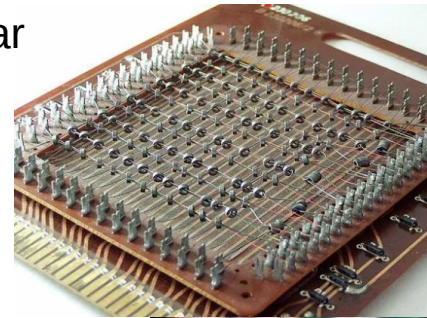
♦ **Mecanismo de direccionamiento** – como se accede a un dato particular

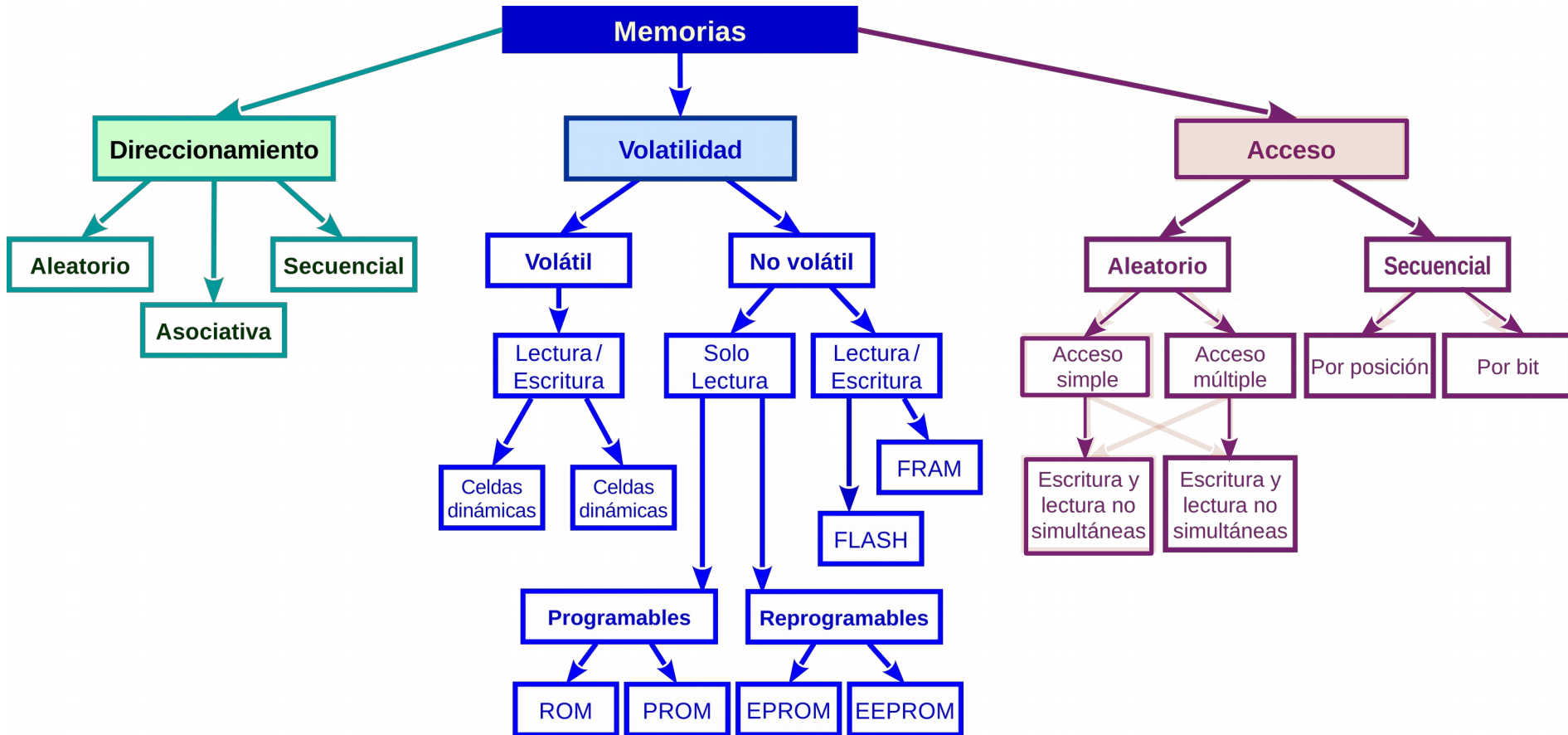
✓ Br 7-9 ♦ **Aleatoria** – los datos pueden ser accedidos en cualquier orden;

L 15-16 ♦ **Secuencial** – para acceder un dato, debe accederse a todos los datos que lo anteceden.

♦ **Operaciones que se pueden realizar** – sólo leer o leer y escribir

- **Lectura-escritura** – son memorias en la que los datos se pueden leer y escribir;
- **Solo lectura** – son memorias en la que los datos solo pueden leerse.

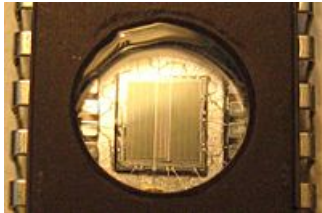




Las memorias no volátiles – ó **memorias de solo lectura** (ROM) – se usan en la microprogramación de sistemas.

Podemos distinguir varios tipos de memorias no volátiles que difieren en el número de veces que se pueden reprogramar y las técnicas que se utilizan:

- **PROM** – ROM programable – es una memoria no volátil que solo puede programarse sólo una vez. Está compuesta por un conjunto de fusibles que se destruyen durante la programación;



- **EPROM** – PROM borrable – es un tipo de PROM que puede programarse, borrarse y reprogramarse. El borrado se realiza exponiendo la memoria a luz ultravioleta, lo que borra todo el contenido;

- **EEPROM** – PROM borrable electricamente – es un tipo de memoria que funciona igual que la EPROM, pero se borra con un pulso eléctrico. Esto permite modificarla de manera selectiva, reescribiendo solo palabras.
- **Flash EEPROM** es una memoria EEPROM con una estructura física y lógica más sofisticada que una EPROM, lo que permite densidades de almacenamiento muy altas. Una memoria flash EEPROM puede modificarse sin utilizar dispositivos especiales, por ello son utilizadas en la construcción de microcontroladores.

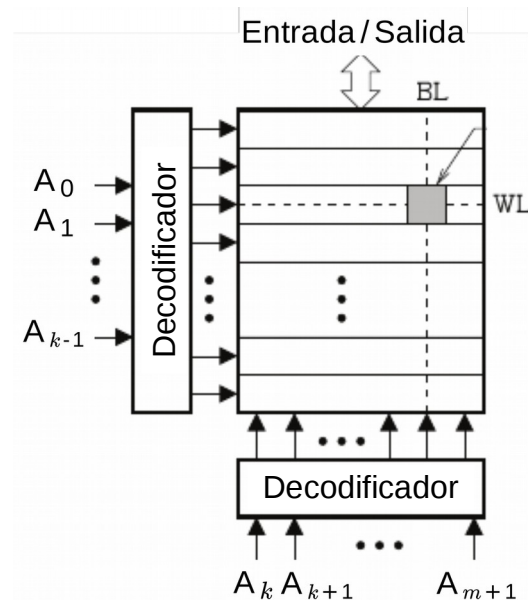


Una palabra de memoria es un conjunto de n bits adyacentes.

m. bits = 8 palabras

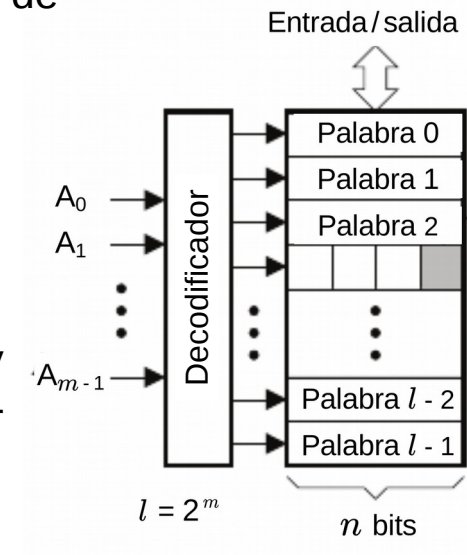
Cada posición de memoria se identifica a través de una dirección de m bits, la cual constituye el bus de direcciones. Usando un decodificador se pueden direccionar 2^m posiciones.

La capacidad de memoria se puede expresar como el número de posiciones (2^m palabras) o como el número de bits ($n 2^m$ bits).



Una memoria se puede organizar como una columna, de modo que el decodificador se utiliza para seleccionar cada palabra.

Cuando el número de bits l se vuelve muy alto, solo se obtiene una estructura regular adoptando una configuración matricial.



La dirección de una palabra se divide en una dirección de fila y una de columna. Por lo tanto, para seleccionar una palabra, se debe activar una línea horizontal (WL) y una línea vertical (BL).

Las memorias están diseñadas para conectar varias al mismo bus de datos. Cada chip de memoria posee una entrada de selección (CS – selección de chip), que puede usarse para evitar conflictos cuando el bus está en uso para otros fines. Cada una de estas entradas de control puede servir para conectar o desconectar una memoria del bus.

- CS = 0, la memoria se selecciona y se conecta al bus de datos;
- CS = 1, el bus de datos desconecta la memoria.

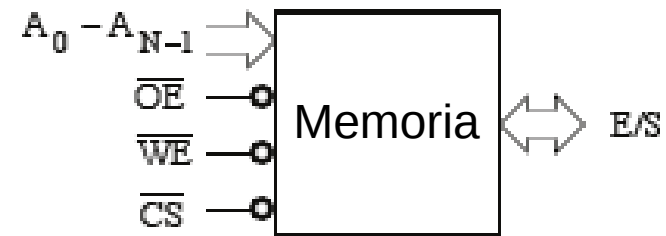
Una memoria tiene una entrada de habilitación de salida (OE) que se usa para habilitar la salida y una entrada de habilitación de lectura/escritura de entrada (R/W) que se usa para seleccionar qué operación se ejecutará, leer o escribir.

Las condiciones para una operación de lectura son:

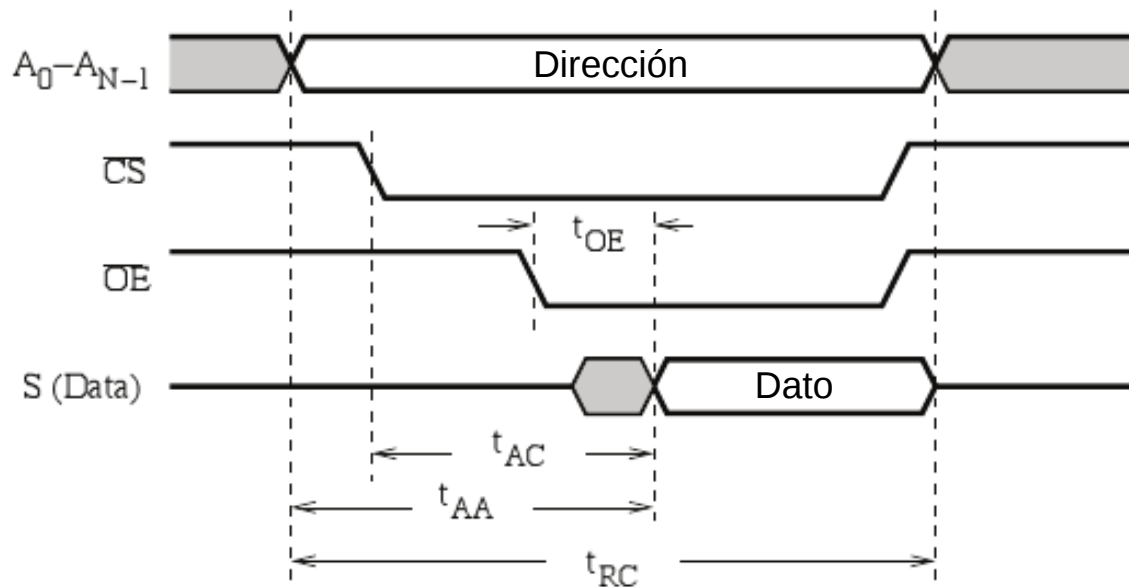
- OE = 0 habilita la lectura de datos;
- OE = 1 bloquea la lectura de datos.

Las condiciones necesarias para una operación de escritura son las siguientes:

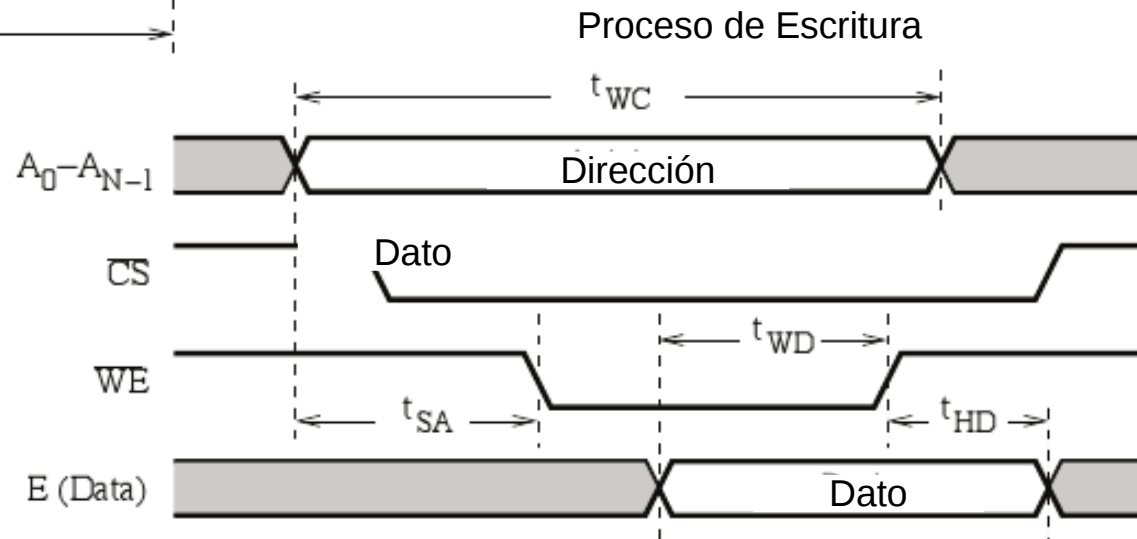
- WE = 0 habilita la escritura de datos;
- WE = 1 bloquea la escritura de datos.



Memoria de acceso aleatorio – *Escritura y Lectura*



Proceso de Lectura



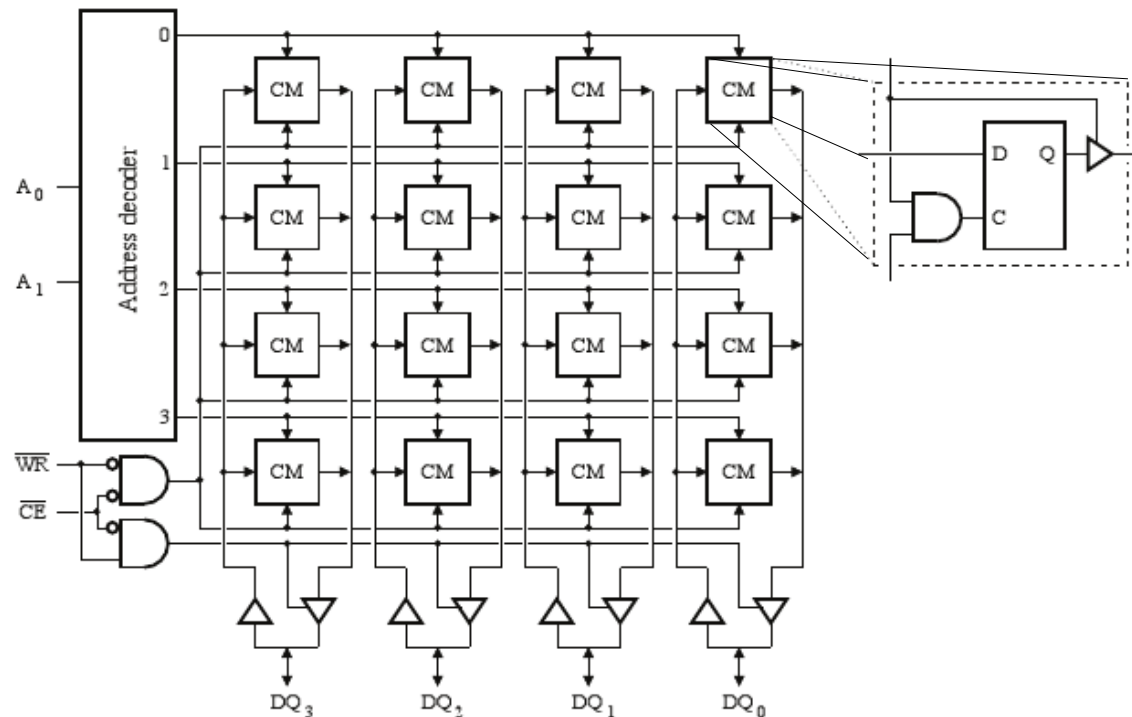
Proceso de Escritura

La estructura de una memoria 16 celdas basadas en flip-flops D, que ilustrar el principio de funcionamiento de memoria RAM.

La tabla de verdad muestra que la memoria se activa mediante la señal de habilitación de chip (CE) y el estado lógico de la señal de escritura (WR) se usa para elegir entre las operaciones de escritura y lectura.

| \overline{CE} | \overline{WR} | DQ_i | Remarks |
|-----------------|-----------------|--------|------------|
| 1 | x | Z | Deactivate |
| 0 | 0 | 1 | Write 1 |
| 0 | 0 | 0 | Write 0 |
| 0 | 1 | Data | Read |

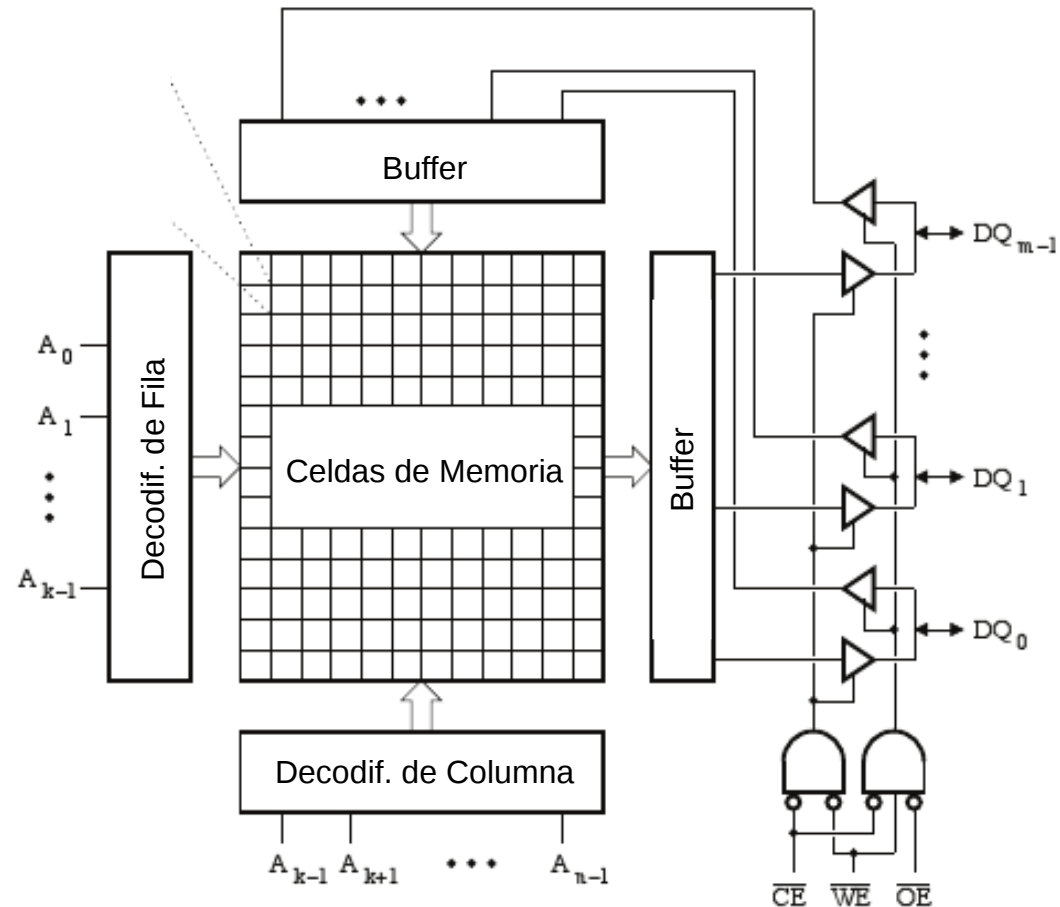
Para cada combinación de bits de dirección, el decodificador activa una línea horizontal lo que permite escribir o leer una palabra de 4 bits a través de los pines de entrada/salida.



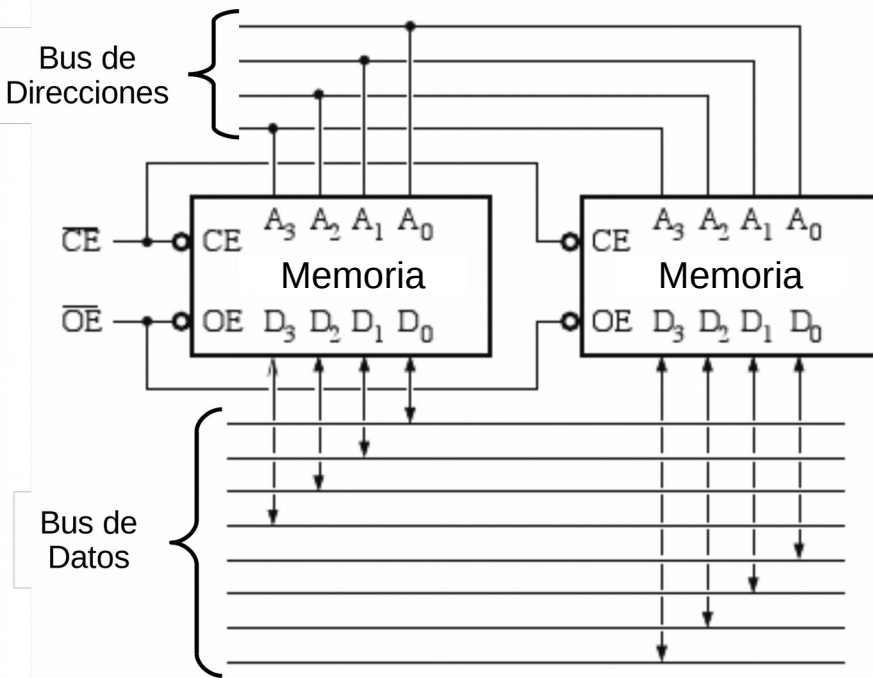
En general, una memoria RAM se implementa con una estructura matricial, con un decodificador de línea y un decodificador de columna.

La Tabla muestra la tabla de verdad de la memoria, donde las entradas de control están designadas por CE (habilitación de chip), OE (habilitación de salida) y WE (habilitación de escritura).

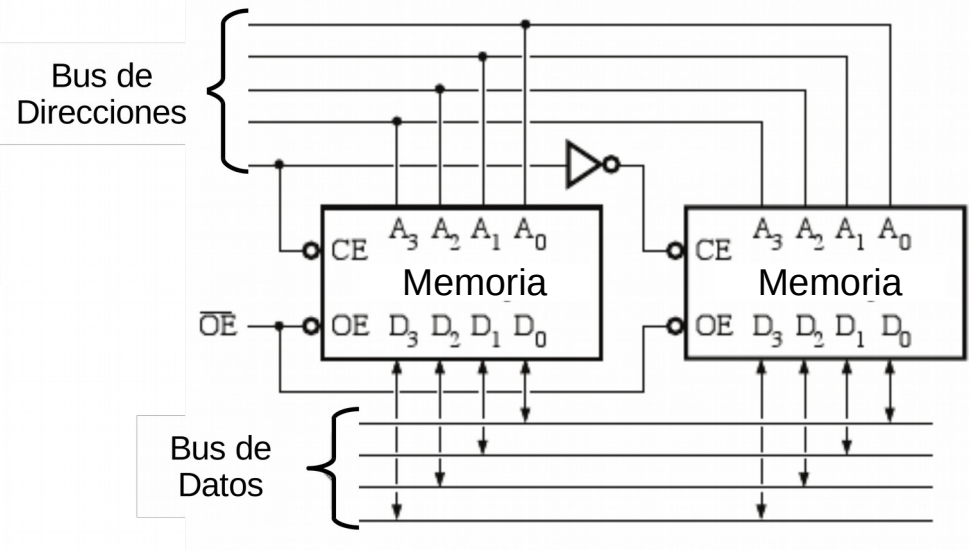
| \overline{CE} | \overline{WR} | DQ_i | Remarks |
|-----------------|-----------------|--------|------------|
| 1 | x | Z | Deactivate |
| 0 | 0 | 1 | Write 1 |
| 0 | 0 | 0 | Write 0 |
| 0 | 1 | Data | Read |



Memoria de acceso aleatorio – Expansión



Combinando memorias para expandir el ancho de palabra



Combinando memorias para expandir el ancho de palabra

El objetivo de una **memoria con múltiples puertos** es proporcionar varias rutas de comunicación simultáneas a una matriz de datos.

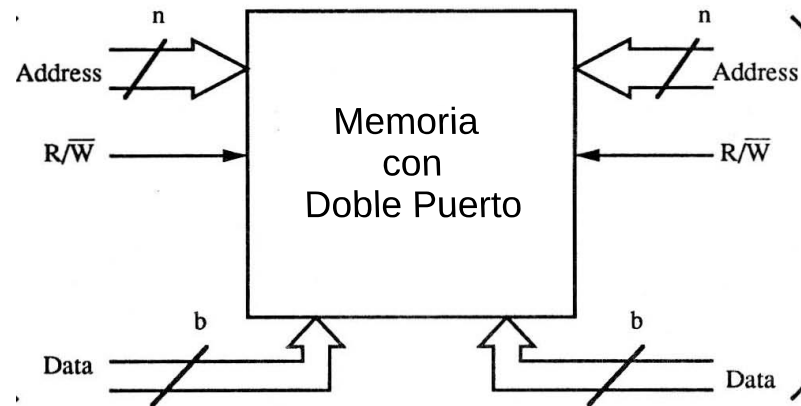
Cada **puerto** proporciona una ruta de acceso independiente para leer ó escribir datos en la matriz de memoria.

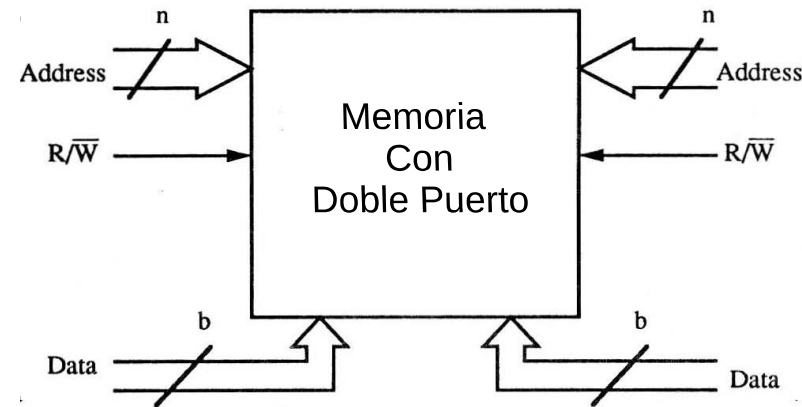
Se puede acceder a la matriz de **manera aleatoria** a través de cada puerto; cada uno de dichos accesos puede leer o escribir cualquier posición de memoria, independientemente de a qué otras posiciones se acceda en otros momentos o a través de otros puertos.

Una memoria multipuerto de p -puerto actúa “**casi**” como **p -memorias independientes**, con **idéntico contenido**. La memoria de p -puerto admite el acceso paralelo de p -vias a la matriz de datos, permitiendo leer hasta p veces más rápido que si los accesos se procesaran secuencialmente.

Las memorias de doble puerto se usan en procesadores para implementar una matriz de registros, de modo que una operación que requiere los valores de dos registros puede obtener ambos valores con una sola operación de lectura de dos puertos.

Otro uso común es como un búfer entre máquinas de estados finitos comunicantes.





Los dos puertos están etiquetados como puerto A y B, respectivamente. Cada puerto consiste en un bus de direcciones de n bits, un bus de datos bidireccional de b bits y una señal de lectura / escritura (R / W). En cada ciclo de memoria, el usuario de un puerto puede proporcionar una dirección e indicar si desea leer o escribir la posición de memoria correspondiente.

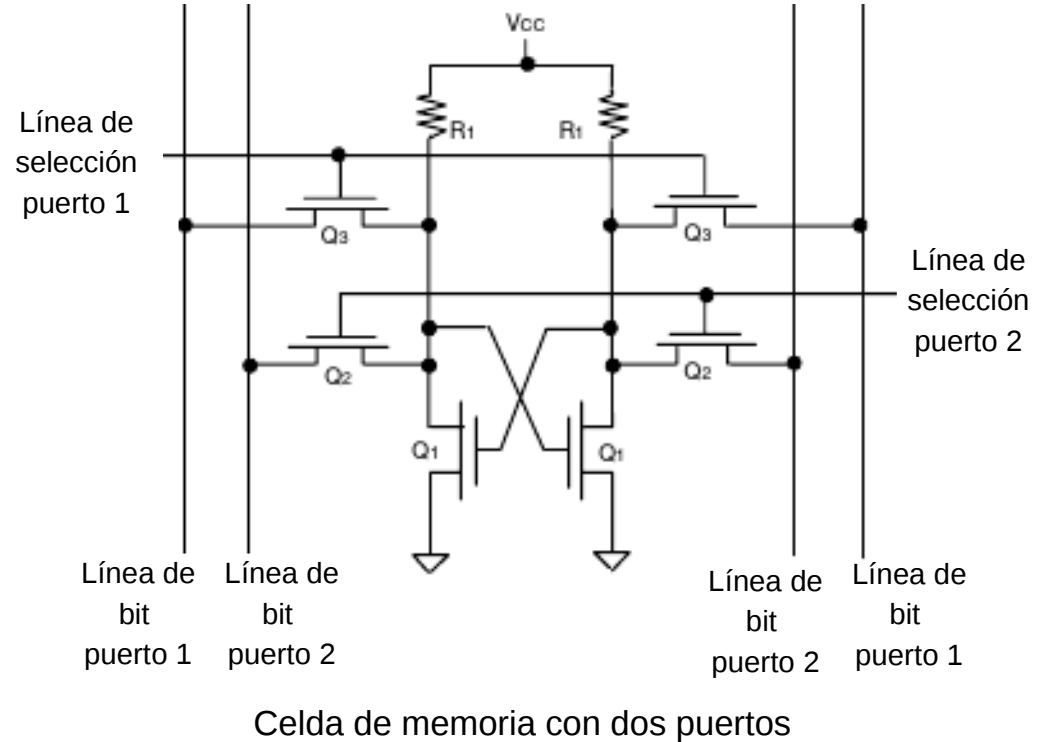
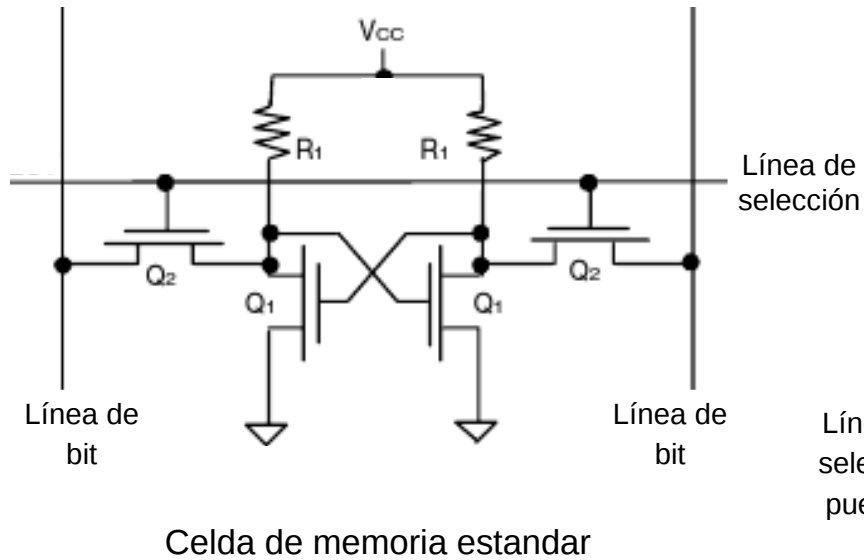
Decimos que el sistema de memoria tiene un conflicto si dos puertos intentan acceder a la misma palabra de memoria al mismo tiempo.

Si ambos puertos leen la misma palabra, entonces realmente no hay conflicto, y esperamos que ambos puertos puedan leer con éxito la palabra dirigida.

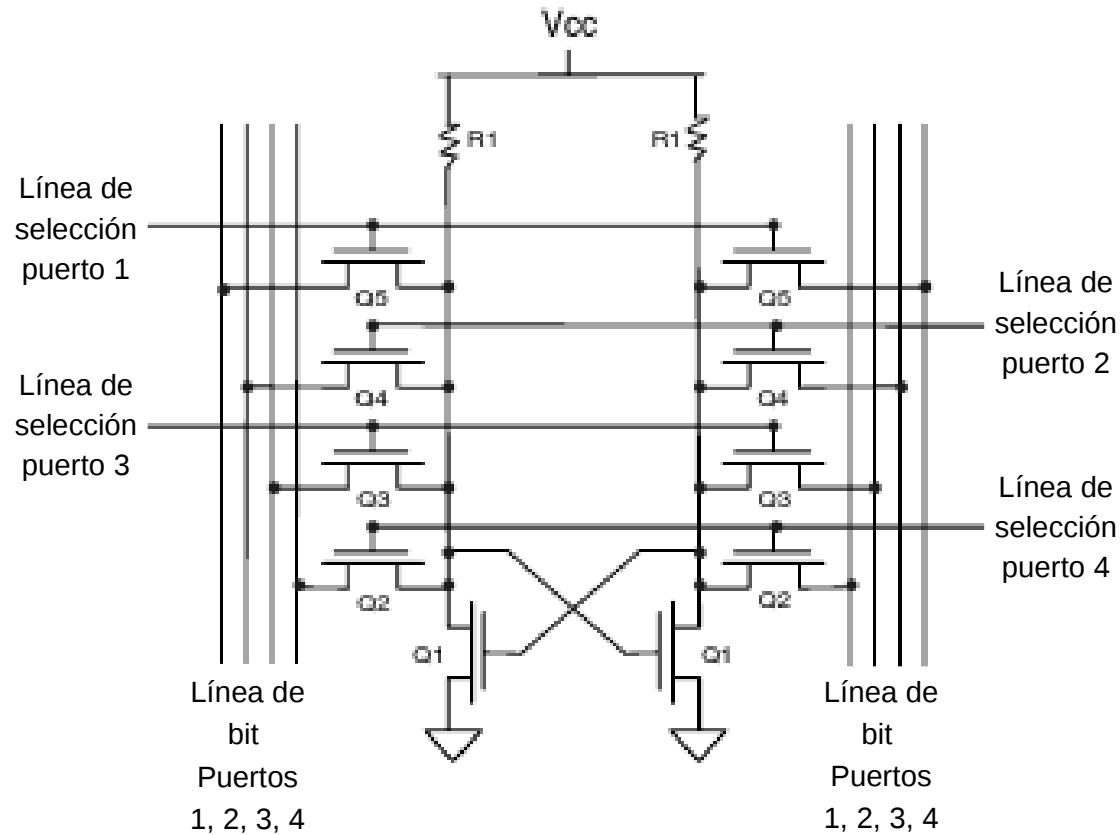
Sin embargo, si un puerto está escribiendo una palabra a la que otro puerto está accediendo simultáneamente, entonces no está tan claro qué debe hacer la memoria multipuerto.

Hay una serie de problemas tan sutiles que surgen en el manejo de las operaciones de escritura, que dependen de la arquitectura implementada.

Memoria con múltiples puertos – Estructura de la celda



Memoria con múltiples puertos – Estructura de la celda

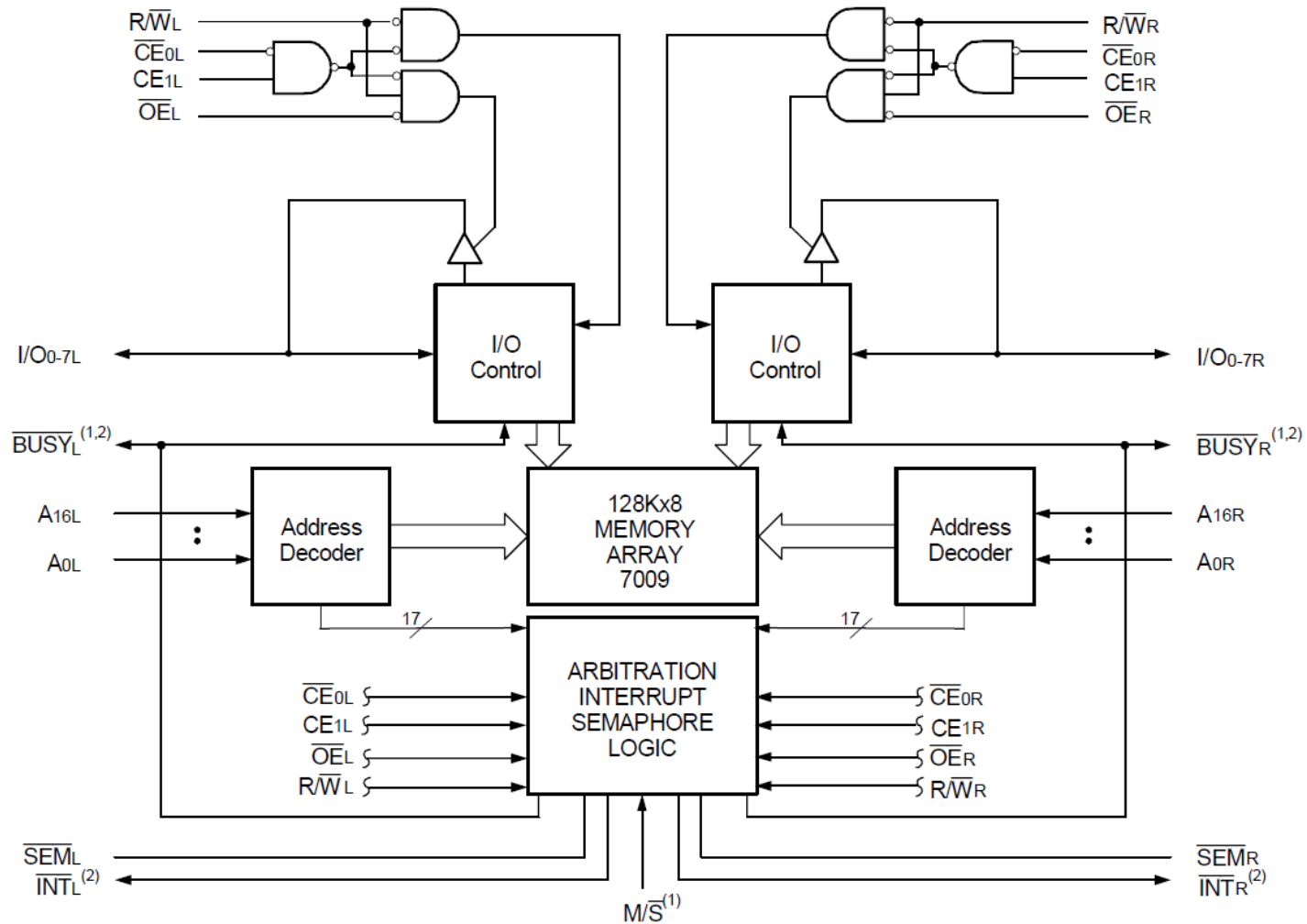


Celda de memoria con cuatro puertos

Las memorias multipuerto se pueden clasificar de acuerdo a su modo de operación y su organización interna en:

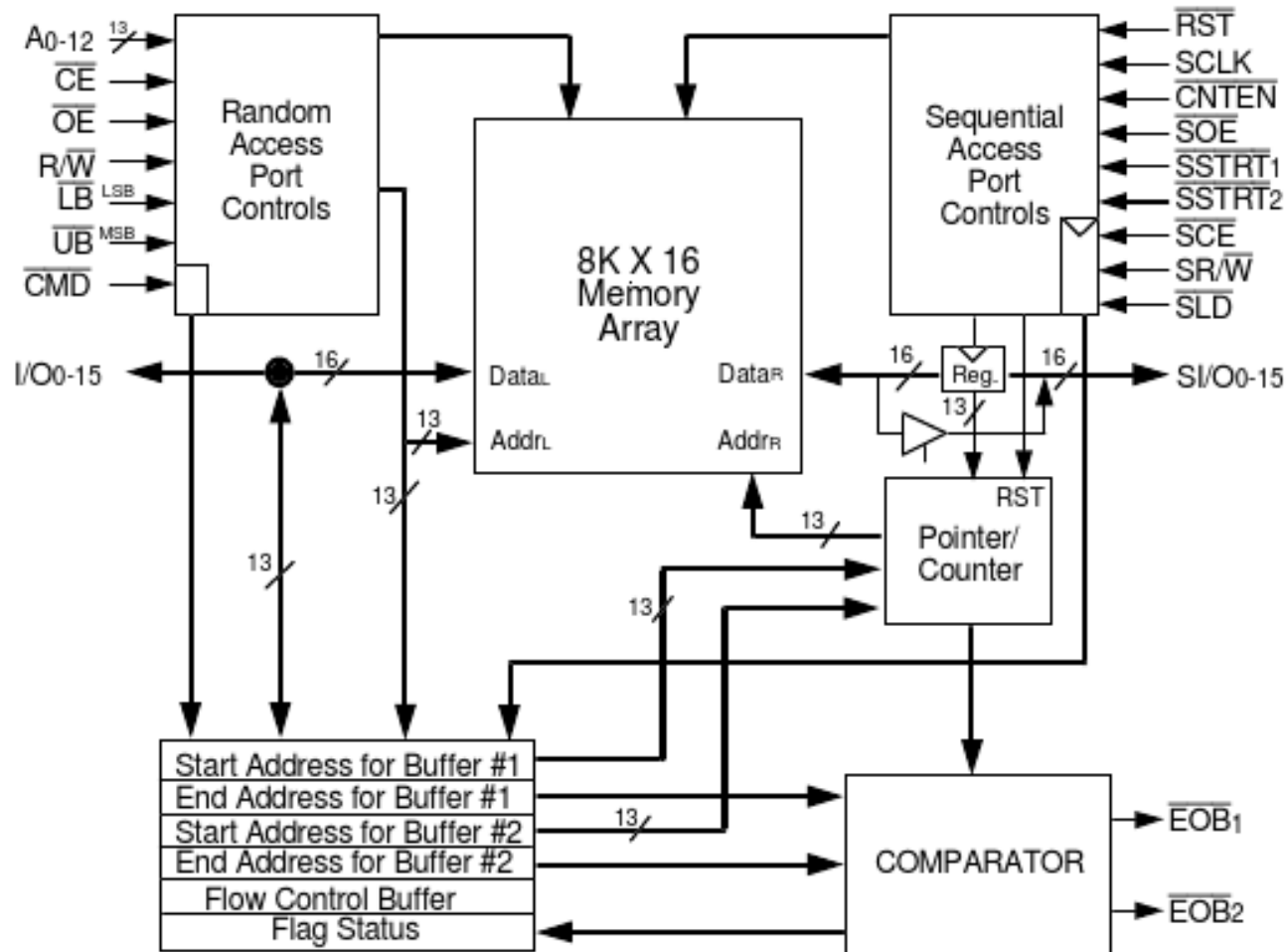
- **Memoria multipuerto asíncrona** – estas memorias responden a los cambios de dirección y control sin la necesidad de relojes. Estos dispositivos permiten el acceso simultáneo a una única ubicación de memoria desde todos los buses.
- **Memoria multipuerto síncrona** – estas memorias responden sincrónicamente a los cambios en las señales de dirección y control en relación al flanco del reloj. Estas memorias utilizan un reloj para sincronizar las tareas de los puertos y permitir para operar a velocidades altas que las que se pueden con los puertos asíncronos estándar. Estos dispositivos permiten el acceso simultáneo a la misma ubicación en la memoria.
- **Memoria multipuerto conmutables por banco** – estas memorias dividen la memoria en bancos. Permite el acceso simultáneo a la memoria, pero se puede acceder a cada uno de los cuatro bancos desde un solo puerto a la vez.
- **Memoria multipuerto de acceso secuencial y aleatorio** – estas memorias tienen una interfaz de acceso aleatorio en un puerto y una interfaz secuencial tipo FIFO en el otro. Este tipo de dispositivos se utilizan como interfaz entre sistemas asíncronos y síncronos

Memoria con múltiples puertos – Operación asíncrona





Memoria con múltiples puertos – Operación secuencial



Memoria con múltiples puertos – Conmutación de memorias

