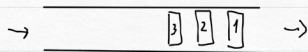
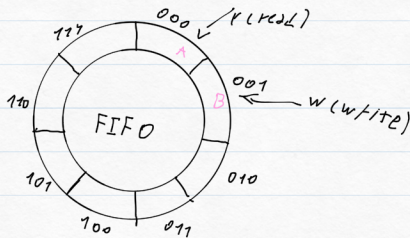
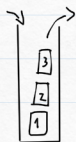


FIFO first In - first Out

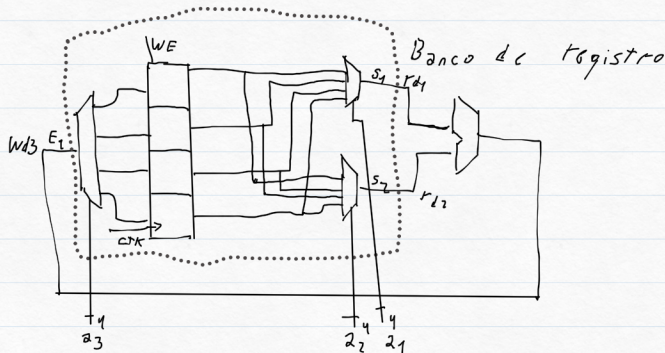


LIFO last In - first Out



Ejercicio?

donde A y B son representación de 4 bits en HEX



12. Con el registro paralelo-paralelo del ejercicio 6 construya un banco de 4 registros de 4 bits de ancho. El banco tendrá dos salidas de datos, que podrán elegirse de manera independiente, y una entrada de datos separada de las salidas. Analice y compruebe el correcto funcionamiento de cada circuito mediante simulación de un testbench. Impacte la memoria RAM en la placa FPGA y controle su correcto funcionamiento.

en el ejercicio el s.Reg es un banco de 4 registros de 4 bits

