

Laboratorio 4b

Nombre del archivo fuente: resta.zip

Tiempo limite: 1

Implementar un circuito, en el simulador de hardware, que realice la resta en complemento a dos de dos números de 30 bits

El (los) archivo(s) fuente (.hdl) deben comprimirse en un archivo .zip. El archivo hdl que define el circuito, **DEBE** llamarse de la misma forma que el archivo zip que lo contiene

Input

La entrada se debe tomar desde la entrada estandar. No hay entrada

Output

La salida debe enviarse a la salida estandar. La salida indica si el circuito paso las pruebas o no

Entradas del circuito:	Salidas del circuito:
ah: 15 bits. Los bits más significativos (bits 15-29) del primer operando al: 15 bits. Los bits menos significativos (bits 0-14) del primer operando bh: 15 bits. Los bits más significativos (bits 15-29) del segundo operando bl: 15 bits. Los bits menos significativos (bits 0-14) del segundo operando	sh: 15 bits. Los bits más significativos (bits 15-29) de la resta sl: 15 bits. Los bits menos significativos (bits 0-14) de la resta