

---

Rapport de bureau d'étude

**Réalisation d'un amplificateur de classe D**

---

Alexis NOOTENS                      Thomas ANIZET  
16139@student.ecam.be    14164@student.ecam.be

ECAM Brussels  
Promenade de l'Alma 50  
1200 Woluwe-Saint-Lambert  
Belgique

12 mai 2018

## Table des matières

<b>1</b>	<b>Introduction</b>	<b>2</b>
<b>2</b>	<b>Hypothèses de départ</b>	<b>2</b>
<b>3</b>	<b>Circuit amplificateur</b>	<b>2</b>
3.1	Modulation Sigma-Delta . . . . .	2
3.2	Amplificateur de classe D . . . . .	3
<b>4</b>	<b>Filtrage des signaux</b>	<b>3</b>
<b>5</b>	<b>Schématique du circuit</b>	<b>4</b>
5.1	Filtres d'entrées . . . . .	4
5.2	Alimentation . . . . .	5
5.3	Comparateur Sigma-Delta . . . . .	5
5.4	Étage de puissance . . . . .	6
<b>6</b>	<b>Dimensionnement</b>	<b>6</b>
6.1	Filtres d'entrées . . . . .	7
<b>7</b>	<b>Analyse du circuit</b>	<b>8</b>
7.1	Problèmes rencontrés . . . . .	8
7.2	Filtres d'entrées . . . . .	9
7.3	Performance du Sigma-Delta . . . . .	9
7.4	Performance de l'étage d'amplification . . . . .	10
<b>8</b>	<b>Conclusion</b>	<b>11</b>
<b>A</b>	<b>Schéma du circuit DIDACTRL</b>	<b>18</b>
<b>B</b>	<b>Schéma du circuit DIDAMOS</b>	<b>19</b>
<b>C</b>	<b>Schéma du circuit DIDAMO2</b>	<b>20</b>
<b>D</b>	<b>Photographie</b>	<b>21</b>

## 1 Introduction

Après avoir étudié la théorie derrière le transfert de puissance en électronique, nous avons mis à l'épreuve nos acquis théoriques dans un cas pratique en réalisant un circuit d'amplification de signaux audio analogiques. Ce circuit d'amplification appartient à la classe D, une classe exploitant la connaissance de l'électronique de puissance, pour minimiser les pertes d'énergies aux étages d'amplification. Ce document reprend notre réalisation et notre analyse du circuit.

## 2 Hypothèses de départ

Avant de s'attaquer au problème, définissons l'environnement dans lequel nous allons travailler tel que la nature du signal reçu en entrée. Notre amplificateur doit être conçu pour les signaux audio ; les signaux audio sont produits par un module convertisseur analogique-numérique (sigle CAN, ou DAC en anglais). Leur tension est asymétrique entre 0 et une référence observée habituellement à 1024 mV et leur fréquence varie entre 20 et 22 000 Hz [1]. Nous supprimerons donc les composantes fréquentielles hors de ces bornes par des filtres passe-haut et passe-bas distincts.

## 3 Circuit amplificateur

Le circuit réalisé repose sur deux modules pour amplifier le signal d'entrée : un convertisseur analogique-numérique de type Sigma-Delta, et un contrôleur de transistor MOSFET. La mise en série de ces deux modules permet de créer un amplificateur de classe D. Les sous-sections 3.1 et 3.2 définissent le principe derrière chaque module et évoquent leur raison d'être.

### 3.1 Modulation Sigma-Delta

Il existe une évolution des méthodes de modulation en pleine onde. La plus simple est la modulation de largeur d'impulsion, MLI. Voici comment elle fonctionne : depuis deux états possibles de tension, haut et bas, une période d'impulsion nommée  $\tau$ , et une durée variable de tension haute nommée  $t$ , le signal respecte la condition suivante :  $0 \leq t \leq \tau$ , soit  $t \div \tau \in [0, 1]$ . L'information modulée se situe dans le rapport de durée tension haute sur durée d'impulsion. La donnée nécessite d'être transposée au préalable dans l'intervalle entre 0 et 1. Cette modulation bénéficie de pouvoir être directement applicable comme commande d'un étage d'amplification en puissance. Elle se traduit sans opération supplémentaire en commande complètement ouverte ou complètement fermée de transistor.

Une évolution de la modulation de largeur d'impulsion est la modulation Delta. Tandis que la MLI encode l'entièreté de l'information dans son rapport cyclique à chaque période, la modulation Delta n'encode que la différence (delta) par rapport à l'information précédente. Les différences entre informations sont de taille plus petites que les informations entières. Elles sont envoyées plus rapidement. Ainsi, pour une période donnée, plus de delta pourront être envoyés que de cycles MLI complets. Le modulateur fonctionnera à une fréquence plus élevée, suréchantillonnant le signal, ce qui réduit le bruit de quantification [2] par rapport à un modulateur MLI.

La modulation Delta connecte la sortie à l'entrée pour la différentier, c'est une rétro-action. Un automaticien y reconnaîtra un contrôle en boucle fermée proportionnel, un régulateur P. Cet automaticien saura également que ces régulateurs ont le défaut de toujours avoir un décalage entre la consigne et le signal de sortie désiré, nommé « écart statique ». Ce problème se résout en ajoutant un intégrateur avant la comparaison ; ce dernier maintient la dernière valeur comparu. Cela devient un régulateur PI « proportional-integral ». Cette nouvelle modulation se nomme Sigma-Delta, puisqu'elle somme ( $\Sigma$ ) les différences ( $\Delta$ ).

Le schéma fonctionnel d'un circuit sigma-delta est présenté à la figure 1. Voici son fonctionnement : pour un signal d'entrée constant non nul, le différentiateur débute par soustraire le signal de sortie à l'entrée. Si le système est reposé, la sortie est nulle et le signal d'entrée arrive pleinement à l'intégrateur. L'intégrateur va introduire une temporisation dans le système ; le signal à la sortie de l'intégrateur grimpe progressivement de manière monotone. Ce signal arrive à l'entrée d'un comparateur qui retourne une tension soit maximale, soit minimale. C'est ce signal binaire qui est réutilisé en rétro-action. Le système va tenter de compenser le signal d'entrée avec la tension haute ou la tension basse. Cette tension

n'ayant pas de valeur intermédiaire, le système ne parviendra jamais à compenser le signal d'entrée si celui-ci se trouve entre les bornes. Le système est oscillant. L'information modulée s'encode comme les différences entre cycle tension haute-basse.



**Figure 1 :** Schématique symbolique d'un modulateur  $\Sigma$ - $\Delta$ . Le signal d'entrée « Input » est de nature analogique. Le circuit agit en boucle fermée pour compenser la différence entre entrée et sortie.

### 3.2 Amplificateur de classe D

La famille des amplificateurs contient plusieurs divisions — dénommées « classes » — selon la nature du signal en sortie. Par exemples : les amplificateurs de classe A sortent une tension sinusoïdale amplifiée sur les deux crêtes ; les amplificateurs de classe B ne laissent sortir qu'une seule crête amplifiée du sinus.

Les amplificateurs de classe D imposent des tensions aux rails d'alimentation du circuit. C'est du tout ou rien. Ils sont composés de transistor MOSFET. Les transistors MOSFET sont les favoris de l'électronique de basse puissance. Ils peuvent travailler à haute fréquence (plusieurs dizaines de kHz) et leur résistance à la conduction en saturation «  $R_{DS,ON}$  » est très faible (une centaine de  $m\Omega$  dans les basses puissances) [3]. Cette propriété donne tout son intérêt à l'amplificateur de classe D. En ouvrant ou fermant complètement les transistors pour les faire fonctionner dans leur zone saturée, on minimise la résistance de conduction. Sachant que la perte en conduction est dû à l'effet joule, et que la puissance de l'effet joule se formule comme  $P = RI^2$  [4]. Lorsque  $R$ , la résistance du transistor est minimale, la puissance  $P$  perdue à la conduction est minimisée pour une courant  $I$  donné [5]. Le principe de l'amplificateur de classe D est présenté visuellement à la figure 2. Un filtre LC peut-être placé à la suite de l'étage d'amplification pour lisser le courant et la tension [6]. Dans notre réalisation, nous considérons que le bobinage du haut-parleur lissera le courant et nous ne placerons pas d'inductance discrète.



**Figure 2 :** Schématique du principe de l'amplificateur de classe D. Le signal d'entrée analogique est modulé en commande de commutation de transistor de puissance. Le signal amplifié se trouve à l'état  $+V_{dd}$  ou  $-V_{ss}$  uniquement. Ce signal est ensuite lissé au travers d'un filtre LC pour retrouver des tensions intermédiaires.

## 4 Filtrage des signaux

À la section 2, il a été considéré que la fréquence du signal d'entrée varie entre 20 et 22 000 Hz. Pour se débarrasser des fréquences hors de cette bande, *i.e.* du bruit, nous filtrons le signal. Il existe 2 familles

de filtre selon les composants électroniques utilisés :

- **Les filtre passifs** sont réalisés avec des composants passifs uniquement : principalement des résistances, des inductances et des condensateurs. Leur gain ne peut dépasser 1.
- **Les filtres actifs** contiennent des composants actifs : des transistors et des amplificateurs opérationnels. Ils peuvent amener de la puissance et donc un gain supérieur à 1.

La réponse fréquentielle d'un filtre se définit comme l'évolution d'amplitude et de phase d'un signal le traversant en fonction de la fréquence. Le diagramme de Bode est une représentation de la réponse fréquentielle. Nous nous intéressons uniquement aux filtres passe-bas et passe-haut étant donné que ce sont les seuls utilisés dans le circuit.

- **Les filtre passe-bas** laissent passer toutes les fréquences depuis la fréquence nulle jusqu'à la fréquence de coupure et atténue toutes les fréquences supérieures qui lui sont supérieures.
- **Les filtre passe-haut** atténuent toutes les fréquences depuis la fréquence nulle jusqu'à la fréquence de coupure et laisse passer toutes celles qui lui sont supérieures.

Pour rappel, la fréquence de coupure d'un filtre, notée par la suite  $f_c$ , est la fréquence limite de fonctionnement utile de ce filtre. Elle est défini à  $-3$  dB, là où le signal perd la moitié de sa puissance. Ainsi, nous définissons deux fréquences de coupures :

- la  $f_c$  du filtre passe-bas à 22 000 Hz
- la  $f_c$  du filtre passe-haut à 20 Hz

La combinaison de ces deux filtres en série nous permettra d'obtenir une filtre passe-bande.

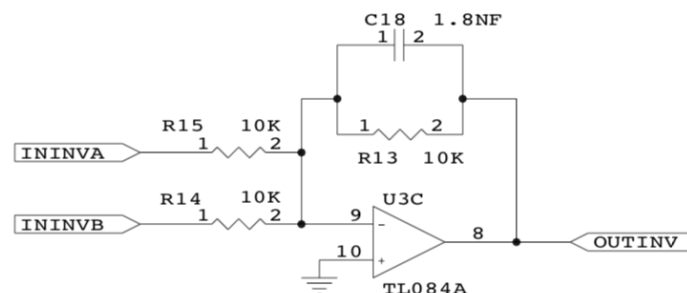
## 5 Schématique du circuit

Depuis une vue d'ensemble, le circuit que nous avons réalisé peut se diviser en trois parties : les filtres d'entrées et de pré-amplification ; le comparateur Sigma-Delta, et l'étage de puissance. Cette section présente successivement chacune de ces parties. Les schémas complets sont disponibles aux annexes.

### 5.1 Filtres d'entrées

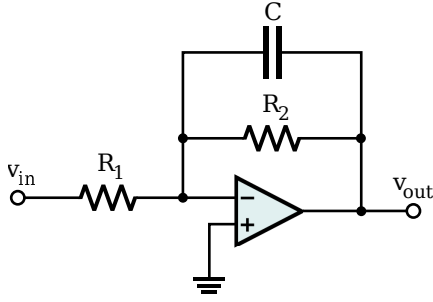
La figure 3 présente les parties de pré-amplification et de filtrage reçues au cours. Le trajet emprunté par le signal est le suivant : le signal analogique arrive sur la pin **ININVA**. La résistance **R15** n'existe pas. Étant donné la nécessité d'un filtre passe-haut, un condensateur est ajouté entre les pins **ININVA** et **ININVB**. C'est par là que le signal se dirige. Une fois le condensateur traversé, le signal rencontre la résistance **R14** puis arrive à l'entrée inverseuse d'un amplificateur opérationnel avec rétro-action (**C18** et **R13**). La sortie de cet AOP, dénommée par **OUTINV**, renvoie un signal filtré.

On peut apercevoir que le montage de filtrage et de pré-amplification n'est autre qu'une simple combinaison d'une implémentation élémentaire d'un filtre passe-haut et filtre passe-bas.



**Figure 3** : Circuit schématique du filtre d'entrée et de pré-amplification de la partie Sigma-Delta.

Afin de mieux distinguer le montage, les figures 4 et 5 présentent respectivement le circuit d'un filtre élémentaire passe-bas et d'un filtre passe-haut :



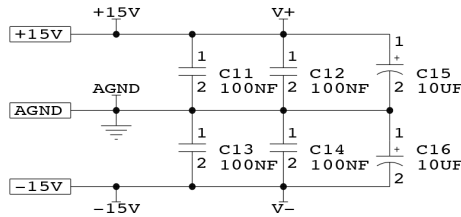
**Figure 4 :** Implémentation élémentaire d'un filtre actif passe-bas déséquilibré.



**Figure 5 :** Implémentation élémentaire d'un filtre actif passe-haut déséquilibré.

## 5.2 Alimentation

La figure 6 présente le circuit de découplage de l'alimentation. Cela ne présente que peu d'intérêt mais est énoncé pour montrer son existence.



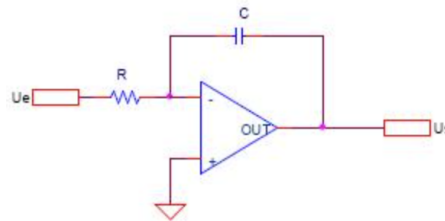
**Figure 6 :** Schématique du circuit découplage d'alimentation.

## 5.3 Comparateur Sigma-Delta

Avant de détailler le développement de la modulation sigma-delta, rappelons le principe de 2 composants essentiels à sa mise en oeuvre :

- **L'intégrateur pur** présenté à la figure 7 ci-dessous, est un montage électronique dont le signal de sortie  $V_S$  correspond à l'intégrale du signal d'entrée  $V_E$ . L'équation suivante traduit la relation d'intégration entre sortie et entrée :

$$V_S = -\frac{1}{RC} \int V_E dt \quad (1)$$



**Figure 7 :** Schématique d'un montage intégrateur pur.

- **Le comparateur** présenté à la figure 8 ci-dessous, n'est ni plus ni moins qu'un amplificateur opérationnel dont le fonctionnement est le suivant : si la tension appliquée sur l'entrée non inverseuse  $V_1$  dépasse la tension appliquée sur l'entrée inverseuse  $V_2$ , la sortie se retrouve à 1. Dans le cas contraire, la sortie se trouve à 0. La figure 9 présente la sortie du comparateur (signal vert) en fonction de ses deux entrées. L'équation suivante traduit cette relation entre l'entrée et la sortie du comparateur :

$$\begin{cases} V_S = V^+ & \text{si } V_1 > V_2 \\ V_S = 0 & \text{si } V_1 < V_2 \end{cases} \quad (2)$$

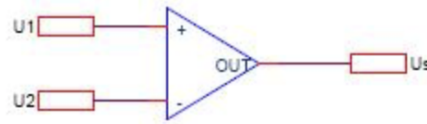


Figure 8 : Schématique d'un comparateur.

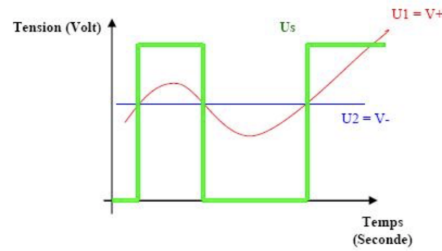


Figure 9 : Schématique d'un comparateur.

La figure 10 présente la partie logique du circuit, celle qui analyse le signal analogique et le module en commande d'ouverture de transistor. Le signal rentre par la connection **OUTINV** provenant des filtres d'entrées de pré-amplifications. À ce signal est ajouté la sortie actuelle du comparateur **VMLI** pour différencier l'erreur. Comme la sortie du comparateur est bi-state en 0 ou 15 V, sa valeur moyenne en régime permanent serait de 7,5 V. C'est vers cette valeur « neutre » que nous voulons tendre si aucun signal n'est amené à l'entrée du comparateur. Pour ce faire, nous connectons à la jonction une piste à -15 V reliée par une résistance deux fois plus grande que celles des autres connections. Cette résistance deux fois plus grande laisse passer la quantité de courant nécessaire à amener la jonction à 7,5 V au repos.

Le premier AOP **U3A** agit tel un intégrateur et intègre la différence entre la mesure et la consigne. Le second AOP **U5B** réagit en trigger de Schmitt et fixe sa sortie en bi-state  $\pm 15$  V suivant que l'erreur entre la mesure et la consigne soit positive ou négative.

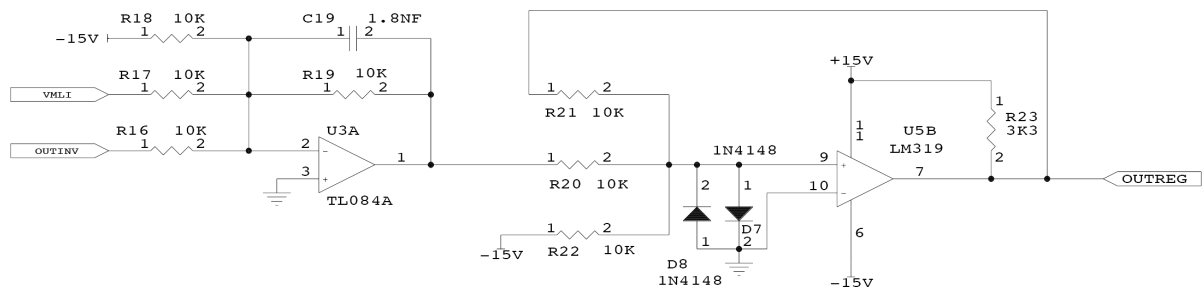


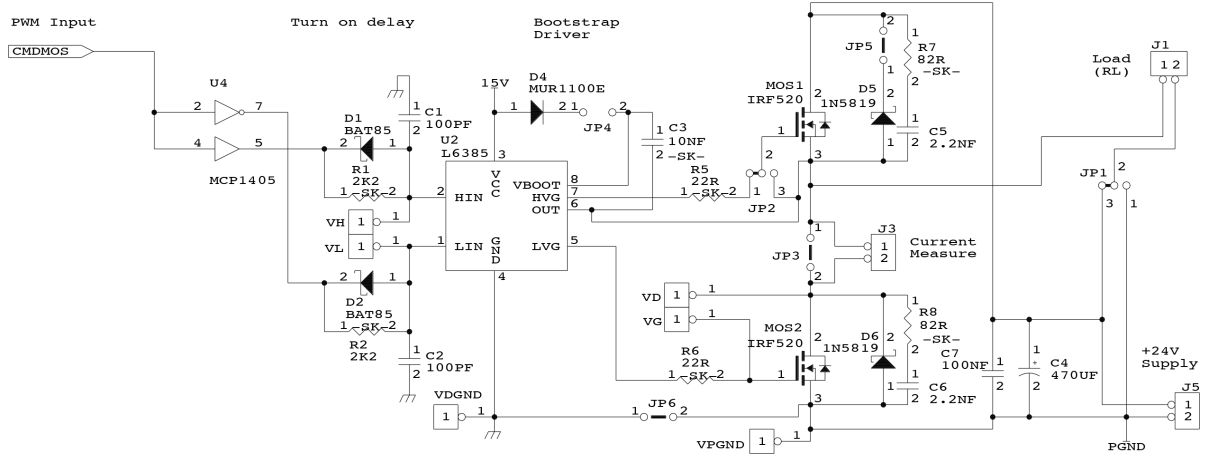
Figure 10 : Schématique du circuit de comparaison Sigma-Delta.

## 5.4 Étage de puissance

La commande d'ouverture des transistors arrive par **CMDMOS**. Ce signal est dédoublé et l'une des sortie est inversée afin de contrôler les deux transistors alternativement. Le circuit intégré **L6385** se charge de commander les grilles des transistors en y plaçant une tension adaptée grâce à son condensateur de bootstrap. Le haut-parleur, charge RL dans le circuit, est connecté à la jonction entre le transistor MOS supérieur et l'inférieur au jumper 1. Pour une raison de facilité, la source de tension 24 V située au jumper 5 est relié à la même source que le driver MOS.

## 6 Dimensionnement

Cette section aborde nos choix de composant dans la réalisation des filtres et du temps d'intégration du Sigma-Delta. Ces choix sont accompagnés de calculs appuyant nos décisions.



**Figure 11** : Schématique de l'étage de puissance, un circuit d'amplification par transistor MOS.

## 6.1 Filtres d'entrées

Pour dimensionner les composants électroniques (résistances et condensateurs) des deux filtres de l'amplificateur classe D, nous avons procédé comme suit :

*N.B.* Se référer aux figures 4 et 5 pour les notations. Les éléments R1 et C1 sont connectés entre l'entrée et la borne négative de l'AOP, les éléments R2 et C2 sont connectés à la rétro-action de cet AOP.

**Pour le filtre passe-bas** : durant le laboratoire, nous avons commencé par dimensionner le filtre passe-bas. La fréquence de coupure doit se trouver aux environs de 20 kHz. Prendre les formules théoriques permettant de calculer la fréquence de coupure et le gain de l'amplificateur :

$$f_c = \frac{1}{2\pi R_2 C_2} \quad (3)$$

$$A_v = -\frac{R_2}{R_1} \quad (4)$$

Poser comme hypothèse que nous souhaitons un gain unitaire. Cela signifie que la valeur de la résistance R1 est égale à la valeur de la résistance R2.

$$A_v = -\frac{R_2}{R_1} = -1 \quad (5)$$

Fixer une valeur standard pour R2 et réécrire la formule permettant de trouver la valeur de C2. Nous avons pris une valeur standard de 8,2 kΩ pour la résistance R2.

$$R_1 = R_2 = 8,2 \text{ k}\Omega \quad (6)$$

$$C_2 = \frac{1}{2\pi R_2 f_c} \quad (7)$$

Cherchant une valeur la plus standardisée possible pour le condensateur C2, nous devons ajuster la valeur de la fréquence de coupure dans la formule donnée précédemment. Ceci nous conduit à ajuster la fréquence de coupure à 19 400 Hz.

$$C_2 = \frac{1}{2\pi 8200 \times 19400} = 1 \text{ nF} \quad (8)$$

**Pour le filtre passe-haut** : la fréquence de coupure doit se trouver aux environs de 20 Hz. Nous connaissons déjà les valeurs standards des deux résistances R1 et R2 ainsi que du condensateur C2. Il nous reste donc à calculer la valeur standard du condensateur C1. Prendre la formule théorique permettant de calculer la fréquence de coupure

$$f_c = \frac{1}{2\pi R_2 C_1} \quad (9)$$



Réécrire la formule permettant de calculer la valeur standard de  $C_1$

$$C_1 = \frac{1}{2\pi R_2 f_c} \quad (10)$$

Connaissant la valeur de  $R_2$ , nous trouvons la valeur de  $C_1$  en ajustant la valeur de la fréquence de coupure. Nous trouvons finalement une fréquence de coupure de 18 Hz.

$$C_1 = \frac{1}{2\pi R_2 f_c} = \frac{1}{2\pi 8200 \times 18} = 1 \mu\text{F} \quad (11)$$

Le tableau 1 reprend les valeurs calculées pour les filtres passe-bas et passe-haut :

Filtre passe-bas			Filtre passe-haut		
Valeur de $R_1$ (et $R_2$ ) désirée :	8200	Ohm	Valeur de $R_1$ (et $R_2$ ) désirée :	8200	Ohm
Valeur de $C_2$ calculée :	1,00E-09	Farad	Valeur de $C_1$ calculée :	1,08E-06	Farad
Fréquence de coupure :	19400	Hz	Fréquence de coupure :	18	Hz

**Table 1** : Tableau récapitulatif des valeurs calculées pour les filtres de l'amplificateur classe D.

## 7 Analyse du circuit

Après que les éléments aient été dimensionnée, nous avons opté pour analyser le circuit en le faisant fonctionner en régime normal et en prenant des mesures en différents points. Ces mesures sont toujours, sauf si cité explicitement, en tension par rapport à la masse, elle même mise à la terre.

### 7.1 Problèmes rencontrés

Dès le premier branchement de la carte en tension symétrique  $\pm 25\text{VDC}$ , nous avons observé un appel de courant de 200 mA sur le circuit. Cette valeur était le maximum paramétré sur l'alimentation de laboratoire à notre portée. Ce courant est trop élevé pour un amplificateur au repos, c.-à-d. sans signal d'entrée. Il n'y a nul doute qu'un problème de connexion existe sur la carte.

Pour cerner le problème, nous avons connecté un ohmmètre entre les bornes d'alimentation : positive-négative, positive-neutre, neutre-négative. À ces bornes nous avons mesuré respectivement une résistance de :  $33\Omega$ ,  $9\text{k}\Omega$  et  $9\text{k}\Omega$ . C'est désormais déterminé et mesuré, il existe un défaut de connexion entre la borne positive et le neutre.

Une analyse bloc-par-bloc a permis de déterminer que le problème était le circuit intégré TC4428, un double inverseur présentant un courant de fuite de 100 mA pour une tension d'alimentation de seulement 4,3 V ; ce qui est déraisonnable et en opposition avec la fiche technique du produit. Nous en avons déduit que le composant était détruit.

Après avoir remplacé le circuit intégré TC4428, nous avons observé que la résistance entre la borne d'alimentation positive et le neutre passait de  $33\Omega$  à  $200\Omega$ , ce qui n'est toujours pas acceptable. Nous avons remplacé un second circuit intégré douteux, le L6385E, et la résistance est passée de  $200\Omega$  à  $19\text{k}\Omega$  ; ce qui est désormais raisonnable. Tout cela démontre que deux des circuits imprimés ont été détruits. Nous ne savons pas déterminer l'instant auquel cela s'est produit.

Un autre problème rencontré a été le court-circuit à chaque mesure. Cela nous a semblé surprenant mais à chaque fois que la sonde passive de l'oscilloscope avec une résistance interne de  $10\text{M}\Omega$  touchait une piste, l'alimentation de laboratoire se bloquait à la limite de courant. Secouer la carte entraînait également ce phénomène. Nous avons remplacé les soudures direct fil-à-carte en soudant des connecteurs femelles dans les jonctions mais cela n'a pas réglé le soucis. Néanmoins cela l'a rendu plus reproductible car désormais nous pouvions dire que c'était dès que le jumper J6 était connecté que le court-circuit apparaissait. Ce jumper relie la masse du circuit comparateur et celle de l'étage de puissance. Nous discutons de ce souci par la suite.

## 7.2 Filtres d'entrées

Voulant savoir si les valeurs théoriques calculées au point 6.1 conduisent à des filtres de fidèle qualité, nous les avons testé. Nous avons donc tracé, dans le diagramme de Bode de chaque filtre. Pour ce faire, nous avons utilisé :

1. **Un générateur de signaux** pour générer un signal analogique d'amplitude et fréquence connue. L'objectif est de faire varier la fréquence du signal d'entrée et d'observer les conséquences que cela a sur l'amplitude du signal de sortie.
2. **Un oscilloscope** pour mesurer les amplitudes des signaux à l'entrée du filtre et à la sortie de ce dernier.

Les tables 2 reprennent les valeurs mesurées à l'oscilloscope, à savoir tension d'entrée et tension de sortie, ainsi que le calcul du gain en décibel pour chacun des deux filtres :

Filtre passe-bas				Filtre passe-haut			
Fréquence (Hz)	Tension d'entrée (V)	Tension de sortie (V)	Gain (dB)	Fréquence (Hz)	Tension d'entrée (V)	Tension de sortie (V)	Gain (dB)
1	0,16	0,16	0	1	5,12	0,3	-24,64297413
5	0,56	0,56	0	5	5,12	1,28	-12,04119983
10	1,04	1,04	0	7,5	5,12	1,8	-9,079949117
30	5,12	5,12	0	10	5,12	2,3	-6,950842499
60	5,12	5,12	0	12,5	5,12	2,7	-5,558123936
100	5,12	5,12	0	15	5,12	3,08	-4,41438489
300	5,12	5,12	0	17,5	5,12	3,36	-3,658613672
600	5,12	5,12	0	20	5,12	3,6	-3,059349204
1000	5,12	5,12	0	22,5	5,12	3,8	-2,589727287
1500	5,12	5,12	0	25	5,12	3,96	-2,231495501
2000	5,12	5,04	-0,1367885	30	5,12	4,2	-1,720413412
3000	5,12	4,96	-0,2757657	60	5,12	4,76	-0,633260165
4000	5,12	4,96	-0,2757657	100	5,12	4,92	-0,346097164
6000	5,12	4,8	-0,5605745	300	5,12	5	-0,205999133
8000	5,12	4,56	-1,0061024	600	5,12	5,04	-0,136788491
10000	5,12	4,4	-1,3163457	1000	5,12	5,04	-0,136788491
15000	5,12	3,84	-2,4987747	3000	5,12	5,04	-0,136788491
16000	5,12	3,68	-2,8684428	6000	5,12	5,04	-0,136788491
16800	5,12	3,6	-3,0593492	10000	5,12	5,04	-0,136788491
17500	5,12	3,52	-3,2545459	30000	5,12	5,04	-0,136788491
20000	5,12	3,36	-3,6586137	60000	5,12	5,04	-0,136788491
30000	5,12	2,56	-6,0205999	100000	5,12	5,08	-0,068124974
60000	5,12	1,44	-11,018149	300000	5,12	5,08	-0,068124974
100000	5,12	0,96	-14,539975	600000	5,12	5,12	0
				1000000	5,12	5,12	0

**Table 2** : Récapitulatif des valeurs mesurées pour les filtres d'entrées.

Nous avons réalisé un script Matlab® reprenant toutes les valeurs mesurées et reprises aux tables 2 afin de représenter la réponse fréquentielle de chacun des filtres dans le diagramme de Bode. La figure 12 présente le résultat obtenu. Nous pouvons y reconnaître au gain qu'il s'agit de filtres Butterworth d'ordre 1 [7].

## 7.3 Performance du Sigma-Delta

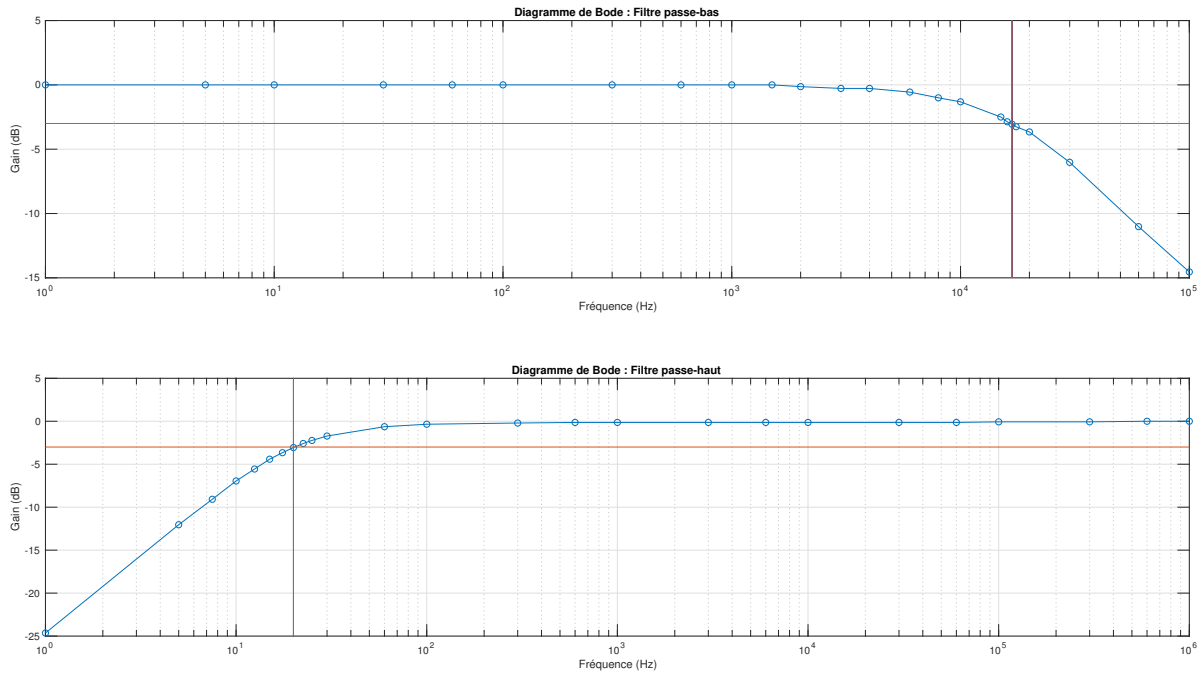
Malgré que dans son ensemble le circuit ne désire pas fonctionner, nous l'avons dument analyser afin d'en ressortir la cause. Nous abordons dans cette section les mesures effectuées sur la partie Sigma-Delta de la carte.

Avant même d'arrivée dans le comparateur, le signal est filtré par les filtres d'entrées. La figure 13 présente la capture d'un signal avant et après son passage au travers du filtre. Pour une signal sinusoïdale d'amplitude 5 Vpp avec un offset à 2,5 V à 1 kHz, le filtre :

1. Retire l'offset (centre le signal autour de 0 V) ;
2. Ne modifie pas l'amplitude ni la fréquence ;
3. Retarde la phase de  $\pi$  rad/ sec.

Ceci est exactement ce que nous attendons et désirons.

Après filtrage, le circuit arrive dans le comparateur. La figure 14 présente la comparaison entre le signal avant filtrage et l'effet de la retro-action. Nous constatons que la sortie du comparateur varie à



**Figure 12 :** Réponse fréquentielle pour les filtres passe-bas et passe-haut de l'amplificateur classe D.

chaque fois que le signal d'entrée atteint sa valeur moyenne. Avec son duty cycle de  $\pm 50\%$ , la sortie du comparateur représente bien un signal sinusoïdale.

Ceci nous amènes à regarder le signal CMDMOS à la sortie du Sigma-Delta, la figure 15 présente la sortie obtenue pour le signal sinusoïdale présenté précédemment. Nous y voyons un signal avec une flanc montant adouci et un duty cycle de 51,8% au moment de la capture. Encore une fois tout cela semble correcte, nous regardons à la suite au signal dédoublé au travers de l'inverseur TC4428. Nous y trouvons les commandes d'ouvertes des transistors qui seront transmises au driver. La figure 16 présente ces commandes. Elles y apparaissent complémentaires avec chacun cet adoucissement du flanc montant évoqué précédemment. Cet adoucissement est un effet volontaire introduit avant l'entrée des commandes dans le driver MOS. Elles ont pour but d'éviter l'ouverture simultanée des deux transistors, ce qui provoquerait un court-circuit.

De l'analyse effectuée jusqu'à présent, le circuit Sigma-Delta semble fonctionner comme désiré pour un signal sinusoïdale. Nous avons utilisé cette nature de signal car elle est de la même nature que ceux présents dans un signal audio. Mise à part que leurs fréquences et amplitudes varient. Nous en décidons que le problème rencontré énoncé dans la sous-section 7.1 ne vient pas du circuit Sigma-Delta, mais de l'étage de puissance à sa suite.

## 7.4 Performance de l'étage d'amplification

Supposant le bon fonctionnement du Sigma-Delta, que nous allons encore cependant vérifier, nous nous sommes mis à prendre des mesures autour du driver MOS et des transistors. Nous avons voulu vérifier la capacité de l'étage d'amplification à reproduire une tension DC à la sortie de la carte. Pourquoi une composante DC ? Parce que sa propriété statique rend l'interprétation des signaux mesurés très aisée.

Premièrement nous devons contourner les filtres d'entrées ; ils contiennent un passe-haut à la fréquence de 20 Hz, bloquant ainsi la composante continue. Nous en profitons pour évaluer une nouvelle fois le fonctionnement du Sigma-Delta. Les figures 17 18 19 présentent le signal CMDMOS selon la tension DC appliquée en entrée du comparateur. Nous y distinguons facilement l'échelle et les limites de comparaisons que nous reprenons dans le tableau 3. Nous sommes étonnés que le duty cycle positif diminue quand la tension DC augmente, mais dans le cas de signaux audios sinusoïdaux, inverser la tension n'influencera guère le son car cette dernière est symétrique autour de 0.

Nous en profitons pour mesurer la fréquence de comparaison du Sigma-Delta. Elle est de 171,7 kHz. C'est bien supérieur au 44 kHz nécessaire pour échantillonner du son, cela est parfait.

Tension	Duty+
7 V	3,764%
0 V	48,80%
-7 V	96,477%

**Table 3 :** Échelle de modulation MLI du Sigma-Delta pour un signal DC.

Nous pouvons donc en conclure une fois de plus que le modulateur Sigma-Delta fonctionne comme attendu. Si nous continuons sur le trajet du signal, nous arrivons à l'inverseur TC4428 dédoublant le signal et inversant une sortie. La figure 20 présente notre capture entre le signal CMDMOS d'entrée et la commande de transistor supérieur en sortie. Mise à part une légère modification d'amplitude, nous ne constatons pas de problème.

Nous partons donc mesurer les signaux de grilles des transistors supérieur et inférieur à la sortie du driver MOS. Les figures 21 et 22 présentent ces mesures. Bingo, nous avons trouvé un problème. La commande du transistor inférieur fonctionne comme attendue : de l'état bas à 0 V, elle saute à 24,25 V lorsque CMDMOS tombe à 0.

La commande du transistor supérieur est, par contre, totalement absurde. C'est une copie de la commande inférieur, avec l'ajout d'un offset de 24 V. La commande passe donc de 24 V quand CMDMOS est haut, à 30 V quand CMDMOS retombe à 0. Non seulement ses états sont l'inverse de ce qui est désiré, mais en plus son offset de 24 V est supérieur à la tension requise d'ouverture des transistors, rendant le transistor supérieur constamment ouvert.

Voilà donc où se trouve le problème entraînant le court-circuit cité à la section 7.1. Le transistor supérieur étant constamment ouvert, il amène une tension de la masse virtuelle du circuit de puissance VPGND. Quand le jumper JP6 est placé, la masse du circuit logique VDGND, qui est directement connecté au neutre de l'alimentation, se retrouve connectée à VPGND où se trouve une tension élevée du au défaut du transistor. Ceci court-circuitant l'alimentation.

Nous nous sommes dès lors intéressé au driver MOS, et en particulier à au condensateur de bootstrap. La figure 24 présente une capture des deux connecteurs du condensateur de bootstrap, sans que ce dernier ne soit connecté. Le signal CMDMOS est encore présenté pour donner une référence. On ne remarque que deux signaux malgré que trois sont affichés, les deux connections du condensateur de bootstrap sont indiscernables. À noter qu'elles sont également un offset de 24,25 V. C'est à dire que le condensateur ne voit jamais une différence de tension apparaître entre ses broches. Il est inutile.

Évidemment cela n'est pas normal, et après avoir vérifié minutieusement les pistes et soudures de la carte, nous suspectons le driver MOS L6385E d'être non fonctionnel. Celui même qui avait déjà été remplacé une fois précédemment.

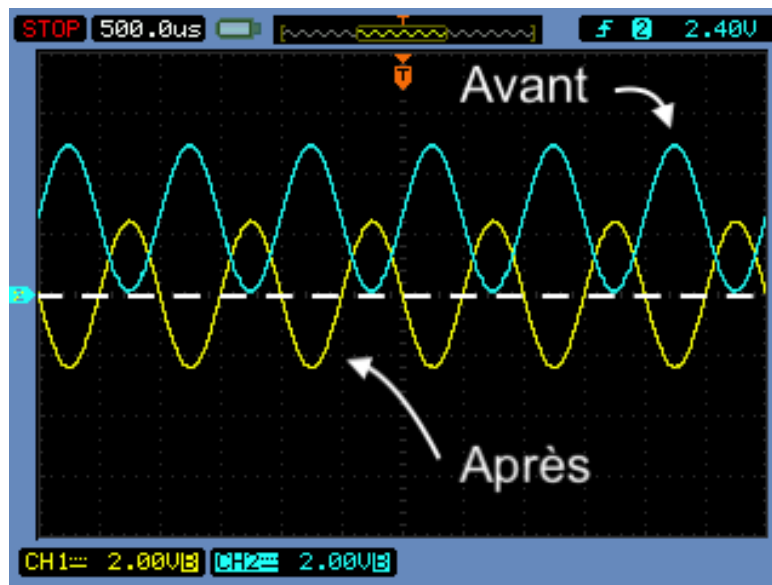
## 8 Conclusion

## Crédits

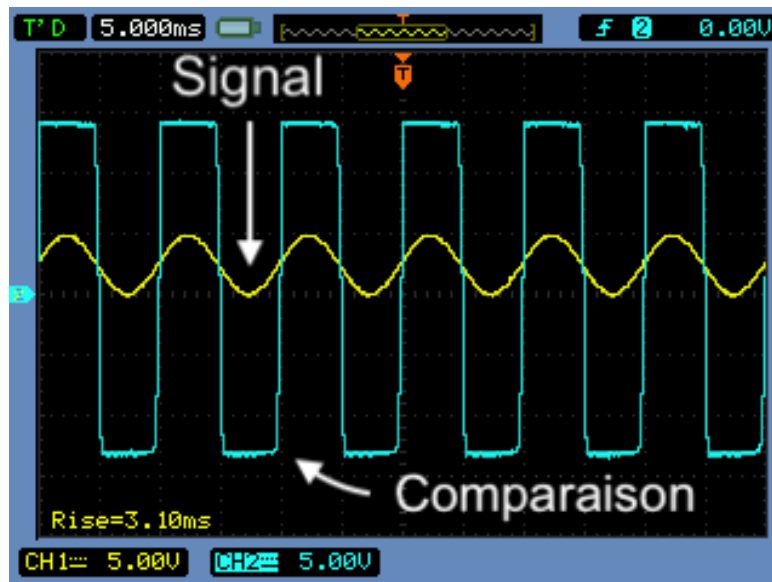
- Figure 1 provenant de :  
Le blog officiel de Texas Instrument : [https://e2e.ti.com/blogs\\_/archives/b/precisionhub/archive/2015/01/21/delta-sigma-adc-basics-understanding-the-delta-sigma-modulator](https://e2e.ti.com/blogs_/archives/b/precisionhub/archive/2015/01/21/delta-sigma-adc-basics-understanding-the-delta-sigma-modulator)
- Figure 2 provenant de :  
Par Yves-Laurent (Travail personnel) [GFDL (<http://www.gnu.org/copyleft/fdl.html>), CC-BY-SA-3.0 (<http://creativecommons.org/licenses/by-sa/3.0/>)], de Wikimedia Commons
- Figure 4 provenant de :  
Par Inductiveload (Travail personnel) [Public domain], de Wikimedia Commons
- Figure 5 provenant de :  
Par Toriicelli (Travail personnel) [Public domain], de Wikimedia Commons

## Références

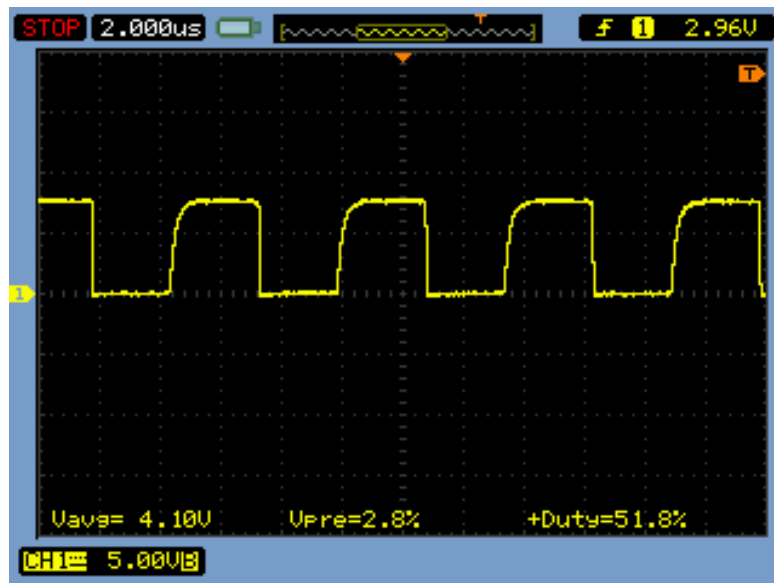
- [1] Henry E Heffner and Rickye S Heffner. Hearing ranges of laboratory animals. *Journal of the American Association for Laboratory Animal Science*, 46(1):20–22, 2007. 2
- [2] Robert M. Gray and David L. Neuhoff. Quantization. *IEEE transactions on information theory*, 44(6):2325–2383, 1998. 3.1
- [3] <https://www.infineon.com/cms/en/product/power/mosfet/20v-300v-n-channel-power-mosfet/80v-100v-n-channel-power-mosfet/irf520n/>, December 2017. 3.2
- [4] David J. Griffiths. *Introduction to Electrodynamics*. Prentice Hall, 3rd edition, 1999. 3.2
- [5] Paul Sente. *Électronique de puissance*. ECAM, 2017. 3.2
- [6] Théodore Wildi and Gilbert Sybille. *Électrotechnique*. De Boeck, 4th edition, 2005. 3.2
- [7] Paul Horowitz and Winfield Hill. *The Art of Electronics*. Cambridge University Press, 3rd edition, 2015. 7.2



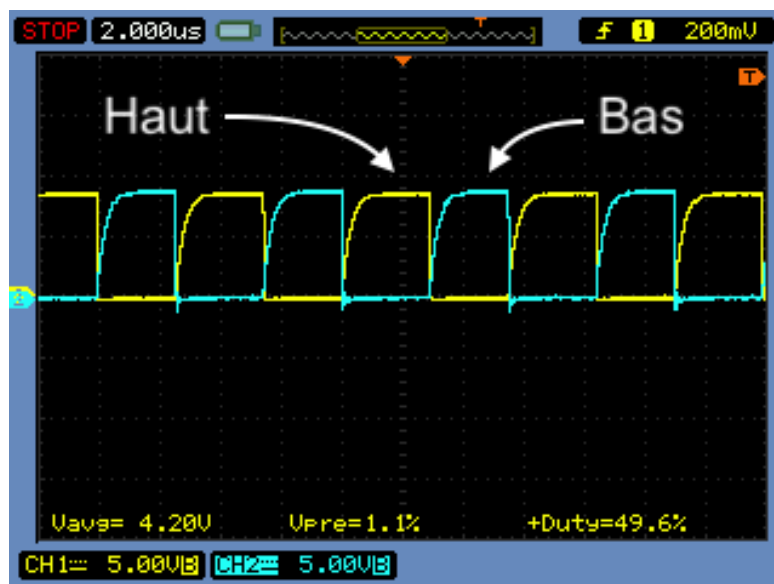
**Figure 13 :** Capture d'écran d'un oscilloscope affichant le signal capturé avant les filtres d'entrées et le signal capturé après. Au travers du filtre le signal garde son amplitude, est déphasé de  $\pi \text{ rad s}^{-1}$ , et son offset disparaît pour se centrer autour de 0.



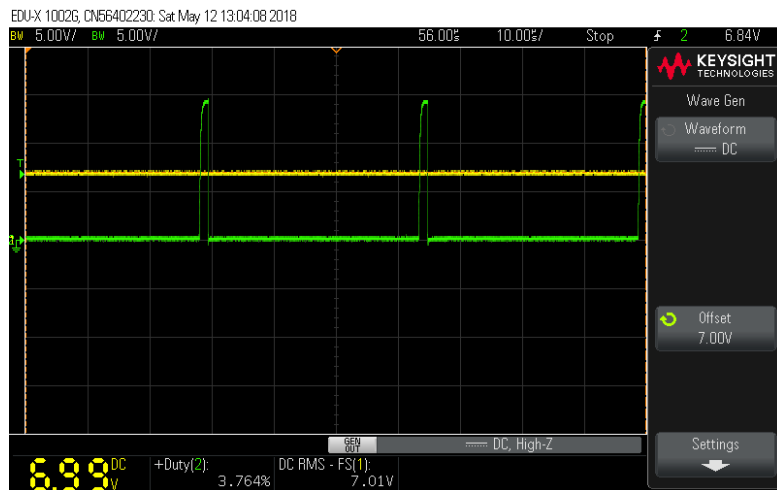
**Figure 14 :** Capture d'écran d'un oscilloscope affichant le signal capturé à l'entrée de l'amplificateur (avant filtrage) et la comparaison perçue par le  $\Sigma\text{-}\Delta$ .



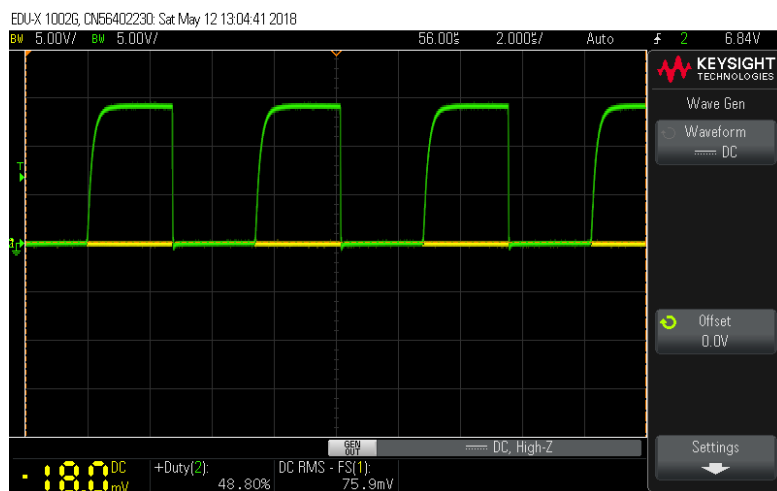
**Figure 15 :** Capture d'écran d'un oscilloscope affichant le signal CDMOS capturé à la sortie du  $\Sigma$ - $\Delta$  pour un signal d'entrée à l'amplificateur sinusoïdale. Le délai d'ouverture à la commande pour éviter la double conduction à l'étage de puissance est la raison de l'affaissement du flanc montant.



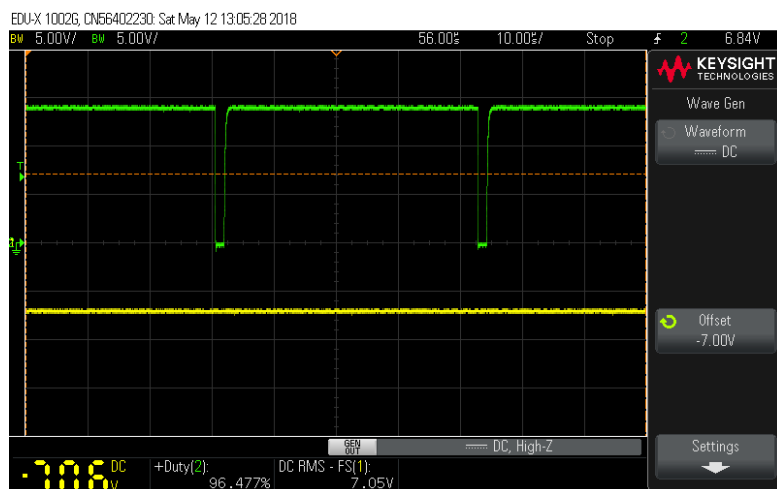
**Figure 16 :** Capture d'écran d'un oscilloscope affichant les signaux de grille des transistors MOS supérieur et inférieur à l'étage d'amplification. Ces commandes sont propres à un signal d'entrée de l'amplificateur sinusoïdale.



**Figure 17 :** Capture d'écran d'un oscilloscope affichant le signal modulé CMDMOS pour une tension d'entrée continue de 7 V. Le duty cycle est de 3,7%.

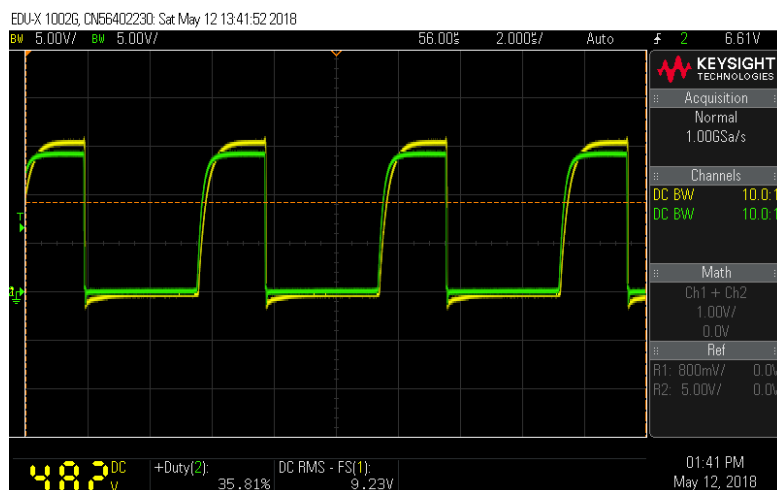


**Figure 18 :** Capture d'écran d'un oscilloscope affichant le signal modulé CMDMOS pour une tension d'entrée continue de 0 V. Le duty cycle est de 48,8%.

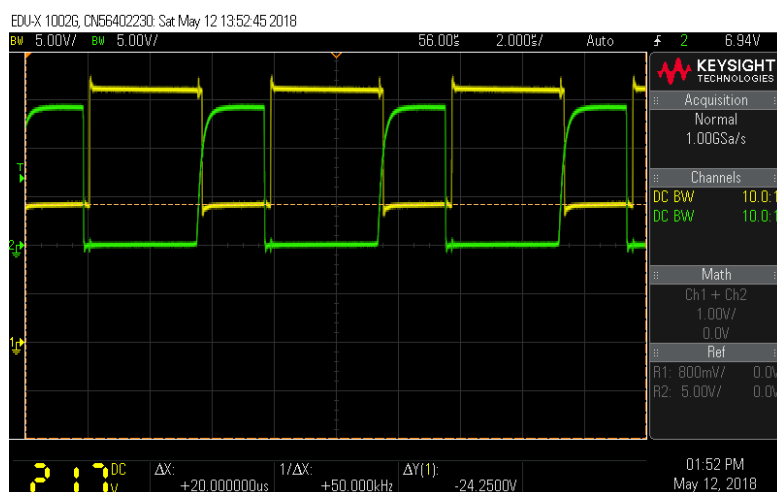


**Figure 19 :** Capture d'écran d'un oscilloscope affichant le signal modulé CMDMOS pour une tension d'entrée continue de -7 V. Le duty cycle est de 96,5%.

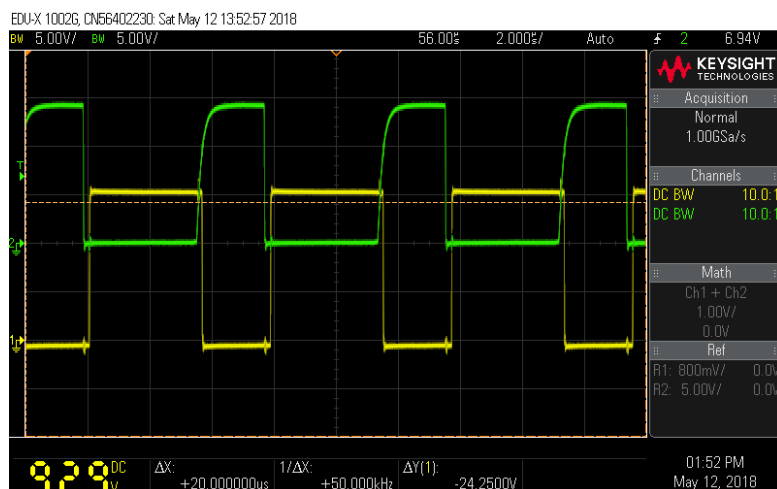




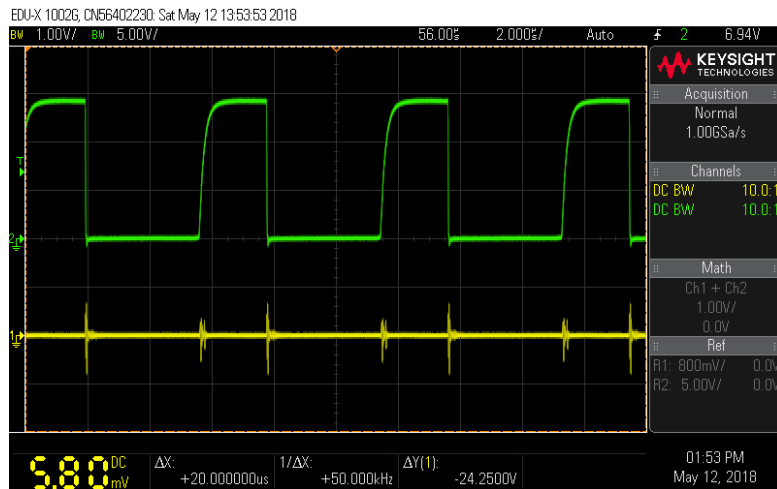
**Figure 20** : Capture d'écran d'un oscilloscope affichant la différence entre le signal modulé CMDMOS et la commande de grille du transistor supérieur. On constate que cette dernière a un léger « skew », un décalage temporel et une variation de l'amplitude.



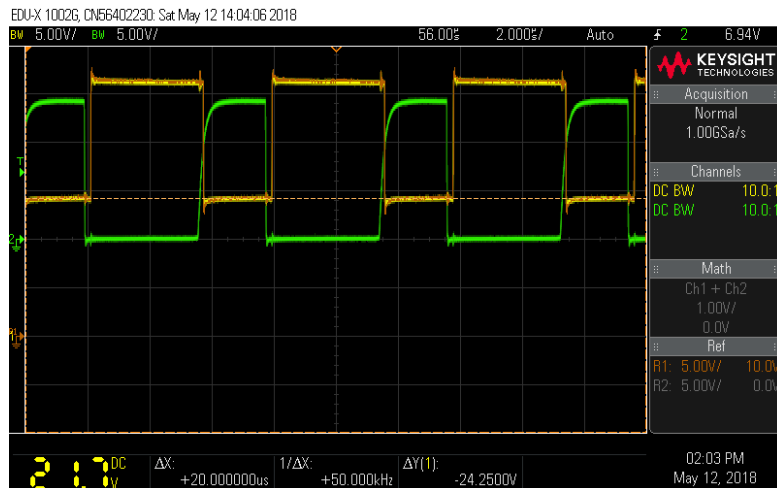
**Figure 21** : Capture d'écran d'un oscilloscope affichant le signal modulé CMDMOS et la commande d'ouverture du transistor supérieur.



**Figure 22** : Capture d'écran d'un oscilloscope affichant le signal modulé CMDMOS et la commande d'ouverture du transistor inférieur.

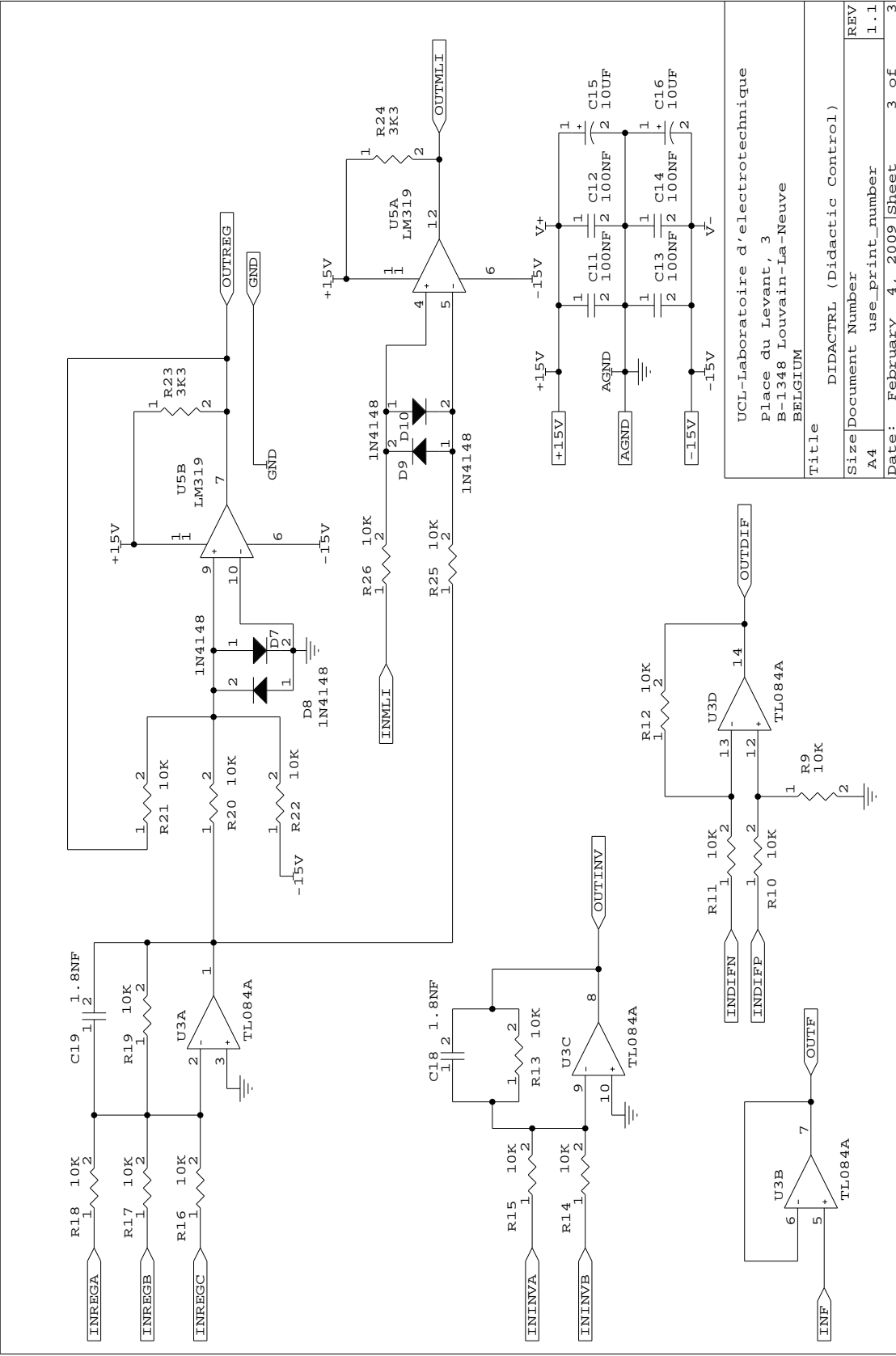


**Figure 23 :** Capture d'écran d'un oscilloscope affichant le signal modulé CMDMOS et de la pollution constatable sur la masse.



**Figure 24 :** Capture d'écran d'un oscilloscope affichant le signal modulé CMDMOS et les connections du condensateur de bootstrap sans que celui-ci ne soit présent. Les deux connections sont mélangées et indiscernable. Le condensateur ne voit pas donc de différence de tension.

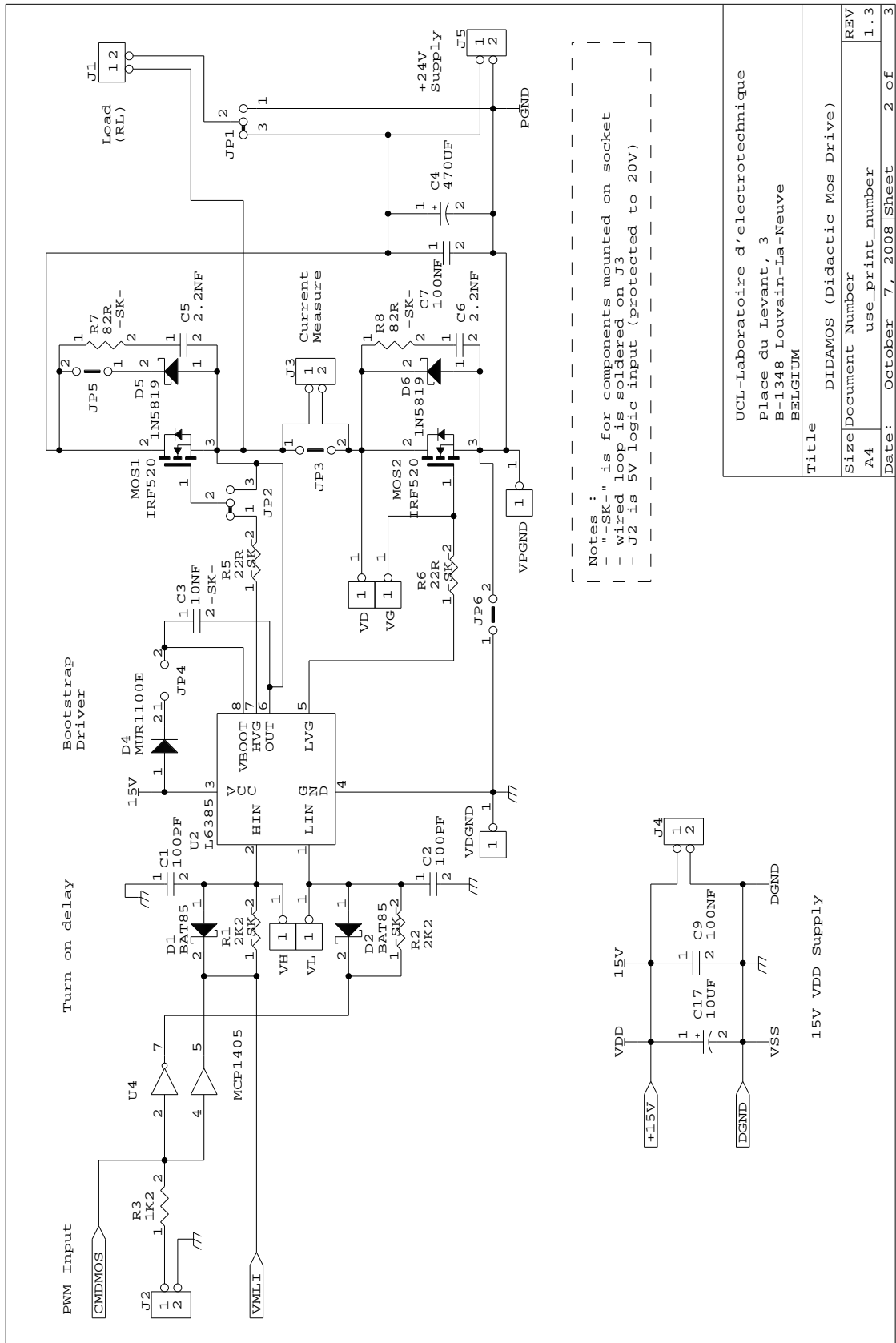
# A Schéma du circuit DIDACTRL



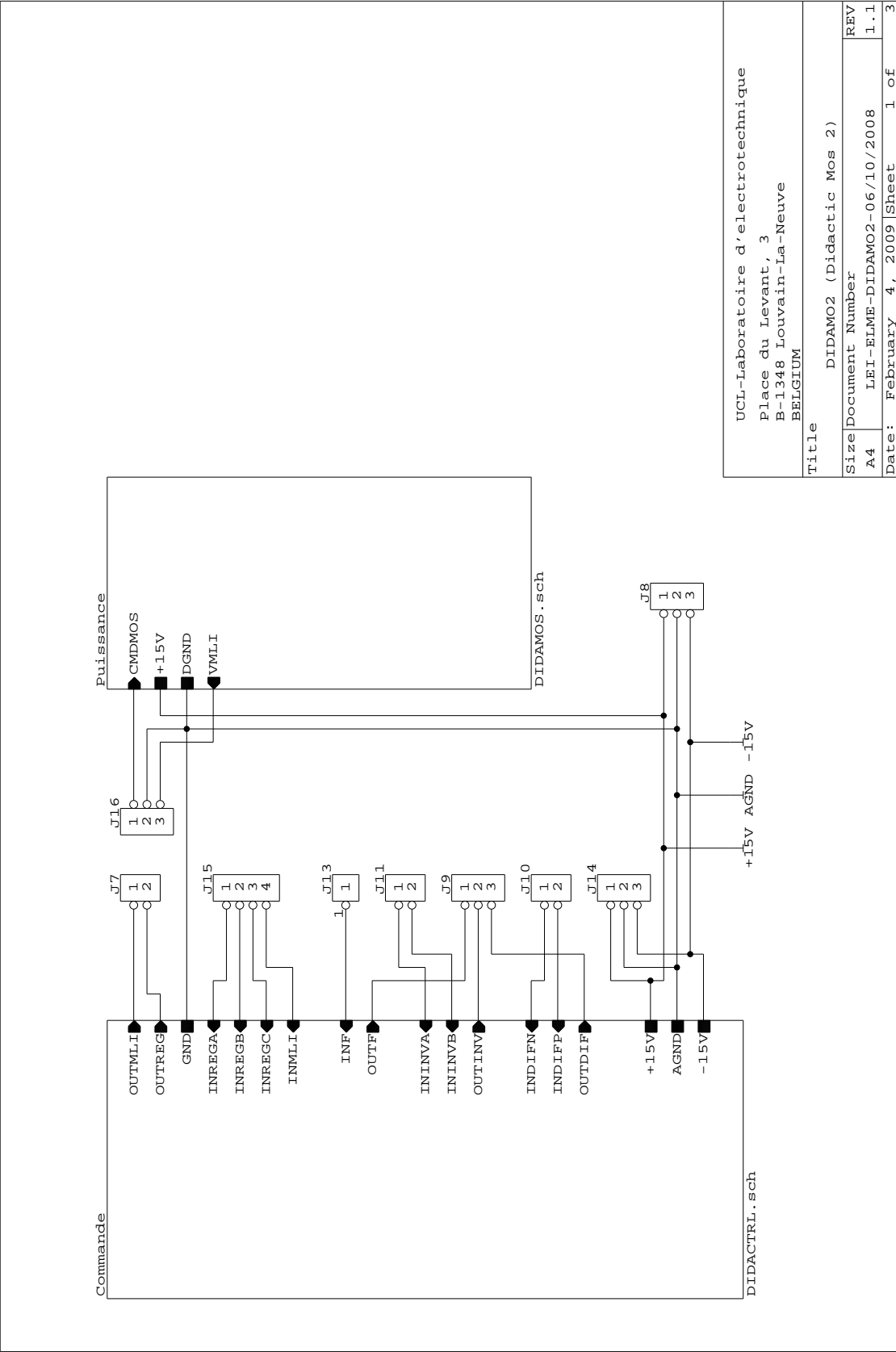
UCL-Laboratoire d'electrotechnique  
Place du Levant, 3  
B-1348 Louvain-La-Neuve  
BELGIUM

Title		DIDACTRL (Didactic Control)	
Size	Document Number	REV	
A4	use_print_number	1.1	
Date:	February 4, 2009	Sheet	3 of 3

# B Schéma du circuit DIDAMOS



C Schéma du circuit DIDAMO2



## D Photographie

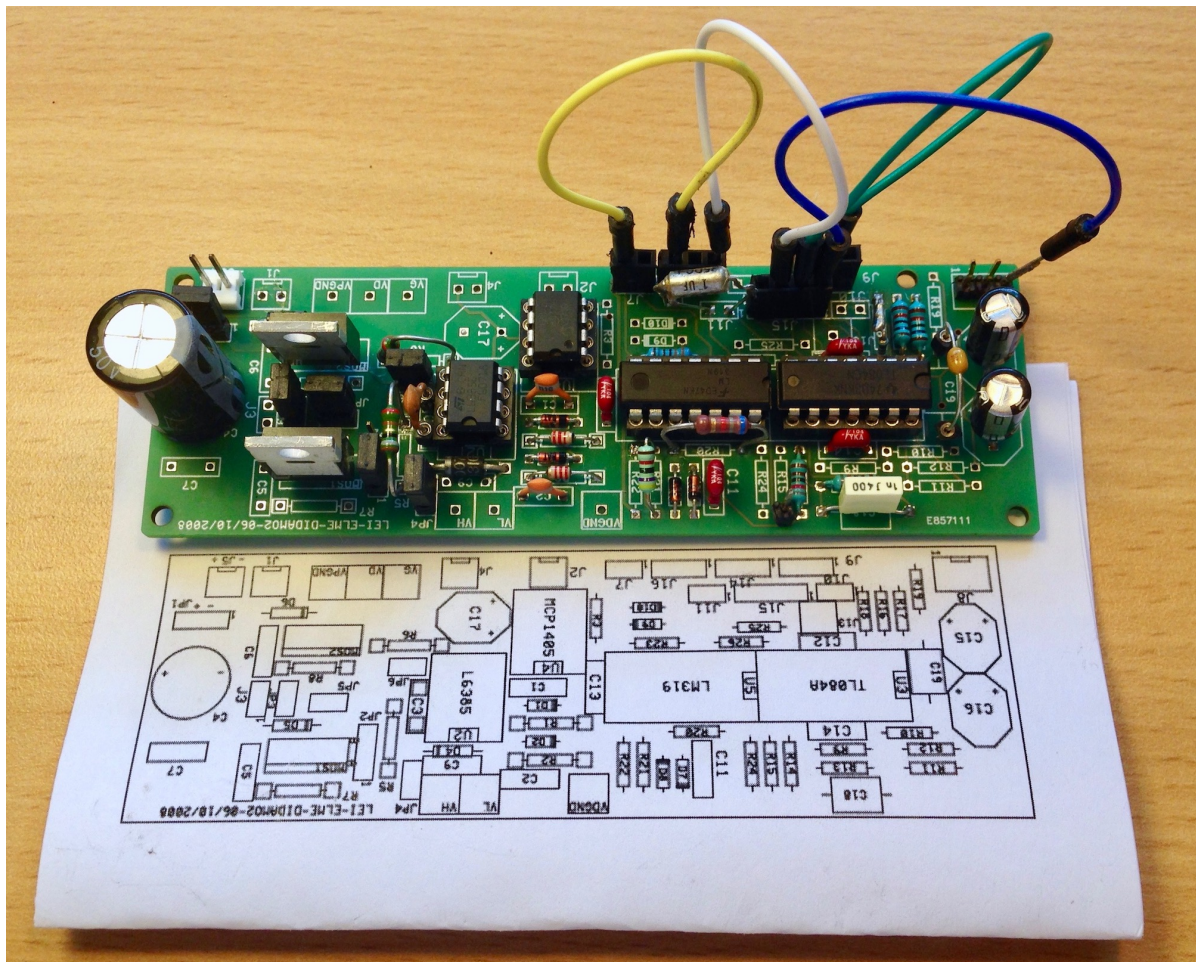


Figure 25 : Photographie prise par le dessus de la carte réalisée.