

# БРОЈАЧ МОДУЛА М = 120 СА БРОЈАЧКОМ КОМПОНЕНТОМ 74S163

## УВОД (О БРОЈАЧИМА)

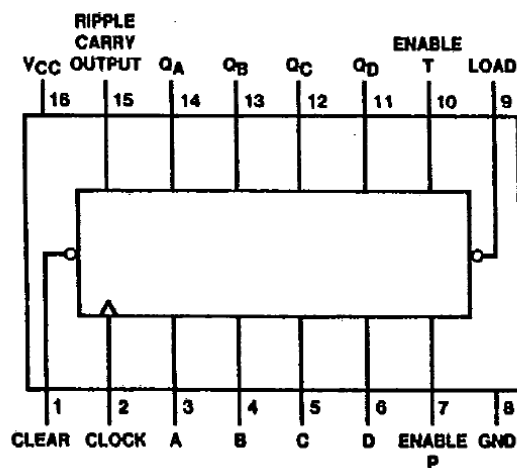
Бројачи под утицајем **улазних импулса** генеришу **бинарне комбинације** сигнала у тачно утврђеном редослиједу, након чега се враћају у почетно стање и циклус се понавља.

Зашто баш **бројачи** ? → Овим низом бројева заправо бројимо улазне импулсе.

**Модуо** (основа) бројача ? → Број различитих стања у 1 циклусу.

**Капацитет** бројача ? → Највећа децимална вриједност стања бројача

## БРОЈАЧКА КОМПОНЕНТА 74S163 (СИНХРОНИ 4-БИТНИ БРОЈАЧ)



- синхрони упис и брисање  
( када је CLR = 0, прва **активна ивица (предња)** CLK-а ће у бројач уписати све 0, без обзира на остале контрол. сигнале
- RCO излазни сигнал преноса је 1 када су сви флипфлопови бројача и ENT 1

$$RCO = ENT * Q_A * Q_B * Q_C * Q_D$$

Користи се за креирање каскадне везе бројача, тако што се RCO излаз претходног бројача доводи на улаз наредног бројача.

- ENT омогућује RCO
- ENT \* ENP = 1 омогућује бројање
- LOAD сигнал за омогућење паралелног уписа
- **A,B,C,D** улази за паралелан упис података у бројач.

## ЛОГИЧКО КОЛО БРОЈАЧА МОДУЛА 120

dec	binary	hex	dec	binary	hex	dec	binary	hex	dec	binary	hex
0	00000000	00	32	00100000	20	64	01000000	40	96	01100000	60
1	00000001	01	33	00100001	21	65	01000001	41	97	01100001	61
2	00000010	02	34	00100010	22	66	01000010	42	98	01100010	62
3	00000011	03	35	00100011	23	67	01000011	43	99	01100011	63
4	00000100	04	36	00100100	24	68	01000100	44	100	01100100	64
5	00000101	05	37	00100101	25	69	01000101	45	101	01100101	65
6	00000110	06	38	00100110	26	70	01000110	46	102	01100110	66
7	00000111	07	39	00100111	27	71	01000111	47	103	01100111	67
8	00001000	08	40	00101000	28	72	01001000	48	104	01101000	68
9	00001001	09	41	00101001	29	73	01001001	49	105	01101001	69
10	00001010	0A	42	00101010	2A	74	01001010	4A	106	01101010	6A
11	00001011	0B	43	00101011	2B	75	01001011	4B	107	01101011	6B
12	00001100	0C	44	00101100	2C	76	01001100	4C	108	01101100	6C
13	00001101	0D	45	00101101	2D	77	01001101	4D	109	01101101	6D
14	00001110	0E	46	00101110	2E	78	01001110	4E	110	01101110	6E
15	00001111	0F	47	00101111	2F	79	01001111	4F	111	01101111	6F
16	00010000	10	48	00110000	30	80	01010000	50	112	01110000	70
17	00010001	11	49	00110001	31	81	01010001	51	113	01110001	71
18	00010010	12	50	00110010	32	82	01010010	52	114	01110010	72
19	00010011	13	51	00110011	33	83	01010011	53	115	01110011	73
20	00010100	14	52	00110100	34	84	01010100	54	116	01110100	74
21	00010101	15	53	00110101	35	85	01010101	55	117	01110101	75
22	00010110	16	54	00110110	36	86	01010110	56	118	01110110	76
23	00010111	17	55	00110111	37	87	01010111	57	119	01110111	77
24	00011000	18	56	00111000	38	88	01011000	58	120	01111000	78
25	00011001	19	57	00111001	39	89	01011001	59	121	01111001	79
26	00011010	1A	58	00111010	3A	90	01011010	5A	122	01111010	7A
27	00011011	1B	59	00111011	3B	91	01011011	5B	123	01111011	7B
28	00011100	1C	60	00111100	3C	92	01011100	5C	124	01111100	7C
29	00011101	1D	61	00111101	3D	93	01011101	5D	125	01111101	7D
30	00011110	1E	62	00111110	3E	94	01011110	5E	126	01111110	7E
31	00011111	1F	63	00111111	3F	95	01011111	5F	127	01111111	7F

Бројач модула  $M = 120$  ће да броји од 0000 0000 – 0111 0111 тј. 0 – 119

- **A,B,C,D** улази обе компоненте се везују да кодују бинарну вриједност 0000

- Када се бројачка мрежа нађе у стању  $M-1 = 119$  помоћна мрежа основних логичких кола ће обезбиједити да се са наредним импулсом тактног сигнала излаз мреже постави у почетно стање 0000. Прецизније говорећи, када се дође до стања 119, преко декодерске мреже пребацијемо бројачку мрежу у режим синхроног паралелног уписа. Следећа активна ивица тактног импулса у флип-флопове бројача уписује све 0 јер су A,B,C,D улази везани на нулти логички ниво.

