

Задатак 1.

Пројектовати склоп за управљање једносмјерним мотором са припадајућим управљачким сигнаlima.

Реализовати задатак коришћењем софтверског пакета Quartus или у GHDL-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Химзо Хрнчић

Задатак 2.

Пројектовати двосмјерни бројач од $N1 = 6$ до $N2 = 12$ помоћу JK флип-флопова. JK флип флоп реализовати као компоненту која ће бити у корисничком пакету.

Кориснички пакет позвати у оквиру *work* библиотеке у главном ентитету.

Реализовати задатак коришћењем софтверског пакета Quartus или у GHDL-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Никола Копања 1283/15

Задатак 3.

Са бројачком компонентом 74S163 пројектовати бројач модула $M=60$. Бројачку компоненту реализовати као компоненту која ће бити у корисничком пакету.

Кориснички пакет позвати у оквиру *work* библиотеке у главном ентитету.

Реализовати задатак коришћењем софтверског пакета Quartus или у GHDL-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Никола Миловановић

Задатак 4.

Примјеном теорије коначних аутомата стања пројектовати систем за управљање семафором. За свако свјетло на семафору везан је одређени тајмер који има стање 0 и 1. Промјена свјетла је могућа само ако одговарајући тајмер има вриједност 1. Свако стање тајмера траје одређени број периода вањског тактног сигнала.

Реализовати задатак коришћењем софтверског пакета Quartus или у GHDL-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и

изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Наташа Милјевић 1197/19

Задатак 5.

Примјеном теорије коначних аутомата стања пројектовати синхрони декадни бројач са D флип флоповима у коду 2421. Нацртати дијаграм стања са укљученим понашањем на илегалне комбинације

Реализовати задатак коришћењем софтверског пакета Quartus или у GHDL-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Младен Писић 11136/18

Задатак 6.

Пројектовати 12-битни универзални компаратор са 4-битним модулима.

Четверобитни универзални компаратор реализовати као компоненту која ће бити у корисничком пакету. Кориснички пакет позвати у оквиру *work* библиотеке у главном ентитету.

Реализовати задатак коришћењем софтверског пакета Quartus или у GHDL-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Бојан Божић 11123/18

Задатак 7.

Пројектовати Џонсонов бројач модула $M=6$ и декодер његових стања.

Одговарајући помјерачки регистар и декодер реализовати као компоненте које ће бити у корисничком пакету. Кориснички пакет позвати у оквиру *work* библиотеке у главном ентитету.

Реализовати задатак коришћењем софтверског пакета Quartus или у GHDL-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Милица Руњо 1218/16

Задатак 8.

Пројектовати 8-битни сабирач са издвојеним преносом са 2 4-битним модула. Четверобитни сабирач са издвојеним преносом реализовати као компоненту која ће бити у корисничком пакету. Кориснички пакет позвати у оквиру *work* библиотеке у главном ентитету.

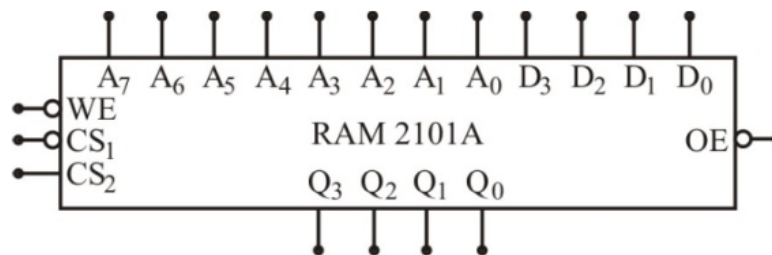
Реализовати задатак коришћењем софтверског пакета Quartus или у GHDL-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Николина Јокић

Задатак 9.

Пројектовати RAM 256x8 са компонентом RAM 2101A 256x4 приказаној на слици 1.

Реализовати задатак коришћењем софтверског пакета Quartus или у GHDL-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.



Слика 1.

Наташа Лекић

Задатак 10.

Примјеном декодера 74НС138 и двосмјерних прекидача пројектовати 8-битни мултиплексор и 8-улазни демултиплексор. Декодер 74НС138 и двосмјерни прекидач реализовати као компоненту која ће бити у корисничком пакету.

Кориснички пакет позвати у оквиру *work* библиотеке у главном ентитету.

Реализовати задатак коришћењем софтверског пакета Quartus или у GHDL-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Тања Поповић 1218/17

Задатак 11.

Пројектовати једносатни кухињски тајмер. Уређај треба да има тастере/прекидаче за покретање и заустављање тајмера, као и за подешавање жељеног временског интервала за алармирање.

Реализовати задатак коришћењем софтверског пакета Quartus или у GHDL-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Адриана Радонић 1218/17

ЗАДАТАК 12.

Пројектовати аритметичко-логичку јединицу која ради са два осмобитна податка. Операције које треба да извршава су сабирање, одузимање и множење и поређење бројева.

Реализовати задатак коришћењем софтверског пакета Quartus или у GHDL-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Дајана Легеновић

ЗАДАТАК 13.

Пројектовати 20 битну *помножи и сабери* јединицу (енг. Multiply and accumulate - MAC). Размотрити употребу *look-up* табеле и како се дизајн може унаприједити да ради брже. Примјер сличне имплементације је у приложеном линку.

www.mass-talent.ca/uploads/3/9/3/0/3930953/multiply_accumulator_design.pdf

Реализовати задатак коришћењем софтверског пакета Quartus или у GHDL-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Мирјана Лазаревић 1196/19

ЗАДАТАК 14.

Пројектовати JK флип-флоп осјетљив на растућу ивицу.

Са таквим флип-флопом затим реализовати помјерачку регистар у лијево са припадајућим контролним сигнаlima.

Реализовати задатак коришћењем софтверског пакета Quartus или у GHDL-у,

исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Божана Савковић 1226/17

ЗАДАТАК 15.

Пројектовати Д флип-флоп осјетљив на растућу ивицу.

Са таквим флип-флопом затим реализовати кружни помјерачки регистар у десно са припадајућим контролним сигнаlima.

Реализовати задатак коришћењем софтверског пакета Quartus или у GHDL-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Јована Божић 1236/19

ЗАДАТАК 16.

Пројектовати 2 битни полу-сабирач. Затим кориштењем полусабирача пројектовати 2 битни потпуни сабирач. Кориштење 2 битног потпуног сабирача направити 6 битни потпуни сабирач.

Реализовати задатак коришћењем софтверског пакета Quartus или у GHDL-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Никола Цетић 1117/19

ЗАДАТАК 17.

Пројектовати склоп за управљање корачним мотором са припадајућим управљачким сигнаlima.

Реализовати задатак коришћењем софтверског пакета Quartus или у GHDL-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Емануела Бугаоник 1209/18

ЗАДАТАК 18.

Пројектовати систем за множење матрица. Сваки елемент матрице је 16 битни број. Матрице могу бити максималне величине 32x32.

Реализовати задатак коришћењем софтверског пакета Quartus или у GHDL-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Рајко Јотановић 1204/18

ЗАДАТАК 19.

Пројектовати систем који има могућност да прими и да шаље податке преко UART комуникационог протокола. Имати у виду да UART протокол може да ради у full-duplex режиму.

За приказ исправног функционисања направити функционалност да уређај враћа претходно примљени бајт. Дакле, у првој инстанци уређај прима један бајт (и враћа неку вриједност која се налази у меморији), затим у другој инстанци прима нови бајт али истовремено враћа претходно примљени, у трећој и свакој слjedeћој понављају се кораци из друге инстанце.

Реализовати задатак коришћењем софтверског пакета Quartus или у GHDL-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Немања Ченић 1161/19

ЗАДАТАК 20.

Примјеном теорије коначних аутомата стања, пројектовати систем који има могућност да прими и шаље податке као **slave** уређај преко I2C протокола. Уређај треба да има своју адресу на коју се одазива. Уређај прима осмобитну меморијску адресу у чији садржај се може уписивати или са које се може читати, у зависности од тога шта мастер уређај захтјева.

Реализовати задатак коришћењем софтверског пакета Quartus или у GHDL-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.