

Coding style

Organizacija dizajna
Naziv <naziv>.vhd fajla treba da bude isti kao i naziv strukture definisan unutar fajla (entiteta, konfiguracije i paketa), sa sufiksom <naziv>_tb za testbench, <naziv>_pk za paket i <naziv>_cf za konfiguraciju.
Unutar jednog fajla trebada bude definisana samo jedna struktura (entitet/arhitektura, konfiguracija, paket)
Komentari
Svaki fajl treba da ima zaglavlje definisano na sljedeći način: <pre>-- Company : ETF Banja Luka (Digitalna elektronika) -- Author : <ime i prezime> -- Date : <datum> -- Description : <kratak opis dizajna></pre>
Svaki port entiteta treba da ima komentar (u jednoj liniji), koji objašnjava funkcionalnost porta: <pre>-- kontrolni signal count_enable : 1 omogućenje 0 onemogućenje brojanja count_enable : in std_logic;</pre>
Svaki konkurentni iskaz treba da ima komentar (dodjela, uslovna dodjela when else, with select)
Svaki proces treba da ima komentar sa kojim se ukratko objašnjava funkcionalnost procesa
Nazivi
Naziv signala treba da bude definisan sa prefiksom s_<naziv> <pre>signal s_data : std_logic_vector(7 downto 0);</pre>
Naziv varijabli treba da bude definisan sa prefiksom v_<naziv> <pre>variable v_control : std_logic;</pre>
Naziv reset signala i portova treba da bude definisan na način reset_<naziv>_n aktivan na logičku nulu ili bez sufiksa reset_<naziv> aktivan na logičku jedinicu. Naziv je opcioni, u zavisnosti od broja reset signala u dizajnu. <pre>signal reset : std_logic; signal reset n : std_logic;</pre>
Naziv takt signala i portova treba da bude definisan clk_<naziv>. Naziv je opcioni, u zavisnosti od broja takt signala u dizajnu. <pre>signal clk_100 : std_logic; signal clk : std_logic;</pre>
Naziv procesa (labela) treba da bude definisan proc_<naziv>. Naziv predstavlja skraćenicu za opis funkcionalnosti procesa.