

UNIVERZITET U BANJOJ LUCI
Elektrotehnički fakultet
Katedra za elektroniku
Osma vježba iz Digitalne elektronike

Urađenu vježbu *uploadovati* na eLearning stranicu kursa (moodle). Za urađenu vježbu smatra se gotov VHDL kod i testbenč za isti, kao i slika vremenskih dijagrama koji se dobijaju simulacijom.

1. U VHDL jeziku potrebno je projektovati jedno-portnu RAM memoriju. Veličina RAM memorije je 128 bajtova. Entitet treba da posjeduje ulaz za taktni signal, magistralu za RAM podatke, ulaz za omogućenje upisa podataka u RAM, magistralu za postavljanje adrese.