

UNIVERZITET U BANJOJ LUCI
Elektrotehnički fakultet
Katedra za elektroniku
Treća vježba iz Digitalne elektronike

Urađenu vježbu *uploadovati* na eLearning stranicu kursa (moodle). Za urađenu vježbu smatra se gotov VHDL kod i testbenč za isti, kao i slika vremenskih dijagrama koji se dobijaju simulacijom.

1. Projektovati VHDL kod kojim se opisuje ponašanje RS, JK, D i T flip-flopova. Za napisane VHDL kodove napisati odgovarajući testbenč i izvršiti simulaciju.