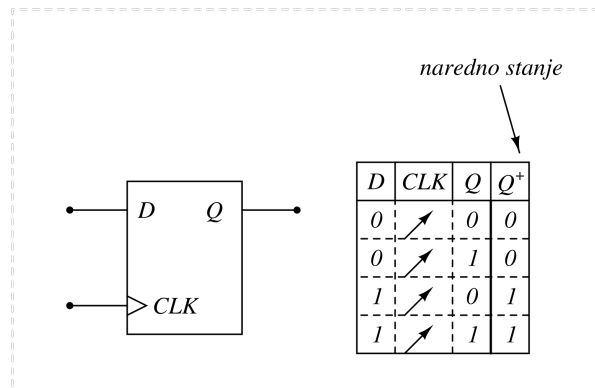


UNIVERZITET U BANJOJ LUCI
Elektrotehnički fakultet
Katedra za elektroniku
Šesta vježba iz Digitalne elektronike

Urađenu vježbu *uploadovati* na eLearning stranicu kursa (moodle). Za urađenu vježbu smatra se gotov VHDL kod i testbenč za isti, kao i slika vremenskih dijagrama koji se dobijaju simulacijom.

Stacionarni i pomjerački registri se realizuju pomoću D flip-flopa. Simbol D flip-flopa i njegove funkcionalne tabele je prikazan na slici [slici 1](#).

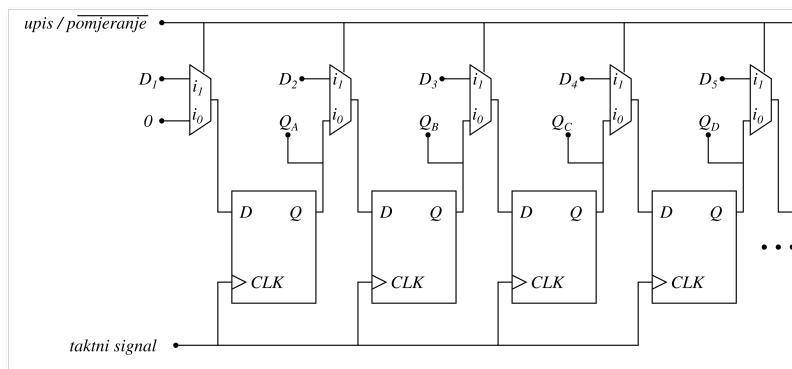


Slika 1: Simbol D flip-flopa i njegova funkcionalna tabela

Flip-flopi imaju dodatni ulaz kojim se njihovi izlazi resetuju. Taj ulaz može biti osjetljiv na visok logični nivo ili na nizak logički nivo (zavisi kako se projektuje). Na vama je da u VHDLu implementirate i taj ulaz i na taj način obezbjedite sinhroni reset.

Stacionarni registar se realizuje upotrebom više nezavisnih D flip-flopa. (postave se jedan pored drugog i to čini stacionarni registar). Kolo za omogućenje upisa je dvoulazno I kolo čiji se izlaz spaja na *D* ulaz flip-flopa. Na jedan ulaz *I* kola se dovodi bit koji želi da se upiše, a na drugi ulaz se dovodi *enable* signal.

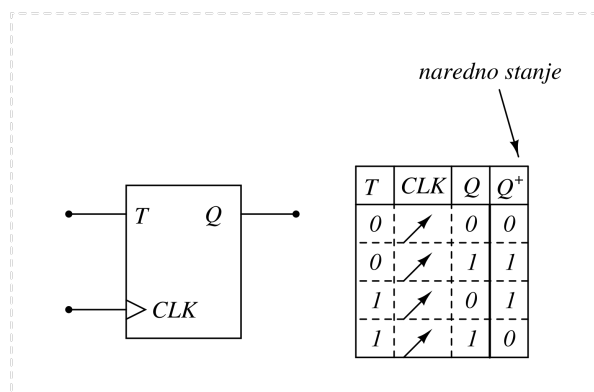
Pomjrački registri se realizuju takođe pomoću D flip-flopa, ali u ovom slučaju je potrebno koristiti i multipleksor. Blok dijagram pomjračkog registra u lijevo sa mogućnošću upisa je prikazan na slici [slici 2](#).



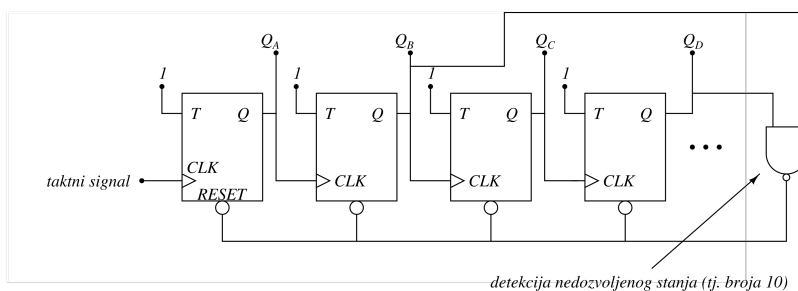
Slika 2: Sinhroni pomjerački registar

Dekadni brojač je brojač modula 10 (on binarno broji 0, 1, 2, 3, ..., 9 nakon čega se sekvenca ponavlja). Ovakav brojač se najlakše realizuje kao asinhroni brojač (ovo ne znači da asinhroni brojač ne može imati sinhroni reset). Asinhroni brojač se realizuje pomoću T flip-flopa. Simbol T flip-flopa je prikazan na slici 3. Blok dijagram asinhronog brojača koji može da broji unaprijed do 9 nakon čega se resetuje je prikazan na slici 4. Brojač koristi dvoulazno *NILI* logičko kolo za detekciju nedozvoljenog stanja.

Da biste uradili 3. zadatak potrebno je da brojač sa slike 4 nadogradite multipleksorima jer time možete postići tražene funkcionalnosti zadatka.



Slika 3: Simbol T flip-flopa i njegova funkcionalna tabela



Slika 4: Asinhroni brojač modula 10

Zadaci:

1. Projektovati 10 bitni stacionarni registar sa mogućnošću omogućenja upisa u registar (*enable* signal). Registar ima sinhroni reset aktivan na logičku jedinicu (kada se dovede logička jedinica na taj ulaz, registar se resetuje).
2. Projektovati 6 bitni pomjerački registar sa asihronim resetom aktivnim na logičku nulu. Registar treba da ima četiri moda rada (kontrolisan dvobitnim ulaznim signalom mode): pomjeranje ulijevo, pomjeranje udesno, paralelan upis i čuvanje prethodne vrijednosti.
3. Projektovati dekadni brojač sa sinhronim resetom aktivnim na logičku jedinicu. Brojač treba da ima mogućnost kontrole smjera brojanja (unaprijed ili unazad).