

## CARACTERISTICAS

- Conversión precisa de rms a cc de 50 Hz a 6 GHz
- Rango dinámico de entrada de un solo extremo de  $> 50$  dB
- No requiere ajuste de balun o entrada externa
- Detección de potencia de RF independiente de la forma de onda y la modulación
- Salida lineal en decibelios, escalada: 52 mV / dB
- Error de conformidad de registro:  $< \pm 0,15$  dB
- Estabilidad de temperatura:  $< \pm 0,5$  dB
- Rango de suministro de voltaje: 4,5 V a 5,5 V
- Rango de temperatura de funcionamiento:  $-40^{\circ}\text{C}$  a  $+125^{\circ}\text{C}$
- Capacidad de apagado hasta 1,5 mW
- Tamaño reducido, 4 mm  $\times$  4 mm, LFCSP

## APLICACIONES

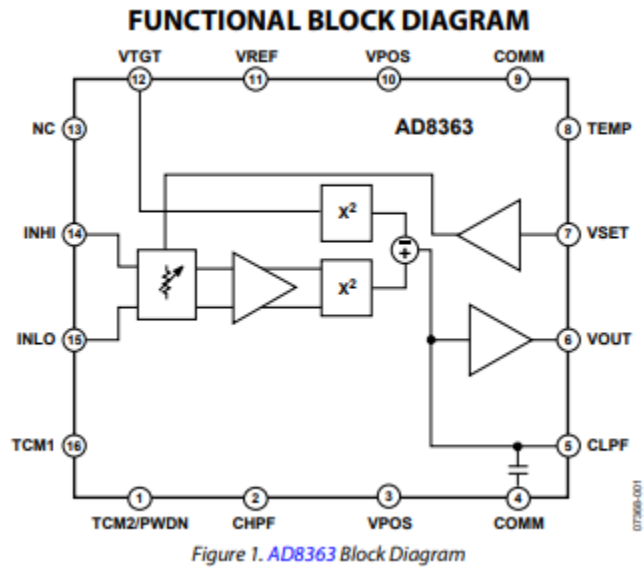
Linealización del amplificador de potencia / bucles de control Infraestructura inalámbrica multiestándar y portadora múltiple (MCGSM, CDMA, WCDMA, TD-SCDMA, WiMAX, LTE) Control de potencia del transmisor Indicación de la intensidad de la señal del transmisor (TSSI) Instrumentación de RF.

## DESCRIPCION GENERAL

El AD8363 es un verdadero detector de potencia de respuesta eficaz que puede activarse directamente con una fuente de 50  $\Omega$  de un solo extremo. Esta característica hace que la frecuencia AD8363 sea versátil al eliminar la necesidad de un balun o cualquier otra forma de sintonización de entrada externa para operar hasta 6 GHz.

El AD8363 proporciona una medición de potencia precisa, independiente de la forma de onda, para una variedad de sistemas de instrumentación y comunicación de alta frecuencia. Al requerir solo un suministro de 5 V y algunos condensadores, es fácil de usar y proporciona una alta precisión de medición. El AD8363 puede operar desde frecuencias arbitrariamente bajas hasta 6 GHz y puede aceptar entradas que tienen valores rms desde menos de -50 dBm hasta al menos 0 dBm, con grandes factores de cresta que exceden los requisitos para una medición precisa de WiMAX, CDMA, W-CDMA, Señales TD-SCDMA, multiportadora GSM y LTE.

El AD8363 puede determinar la potencia real de una señal de alta frecuencia que tiene una envolvente de modulación de baja frecuencia compleja, o puede usarse



como un voltímetro rms simple de baja frecuencia. La esquina de paso alto generada por su bucle de anulación de compensación interna se puede bajar mediante un condensador agregado en el pin CHPF.

Usado como dispositivo de medición de potencia, VOUT está conectado a VSET. Entonces, la salida es proporcional al logaritmo del valor rms de la entrada. La lectura se presenta directamente en decibelios y se escala convenientemente a 52 mV / dB, o aproximadamente 1 V por década; sin embargo, otras pendientes se arreglan fácilmente. En el modo de controlador, el voltaje aplicado a VSET determina el nivel de potencia requerido en la entrada para anular la desviación del punto de ajuste. El búfer de salida puede proporcionar altas corrientes de carga. El AD8363 tiene un consumo de energía de 1,5 mW cuando se apaga mediante una lógica alta aplicada al pin TCM2 / PWDN. Se enciende dentro de unos 30  $\mu\text{s}$  hasta su corriente de funcionamiento nominal de 60 mA a  $25^{\circ}\text{C}$ . El AD8363 está disponible en un LFCSP de 16 derivaciones de 4 mm  $\times$  4 mm para su funcionamiento en el rango de temperatura de  $-40^{\circ}\text{C}$  a  $+125^{\circ}\text{C}$ . También está disponible una placa de evaluación totalmente equipada que cumple con RoHS.

## ESPECIFICACIONES

VPOS = 5 V,  $T_A = 25^\circ\text{C}$ ,  $Z_O = 50\ \Omega$ , variador de entrada de un solo extremo, VOUT conectado a VSET, VTGT = 1.4 V, CLPF=3.9 nF, CHPF = 2.7 nF, error referido a la línea de mejor ajuste (regresión lineal) de -20 dBm a -40 dBm, a menos que se indique lo contrario.

Table 1.

Parameter	Conditions	Min	Typ	Max	Unit
OVERALL FUNCTION					
Maximum Input Frequency				6	GHz
RF INPUT INTERFACE	INHI (Pin 14), INLO (Pin 15), ac-coupled				
Input Resistance	Single-ended drive		50		$\Omega$
Common-Mode DC Voltage			2.6		V
100 MHz	TCM1 (Pin 16) = 0.47 V, TCM2 (Pin 1) = 1.0 V, INHI input				
Output Voltage: High Power In	$P_{IN} = -10\text{ dBm}$		2.47		V
Output Voltage: Low Power In	$P_{IN} = -40\text{ dBm}$		0.92		V
$\pm 1.0\text{ dB}$ Dynamic Range	CW input, $T_A = 25^\circ\text{C}$				
	3-point calibration at 0 dBm, -10 dBm, and -40 dBm		64		dB
	Best-fit (linear regression) at -20 dBm and -40 dBm		65		dB
Maximum Input Level, $\pm 1.0\text{ dB}$			9		dBm
Minimum Input Level, $\pm 1.0\text{ dB}$			-56		dBm
Deviation vs. Temperature	Deviation from output at $25^\circ\text{C}$				
	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$ ; $P_{IN} = -10\text{ dBm}$		-0.2/+0.3		dB
	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$ ; $P_{IN} = -40\text{ dBm}$		-0.5/+0.6		dB
Logarithmic Slope			51.7		mV/dB
Logarithmic Intercept			-58		dBm
Deviation from CW Response	13 dB peak-to-rms ratio (W-CDMA), over 40 dB dynamic range		$<\pm 0.1$		dB
	12 dB peak-to-rms ratio (WiMAX), over 40 dB dynamic range		$<\pm 0.1$		dB
	14.0 dB peak-to-rms ratio (16C CDMA2K), over 40 dB dynamic range		$<\pm 0.1$		dB
	256 QAM, CF = 8 dB, over 40 dB dynamic range		$<\pm 0.1$		dB
Input Impedance	Single-ended drive		49 - j0.09		$\Omega$
900 MHz	TCM1 (Pin 16) = 0.5 V, TCM2 (Pin 1) = 1.2 V, INHI input				
Output Voltage: High Power In	$P_{IN} = -15\text{ dBm}$		2.2		V
Output Voltage: Low Power In	$P_{IN} = -40\text{ dBm}$		0.91		V
$\pm 1.0\text{ dB}$ Dynamic Range	CW input, $T_A = 25^\circ\text{C}$				
	3-point calibration at 0 dBm, -10 dBm, and -40 dBm		60		dB
	Best-fit (linear regression) at -20 dBm and -40 dBm		54		dB
Maximum Input Level, $\pm 1.0\text{ dB}$			-2		dBm
Minimum Input Level, $\pm 1.0\text{ dB}$			-56		dBm
Deviation vs. Temperature	Deviation from output at $25^\circ\text{C}$				
	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$ ; $P_{IN} = -15\text{ dBm}$		+0.6/-0.4		dB
	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$ ; $P_{IN} = -40\text{ dBm}$		+0.8/-0.6		dB
Logarithmic Slope			51.8		mV/dB
Logarithmic Intercept			-58		dBm
Deviation from CW Response	13 dB peak-to-rms ratio (W-CDMA), over 40 dB dynamic range		$<\pm 0.1$		dB
	12 dB peak-to-rms ratio (WiMAX), over 40 dB dynamic range		$<\pm 0.1$		dB
	14.0 dB peak-to-rms ratio (16C CDMA2K), over 40 dB dynamic range		$<\pm 0.1$		dB
	256 QAM, CF = 8 dB, over 40 dB dynamic range		$<\pm 0.1$		dB
Input Impedance	Single-ended drive		60 - j3.3		$\Omega$

Parameter	Conditions	Min	Typ	Max	Unit
1.9 GHz	TCM1 (Pin 16) = 0.52 V, TCM2 (Pin 1) = 0.51 V, INHI input				
Output Voltage: High Power In	$P_{IN} = -15$ dBm		2.10		V
Output Voltage: Low Power In	$P_{IN} = -40$ dBm		0.8		V
$\pm 1.0$ dB Dynamic Range	CW input, $T_A = 25^\circ\text{C}$				
	3-point calibration at 0 dBm, $-10$ dBm, and $-40$ dBm		56		dB
	Best-fit (linear regression) at $-20$ dBm and $-40$ dBm		48		dB
Maximum Input Level, $\pm 1.0$ dB			$-6$		dBm
Minimum Input Level, $\pm 1.0$ dB			$-53$		dBm
Deviation vs. Temperature	Deviation from output at $25^\circ\text{C}$				
	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$ ; $P_{IN} = -15$ dBm		$+0.3/-0.5$		dB
	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$ ; $P_{IN} = -40$ dBm		$+0.4/-0.4$		dB
Logarithmic Slope			52		mV/dB
Logarithmic Intercept			$-55$		dBm
Deviation from CW Response	13 dB peak-to-rms ratio (W-CDMA), over 37 dB dynamic range		$\pm 0.1$		dB
	12 dB peak-to-rms ratio (WiMAX), over 37 dB dynamic range		$\pm 0.1$		dB
	14.0 dB peak-to-rms ratio (16C CDMA2K), over 37 dB dynamic range		$\pm 0.1$		dB
	256 QAM, CF = 8 dB, over 37 dB dynamic range		$\pm 0.1$		dB
Input Impedance	Single-ended drive		$118 - j26$		$\Omega$
2.14 GHz	TCM1 (Pin 16) = 0.52 V, TCM2 (Pin 1) = 0.6 V, INHI input				
Output Voltage: High Power In	$P_{IN} = -15$ dBm		2.0		V
Output Voltage: Low Power In	$P_{IN} = -40$ dBm		0.71		V
$\pm 1.0$ dB Dynamic Range	CW input, $T_A = 25^\circ\text{C}$				
	3-point calibration at 0 dBm, $-10$ dBm and $-40$ dBm		55		dB
	Best-fit (linear regression) at $-20$ dBm and $-40$ dBm		44		dB
Maximum Input Level, $\pm 1.0$ dB			$-8$		dBm
Minimum Input Level, $\pm 1.0$ dB			$-52$		dBm
Deviation vs. Temperature	Deviation from output at $25^\circ\text{C}$				
	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$ ; $P_{IN} = -15$ dBm		$+0.1/-0.2$		dB
	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$ ; $P_{IN} = -40$ dBm		$+0.3/-0.5$		dB
Logarithmic Slope			52.2		mV/dB
Logarithmic Intercept			$-54$		dBm
Deviation from CW Response	13 dB peak-to-rms ratio (W-CDMA), over 35 dB dynamic range		$\pm 0.1$		dB
	12 dB peak-to-rms ratio (WiMAX), over 35 dB dynamic range		$\pm 0.1$		dB
	14.0 dB peak-to-rms ratio (16C CDMA2K), over 35 dB dynamic range		$\pm 0.1$		dB
	256 QAM, CF = 8 dB, over 35 dB dynamic range		$\pm 0.1$		dB
Rise Time	Transition from no input to 1 dB settling at $RF_{IN} = -10$ dBm, $C_{LPF} = 390$ pF, $C_{HPF} = \text{open}$		3		$\mu\text{s}$
Fall Time	Transition from $-10$ dBm to within 1 dB of final value (that is, no input level), $C_{LPF} = 390$ pF, $C_{HPF} = \text{open}$		15		$\mu\text{s}$
Input Impedance	Single-ended drive		$130 - j49$		$\Omega$
2.6 GHz	TCM1 (Pin 16) = 0.54 V, TCM2 (Pin 1) = 1.1 V, INHI input				
Output Voltage: High Power In	$P_{IN} = -15$ dBm		1.84		V
Output Voltage: Low Power In	$P_{IN} = -40$ dBm		0.50		V
$\pm 1.0$ dB Dynamic Range	CW input, $T_A = 25^\circ\text{C}$				
	3-point calibration at 0 dBm, $-10$ dBm and $-40$ dBm		50		dB
	Best-fit (linear regression) at $-20$ dBm and $-40$ dBm		41		dB
Maximum Input Level, $\pm 1.0$ dB			$-7$		dBm
Minimum Input Level, $\pm 1.0$ dB			$-48$		dBm
Deviation vs. Temperature	Deviation from output at $25^\circ\text{C}$				
	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$ ; $P_{IN} = -15$ dBm		$+0.5/-0.2$		dB
	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$ ; $P_{IN} = -40$ dBm		$+0.6/-0.2$		dB

Parameter	Conditions	Min	Typ	Max	Unit
Logarithmic Slope			52.9		mV/dB
Logarithmic Intercept			-49		dBm
Deviation from CW Response	13 dB peak-to-rms ratio (W-CDMA), over 32 dB dynamic range		±0.1		dB
	12 dB peak-to-rms ratio (WiMAX), over 32 dB dynamic range		±0.1		dB
	14.0 dB peak-to-rms ratio (16C CDMA2K), over 32 dB dynamic range		±0.1		dB
	256 QAM, CF = 8 dB, over 32 dB dynamic range		±0.1		dB
Input Impedance	Single-ended drive		95 - j65		Ω
3.8 GHz	TCM1 (Pin 16) = 0.56 V, TCM2 (Pin 1) = 1.0 V, INLO input				
Output Voltage: High Power In	P <sub>IN</sub> = -20 dBm		1.54		V
Output Voltage: Low Power In	P <sub>IN</sub> = -40 dBm		0.54		V
±1.0 dB Dynamic Range	CW input, T <sub>A</sub> = 25 °C				
	3-point calibration at 0 dBm, -10 dBm and -40 dBm		50		dB
	Best-fit (linear regression) at -20 dBm and -40 dBm		43		dB
Maximum Input Level, ±1.0 dB			-5		dBm
Minimum Input Level, ±1.0 dB			-48		dBm
Deviation vs. Temperature	Deviation from output at 25 °C				
	-40 °C < T <sub>A</sub> < +85 °C; P <sub>IN</sub> = -20 dBm		+0.1/-0.7		dB
	-40 °C < T <sub>A</sub> < +85 °C; P <sub>IN</sub> = -40 dBm		+0.4/-0.5		dB
Logarithmic Slope			50.0		mV/dB
Logarithmic Intercept			-51		dBm
Deviation from CW Response	13 dB peak-to-rms ratio (W-CDMA), over 32 dB dynamic range		±0.1		dB
	12 dB peak-to-rms ratio (WiMAX), over 32 dB dynamic range		±0.1		dB
	14.0 dB peak-to-rms ratio (16C CDMA2K), over 32 dB dynamic range		±0.1		dB
	256 QAM, CF = 8 dB, over 32 dB dynamic range		±0.1		dB
Input Impedance	Single-ended drive		42 - j4.5		Ω
5.8 GHz	TCM1 (Pin 16) = 0.88 V, TCM2 (Pin 1) = 1.0 V, INLO input				
Output Voltage: High Power In	P <sub>IN</sub> = -20 dBm		1.38		V
Output Voltage: Low Power In	P <sub>IN</sub> = -40 dBm		0.36		V
±1.0 dB Dynamic Range	CW input, T <sub>A</sub> = 25 °C				
	3-point calibration at 0 dBm, -10 dBm and -40 dBm		50		dB
	Best-fit (linear regression) at -20 dBm and -40 dBm		45		dB
Maximum Input Level, ±1.0 dB			-3		dBm
Minimum Input Level, ±1.0 dB			-48		dBm
Deviation vs. Temperature	Deviation from output at 25 °C				
	-40 °C < T <sub>A</sub> < +85 °C; P <sub>IN</sub> = -20 dBm		+0.1/-0.6		dB
	-40 °C < T <sub>A</sub> < +85 °C; P <sub>IN</sub> = -40 dBm		+0.3/-0.8		dB
Logarithmic Slope			51.1		mV/dB
Logarithmic Intercept			-47		dBm
Deviation from CW Response	13 dB peak-to-rms ratio (W-CDMA), over 32 dB dynamic range		±0.1		dB
	12 dB peak-to-rms ratio (WiMAX), over 32 dB dynamic range		±0.1		dB
	14.0 dB peak-to-rms ratio (16C CDMA2K), over 32 dB dynamic range		±0.1		dB
	256 QAM, CF = 8 dB, over 32 dB dynamic range		±0.1		dB
Input Impedance	Single-ended drive		28 + j1.6		Ω
OUTPUT INTERFACE	VOUT (Pin 6)				
Output Swing, Controller Mode	Swing range minimum, R <sub>L</sub> ≥ 500 Ω to ground		0.03		V
	Swing range maximum, R <sub>L</sub> ≥ 500 Ω to ground		4.8		V
Current Source/Sink Capability	Output held at V <sub>POS</sub> /2			10/10	mA
Voltage Regulation	I <sub>LOAD</sub> = 8 mA, source/sink		-0.2/+0.1		%
Rise Time	Transition from no input to 1 dB settling at RF <sub>IN</sub> = -10 dBm, C <sub>LPF</sub> = 390 pF, C <sub>HFP</sub> = open		3		μs

Parameter	Conditions	Min	Typ	Max	Unit
Fall Time	Transition from -10 dBm to within 1 dB of final value (that is, no input level), $C_{LPF} = 390$ pF, $C_{HPF} = \text{open}$		15		$\mu\text{s}$
Noise Spectral Density	Measured at 100 kHz		45		nV/ $\sqrt{\text{Hz}}$
SETPOINT INPUT	VSET (Pin 7)				
Voltage Range	Log conformance error $\leq 1$ dB, minimum 2.14 GHz Log conformance error $\leq 1$ dB, maximum 2.14 GHz		2.0 0.7		V V
Input Resistance			72		k $\Omega$
Logarithmic Scale Factor	$f = 2.14$ GHz, $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$		19.2		dB/V
Logarithmic Intercept	$f = 2.14$ GHz, $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ , referred to 50 $\Omega$		-54		dBm
TEMPERATURE COMPENSATION	TCM1 (Pin 16), TCM2 (Pin 1)				
Input Voltage Range		0		2.5	V
Input Bias Current, TCM1	$V_{TCM1} = 0$ V $V_{TCM1} = 0.5$ V $V_{TCM1} > 0.7$ V		-140 80 5		$\mu\text{A}$ $\mu\text{A}$ k $\Omega$
Input Resistance, TCM1	$V_{TCM2} = 5$ V		2		$\mu\text{A}$
Input Current, TCM2	$V_{TCM2} = 4.5$ V $V_{TCM2} = 1$ V $V_{TCM2} = 0$ V		750 -2 -3		$\mu\text{A}$ $\mu\text{A}$ $\mu\text{A}$
Input Resistance, TCM2	$0.7\text{ V} \leq V_{TCM2} \leq 4.0\text{ V}$		500		k $\Omega$
VOLTAGE REFERENCE	VREF (Pin 11)				
Output Voltage	$R_{FIN} = -55$ dBm		2.3		V
Temperature Sensitivity	$25^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$ $70^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$ $-40^\circ\text{C} \leq T_A \leq +25^\circ\text{C}$		0.04 -0.06 -0.18		mV/ $^\circ\text{C}$ mV/ $^\circ\text{C}$ mV/ $^\circ\text{C}$
Current Source/Sink Capability	$25^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$ $-40^\circ\text{C} \leq T_A < +25^\circ\text{C}$			4/0.05 3/0.05	mA mA
Voltage Regulation	$T_A = 25^\circ\text{C}$ , $I_{LOAD} = 3$ mA		-0.6		%
TEMPERATURE REFERENCE	TEMP (Pin 8)				
Output Voltage	$T_A = 25^\circ\text{C}$ , $R_L \geq 10$ k $\Omega$		1.4		V
Temperature Coefficient	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ , $R_L \geq 10$ k $\Omega$		5		mV/ $^\circ\text{C}$
Current Source/Sink Capability	$25^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$ $-40^\circ\text{C} \leq T_A < +25^\circ\text{C}$			4/0.05 3/0.05	mA mA
Voltage Regulation	$T_A = 25^\circ\text{C}$ , $I_{LOAD} = 3$ mA		-0.1		%
RMS TARGET INTERFACE	VTGT (Pin 12)				
Input Voltage Range		1.4		2.5	V
Input Bias Current	$V_{TGT} = 1.4$ V		14		$\mu\text{A}$
Input Resistance			100		k $\Omega$
POWER-DOWN INTERFACE	TCM2 (Pin1)				
Logic Level to Enable	VPWDN decreasing		4.2		V
Logic Level to Disable	VPWDN increasing		4.7		V
Input Current	$V_{TCM2} = 5$ V $V_{TCM2} = 4.5$ V $V_{TCM2} = 1$ V $V_{TCM2} = 0$ V		2 750 -2 -3		$\mu\text{A}$ $\mu\text{A}$ $\mu\text{A}$ $\mu\text{A}$
Enable Time	TCM2 low to $V_{OUT}$ at 1 dB of final value, $C_{LPF} = 470$ pF, $C_{HPF} = 220$ pF, $R_{FIN} = 0$ dBm		35		$\mu\text{s}$
Disable Time	TCM2 high to $V_{OUT}$ at 1 dB of final value, $C_{LPF} = 470$ pF, $C_{HPF} = 220$ pF, $R_{FIN} = 0$ dBm		25		$\mu\text{s}$
POWER SUPPLY INTERFACE	VPOS (Pin 3, Pin 10)				
Supply Voltage		4.5	5	5.5	V
Quiescent Current	$T_A = 25^\circ\text{C}$ , $R_{FIN} = -55$ dBm $T_A = 85^\circ\text{C}$		60 72		mA mA
Power-Down Current	$V_{TCM2} > V_{POS} - 0.3$ V		300		$\mu\text{A}$

INDICES MAXIMOS ABSOLUTOS

Table 2.

Parameter	Rating
Supply Voltage, VPOS	5.5 V
Input Average RF Power <sup>1</sup>	21 dBm
Equivalent Voltage, Sine Wave Input	2.51 V rms
Internal Power Dissipation	450 mW
$\theta_{JC}^2$	10.6 °C/W
$\theta_{JB}^2$	35.3 °C/W
$\psi_{JA}^2$	57.2 °C/W
$\psi_{JT}^2$	1.0 °C/W
$\psi_{JB}^2$	34 °C/W
Maximum Junction Temperature	150 °C
Operating Temperature Range	−40 °C to +125 °C
Storage Temperature Range	−65 °C to +150 °C
Lead Temperature (Soldering, 60 sec)	300 °C

<sup>1</sup> This is for long durations. Excursions above this level, with durations much less than 1 second, are possible without damage.  
<sup>2</sup> No airflow with the exposed pad soldered to a 4-layer JEDEC board.

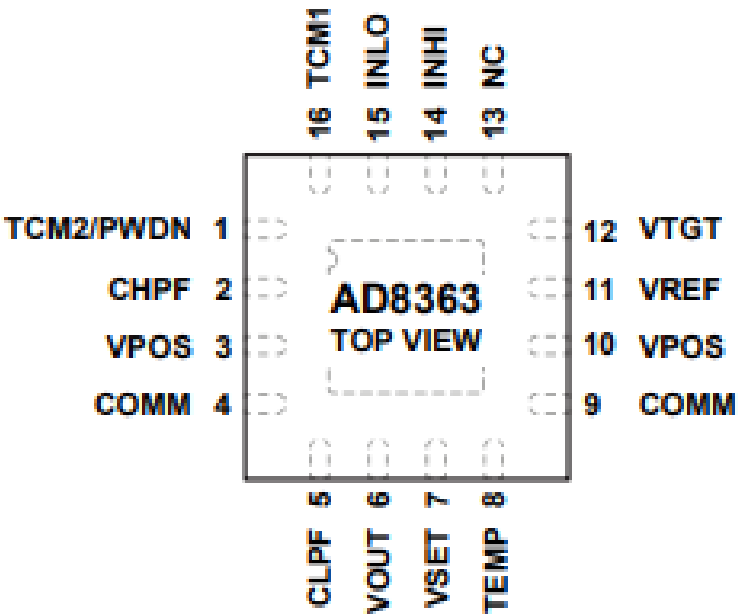
Las tensiones iguales o superiores a las enumeradas en las clasificaciones máximas absolutas pueden causar daños permanentes al producto. Esta es solo una calificación de estrés; El funcionamiento funcional del producto en estas u otras condiciones por encima de las indicadas en la sección de funcionamiento de esta especificación no está implícito. El funcionamiento más allá de las condiciones de funcionamiento máximas durante períodos prolongados puede afectar la fiabilidad del producto.

ESD CAUTION



**ESD (electrostatic discharge) sensitive device.** Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

CONFIGURACION DE PINES Y DESCRIPCION DE SUS FUNCIONES



- NOTES**
- 1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.
  - 2. THE EXPOSED PAD IS THE SYSTEM COMMON CONNECTION AND IT MUST HAVE BOTH A GOOD THERMAL AND GOOD ELECTRICAL CONNECTION TO GROUND.

073008-002

Figure 2. Pin Configuration

Table 3. Pin Function Descriptions

Pin No.	Mnemonic	Description	Equivalent Circuit
1	TCM2/PW DN	Este es un pin de función dual que se utiliza para controlar la cantidad de compensación de temperatura de intercepción no lineal a voltajes <2,5 V y / o para apagar el dispositivo a voltajes > 4 V. Si no se utiliza la función de apagado, este pin se puede conectar al Pin VREF a través de un divisor de voltaje.	See Figure 39
2	CHPF	Conecte este pin a VPOS a través de un condensador para determinar el punto de -3 dB del filtro de paso alto de la señal de entrada. Solo agregue un capacitor cuando opere a frecuencias por debajo de 10 MHz.	See Figure 48
3 y 10	VPOS	Suministro para el dispositivo. Conecte estos pines a una fuente de alimentación de 5 V. El pin 3 y el pin 10 no están conectados internamente; por lo tanto, ambos deben conectarse a la fuente.	Not applicable
4, 9	COMM	Conexión común del sistema. Conecte estos pines a través de baja impedancia al sistema común.	Not applicable
5	CLPF	Conexión para condensador de integración de filtro de bucle (promedio). Conecte un capacitor con referencia a tierra a este pin. Se puede conectar una resistencia en serie con este condensador para mejorar la estabilidad del bucle y el tiempo de respuesta. El valor mínimo de CLPF es 390 pF.	See Figure 41
6	VOUT	Pin de salida en modo de medición (error de salida del amplificador). En el modo de medición, este pin está conectado a VSET. Este pin se puede usar para impulsar un control de ganancia cuando el dispositivo se usa en modo controlador	See Figure 41
7	VSET	El voltaje aplicado a este pin establece el valor en decibelios del voltaje de entrada de RF requerido que da como resultado un flujo de corriente cero en el pin del condensador de integración de bucle, CLPF. Este pin controla la ganancia del amplificador de ganancia variable (VGA) de manera que un cambio de 50 mV en VSET reduce la ganancia en aproximadamente 1 dB	See Figure 40
8	TEMP	Salida del sensor de temperatura	See Figure 35
11	VREF	Salida de voltaje de referencia de uso general de 2,3 V	See Figure 36
12	VTGT	El voltaje aplicado a este pin determina la potencia objetivo en la entrada del circuito de cuadratura de RF. El voltaje de intercepción es proporcional al voltaje aplicado a este pin. El uso de un voltaje objetivo más bajo aumenta la capacidad del factor de cresta; sin embargo, esto puede afectar la respuesta del bucle del sistema.	See Figure 42
13	NC	No va a nada	Not applicable
14	INHI	Este es el pin de entrada de RF para frecuencias de hasta 2,6 GHz inclusive. La señal de entrada de RF normalmente está acoplada en CA a este pin a través de un condensador de acoplamiento.	See Figure 34
15	INLO	Este es el pin de entrada de RF para frecuencias superiores a 2,6 GHz. La señal de entrada de RF normalmente está acoplada en CA a este pin a través de un condensador de acoplamiento	See Figure 34
16	TCM1	Este pin se utiliza para ajustar la compensación de temperatura de intercepción. Conecte este pin a VREF a través de un divisor de voltaje o a una fuente de CC externa.	See Figure 38
	EPAD	Almohadilla expuesta. La almohadilla expuesta es la conexión común del sistema y debe tener una buena conexión térmica y eléctrica a tierra.	Not applicable

## CARACTERÍSTICAS TÍPICAS DE RENDIMIENTO

$V_{POS} = 5\text{ V}$ ,  $Z_O = 50\ \Omega$ , variador de entrada de un solo extremo,  $V_{OUT}$  conectado a  $V_{SET}$ ,  $V_{TGT} = 1.4\text{ V}$ ,  $CLPF = 3.9\text{ nF}$ ,  $CHPF = 2.7\text{ nF}$ ,  $T_A = +25\text{ }^\circ\text{C}$  (negro),  $-40\text{ }^\circ\text{C}$  (azul),  $+85\text{ }^\circ\text{C}$  (rojo), en su caso. Error calculado usando calibración de 3 puntos a  $0\text{ dBm}$ ,  $-10\text{ dBm}$  y  $-40\text{ dBm}$ , a menos que se indique lo contrario. La señal de RF de entrada es una onda sinusoidal (CW), a menos que se indique lo contrario.

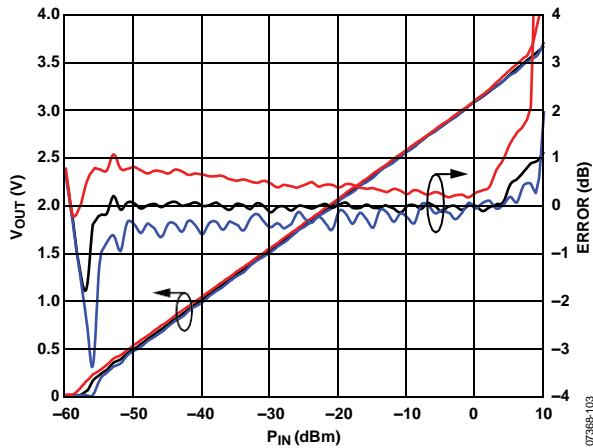


Figure 3.  $V_{OUT}$  and Log Conformance vs. Input Power and Temperature at 100 MHz

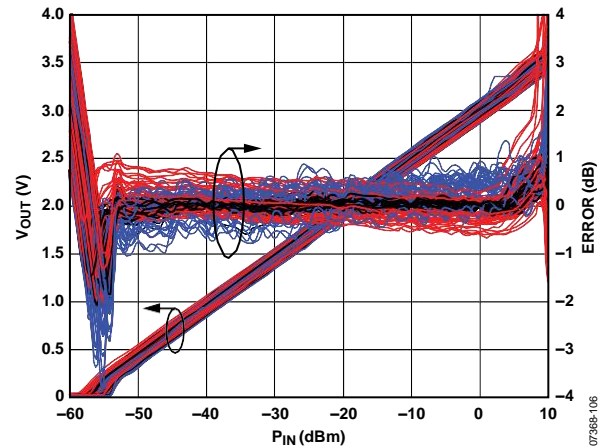


Figure 6. Distribution of  $V_{OUT}$  and Error with Respect to  $25^\circ\text{C}$  Ideal Line over Temperature vs. Input Amplitude at 100 MHz, CW

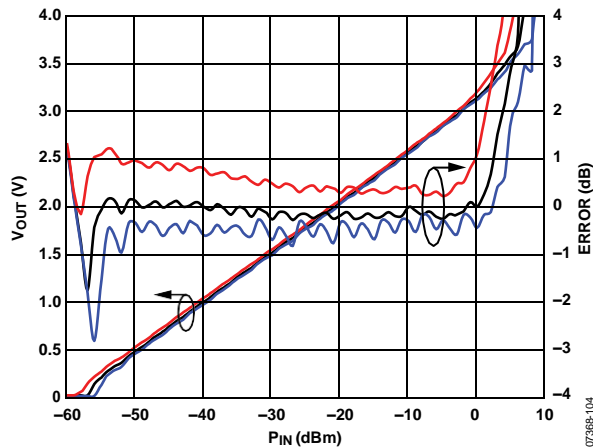


Figure 4.  $V_{OUT}$  and Log Conformance Error with Respect to  $25^\circ\text{C}$  Ideal Line over Temperature vs. Input Amplitude at 900 MHz, CW, Typical Device

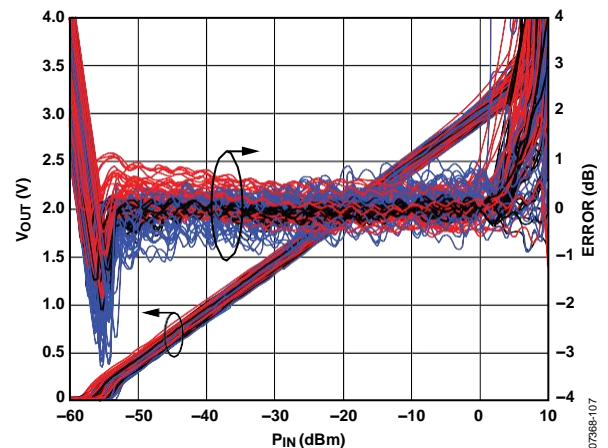


Figure 7. Distribution of  $V_{OUT}$  and Error with Respect to  $25^\circ\text{C}$  Ideal Line over Temperature vs. Input Amplitude at 900 MHz, CW

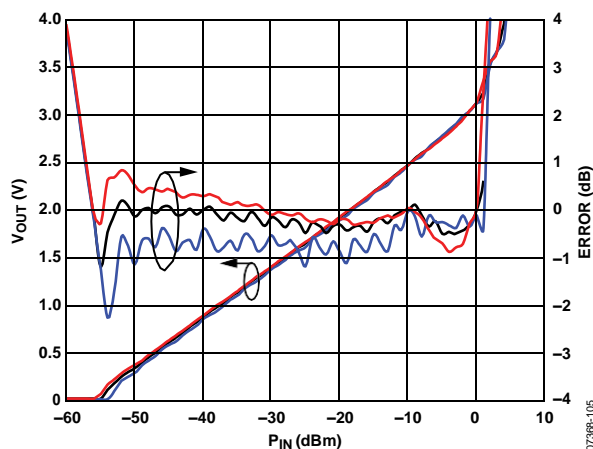


Figure 5.  $V_{OUT}$  and Log Conformance Error with Respect to  $25^\circ\text{C}$  Ideal Line over Temperature vs. Input Amplitude at 1.90 GHz, CW, Typical Device

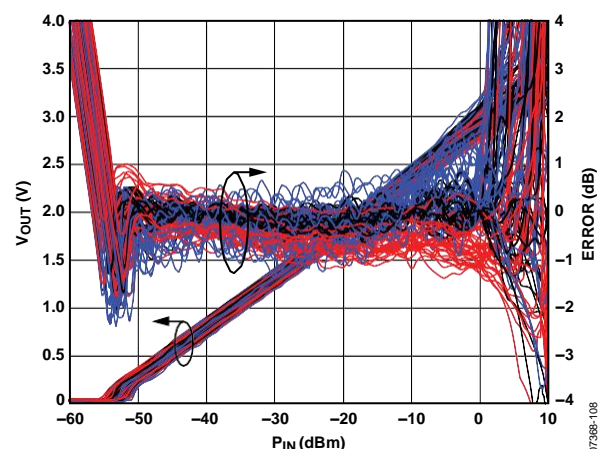


Figure 8. Distribution of  $V_{OUT}$  and Error with Respect to  $25^\circ\text{C}$  Ideal Line over Temperature vs. Input Amplitude at 1.90 GHz, CW



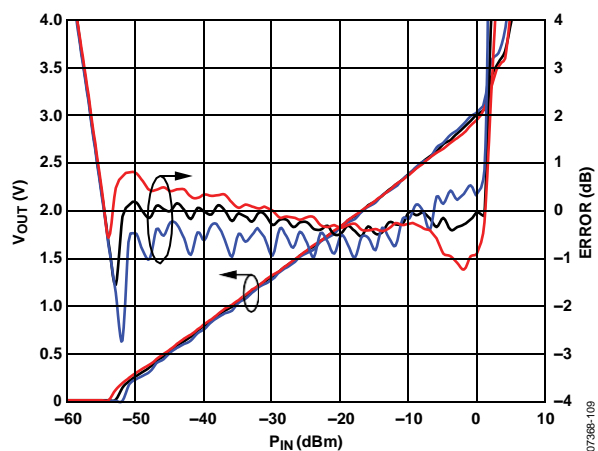


Figure 9.  $V_{OUT}$  and Log Conformance Error with Respect to 25°C Ideal Line over Temperature vs. Input Amplitude at 2.14GHz, CW, Typical Device

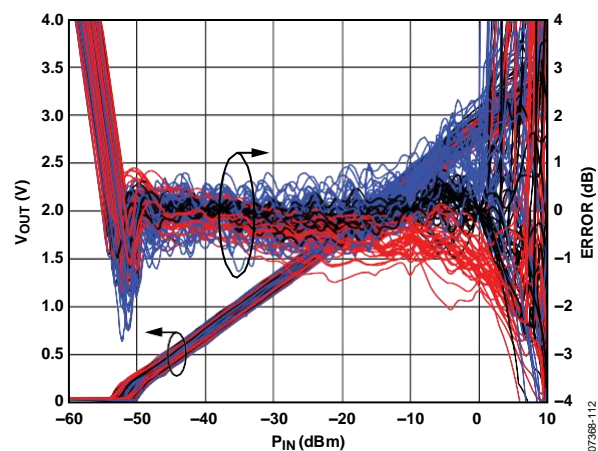


Figure 12. Distribution of  $V_{OUT}$  and Error with Respect to 25°C Ideal Line over Temperature vs. Input Amplitude at 2.14 GHz, CW

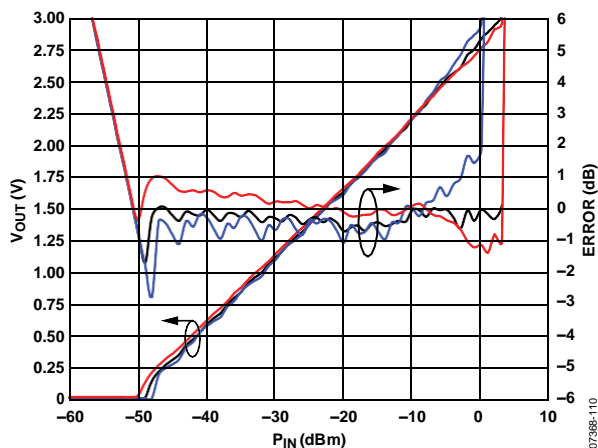


Figure 10.  $V_{OUT}$  and Log Conformance Error with Respect to 25°C Ideal Line over Temperature vs. Input Amplitude at 2.6GHz, CW, Typical Device

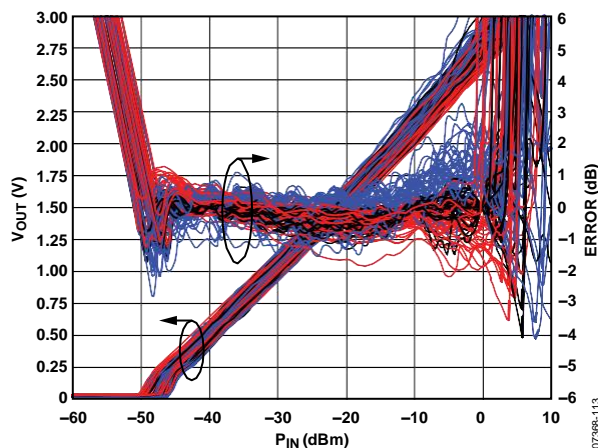


Figure 13. Distribution of  $V_{OUT}$  and Error with Respect to 25°C Ideal Line over Temperature vs. Input Amplitude at 2.6 GHz, CW

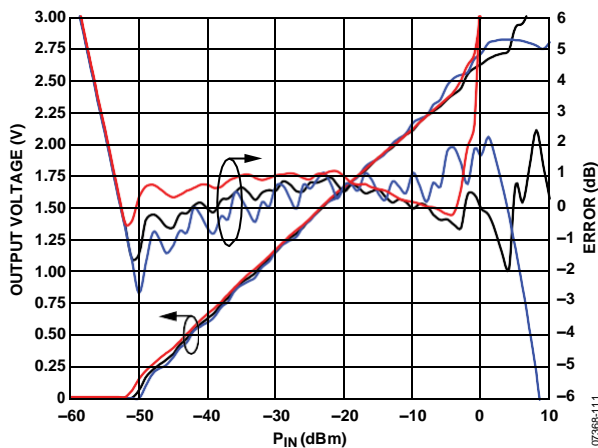


Figure 11.  $V_{OUT}$  and Log Conformance Error with Respect to 25°C Ideal Line over Temperature vs. Input Amplitude at 3.8 GHz, CW, Typical Device

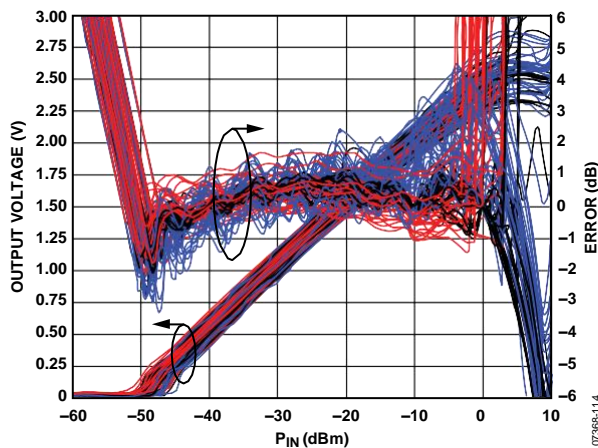


Figure 14. Distribution of  $V_{OUT}$  and Error with Respect to 25°C Ideal Line over Temperature vs. Input Amplitude at 3.8 GHz, CW

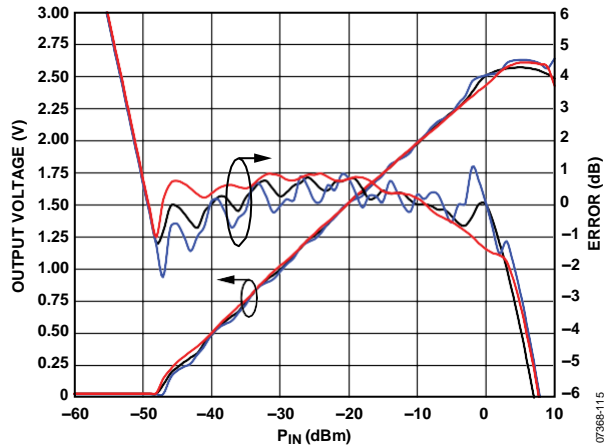


Figure 15.  $V_{OUT}$  and Log Conformance Error with Respect to 25°C Ideal Line over Temperature vs. Input Amplitude at 5.8 GHz, Typical Device

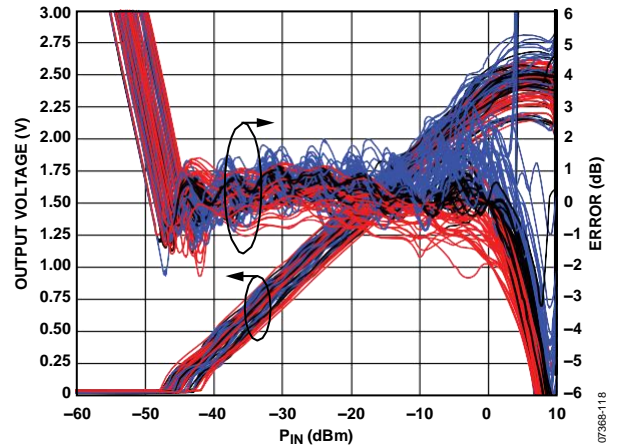


Figure 18. Distribution of  $V_{OUT}$  and Error with Respect to 25°C Ideal Line over Temperature vs. Input Amplitude at 5.8 GHz, CW

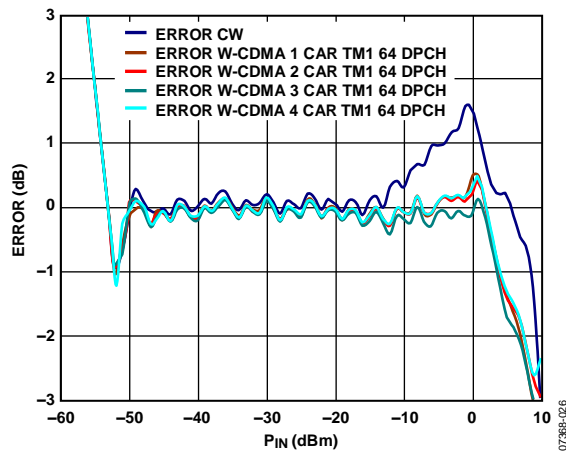


Figure 16. Error from CW Linear Reference vs. Input Amplitude with Modulation, Frequency at 2.14 GHz,  $C_{LPF} = 0.1 \mu F$ , INHI Input

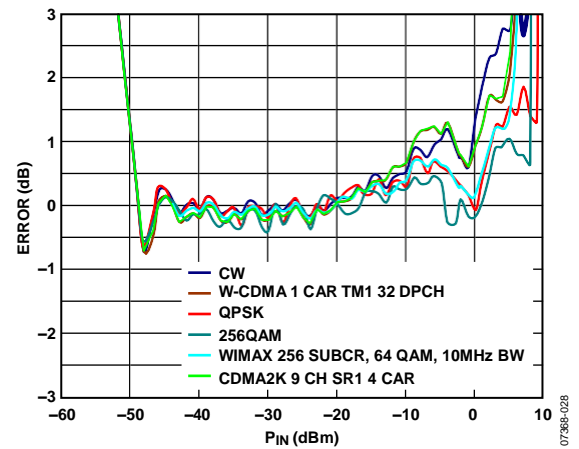


Figure 19. Error from CW Linear Reference vs. Input Amplitude with Modulation, Frequency at 2.6 GHz,  $C_{LPF} = 0.1 \mu F$ , INHI Input

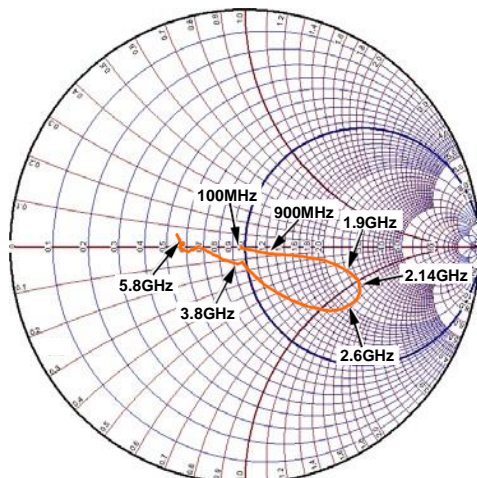


Figure 17. Single-Ended Input Impedance ( $S_{11}$ ) vs. Frequency;  $Z_0 = 50 \Omega$ , INHI or INLO

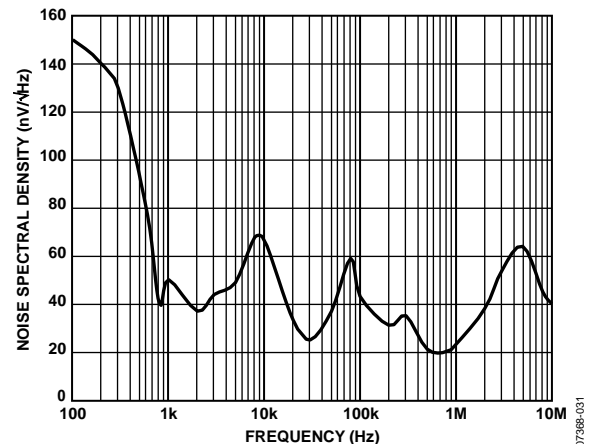


Figure 20. Typical Noise Spectral Density of  $V_{OUT}$ ; All  $C_{LPF}$  Values

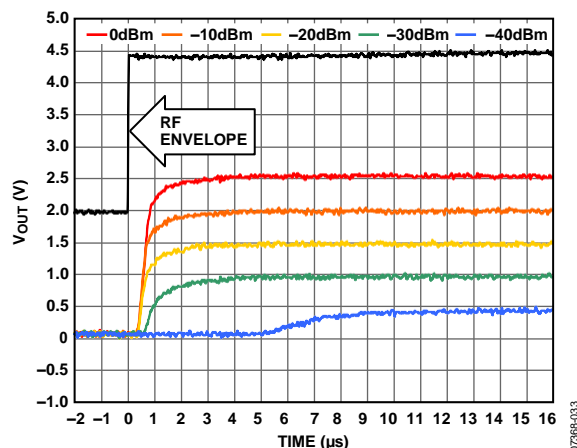


Figure 21. Output Response to RF Burst Input, Carrier Frequency at 2.14 GHz,  $C_{LPF} = 390 \text{ pF}$ ,  $C_{HPF} = \text{Open}$ , Rising Edge

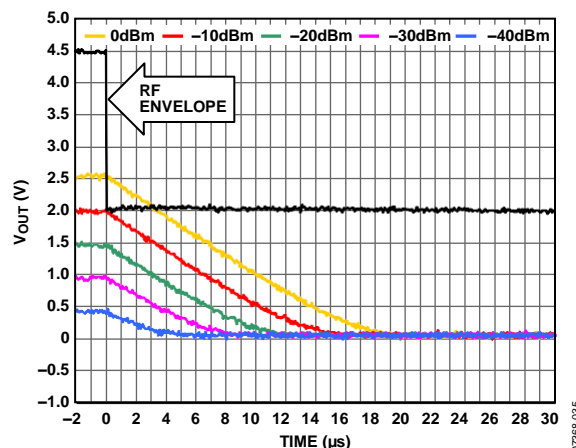


Figure 24. Output Response to RF Burst Input, Carrier Frequency at 2.14 GHz,  $C_{LPF} = 390 \text{ pF}$ ,  $C_{HPF} = \text{Open}$ , Falling Edge

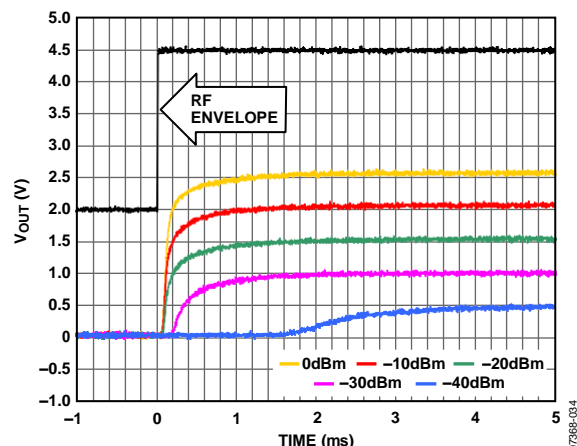


Figure 22. Output Response to RF Burst Input, Carrier Frequency at 2.14 GHz,  $C_{LPF} = 0.1 \mu\text{F}$ ,  $C_{HPF} = \text{Open}$ , Rising Edge

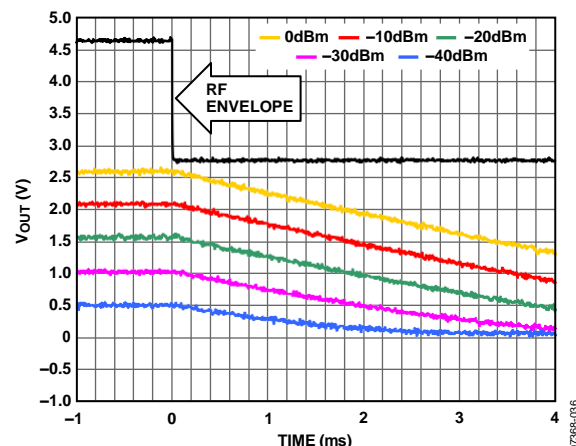


Figure 25. Output Response to RF Burst Input, Carrier Frequency at 2.14 GHz,  $C_{LPF} = 0.1 \mu\text{F}$ ,  $C_{HPF} = \text{Open}$ , Falling Edge

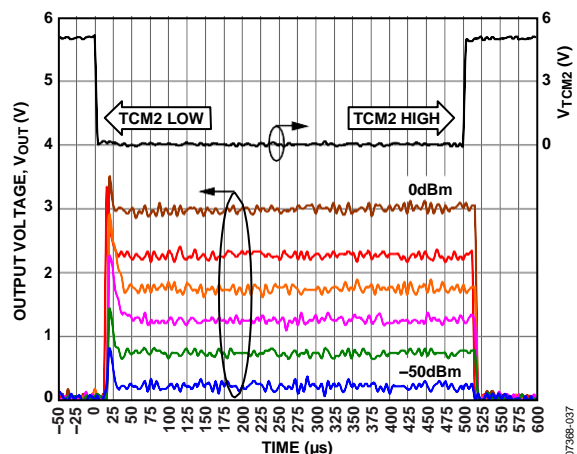


Figure 23. Output Response Using Power-Down Mode for Various RF Input Levels Carrier Frequency at 2.14 GHz,  $C_{LPF} = 470 \text{ pF}$ ,  $C_{HPF} = 220 \text{ pF}$

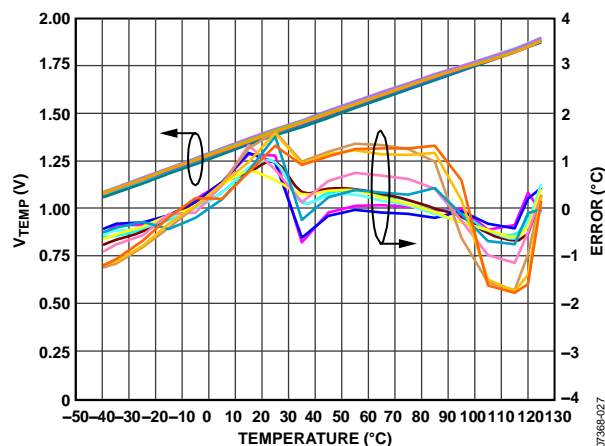
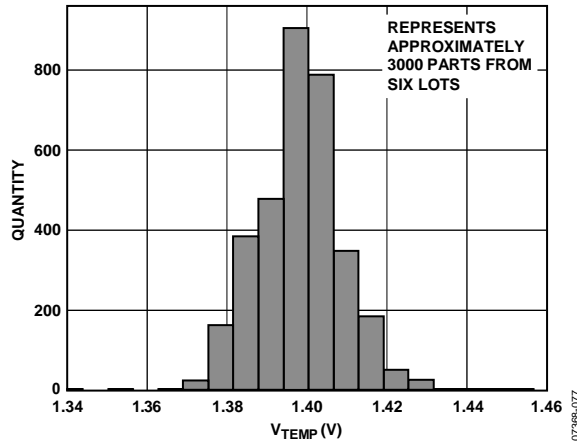
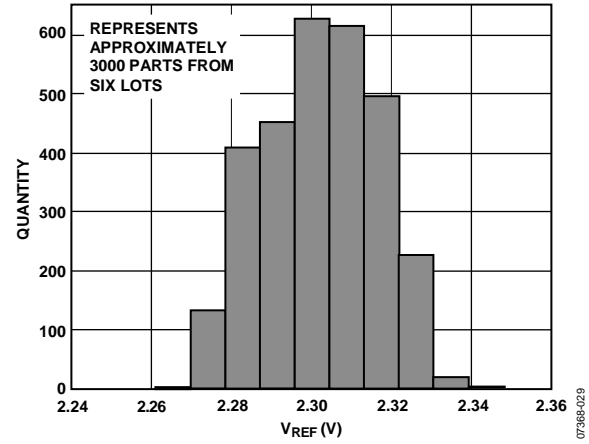
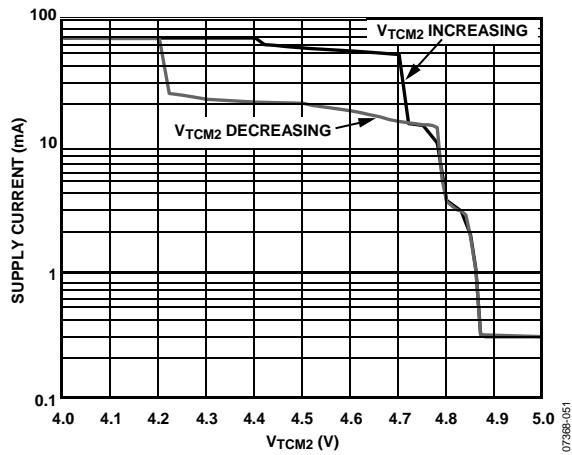
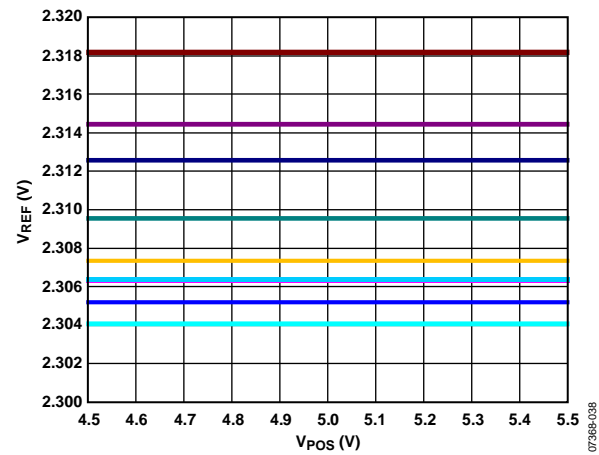
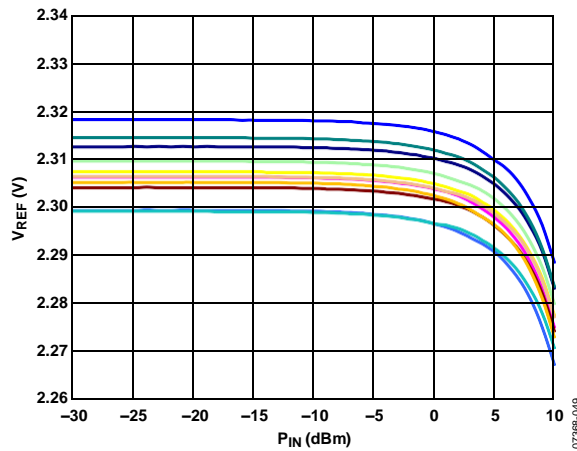
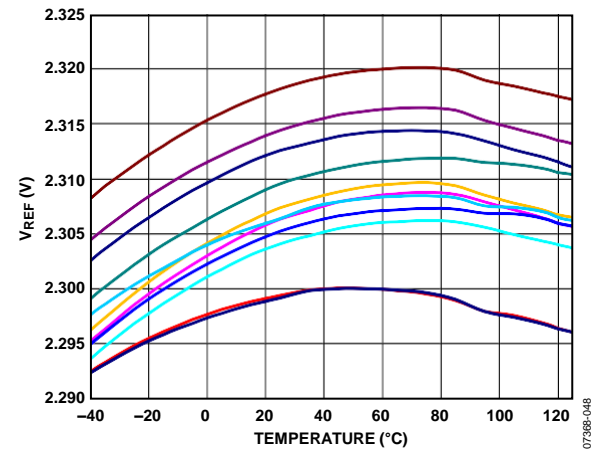


Figure 26.  $V_{TEMP}$  and Error with Respect to Straight Line vs. Temperature for Eleven Devices

Figure 27. Distribution of  $V_{TEMP}$  Voltage at 25°C, No RF InputFigure 30. Distribution of  $V_{REF}$ , 25°C, No RF InputFigure 28. Supply Current vs.  $V_{TCM2}$ Figure 31. Change in  $V_{REF}$  with  $V_{POS}$  for Nine DevicesFigure 29. Change in  $V_{REF}$  with Input Amplitude for Eleven DevicesFigure 32. Change in  $V_{REF}$  with Temperature for Eleven Devices

## TEORIA DE OPERACION

El núcleo computacional del AD8363 es un bucle AGC de alto rendimiento. Como se muestra en la Figura 33, el bucle AGC comprende un amplificador de ganancia variable (VGA) de ancho de banda amplio, detectores de ley cuadrática, un circuito objetivo de amplitud y un controlador de salida. Para una descripción más detallada de los bloques funcionales, consulte la hoja de datos AD8362. La nomenclatura utilizada en esta hoja de datos para distinguir entre el nombre de un pin y la señal en ese pin es la siguiente:

- El nombre del pin está todo en mayúsculas (por ejemplo, VPOS, COMM y VOUT).
- El nombre de la señal o un valor asociado con ese pin es el mnemónico del pin con un subíndice parcial (por ejemplo, CLPF, CHPF y VOUT).

### DETECTOR DE LEY CUADRADA Y OBJETIVO DE AMPLITUD

La ganancia VGA tiene la forma

$$GSET = GO \exp(-VSET / VGNS) \quad (1)$$

donde:

- GO es la ganancia fija básica.
- VGNS es un voltaje de escala que define la pendiente de ganancia (el cambio de decibelios por voltaje). La ganancia disminuye al aumentar VSET.

La salida VGA es:

$$VSIG = GSET \times RFIN = GO \times RFIN \exp(VSET / VGNS) \quad (2)$$

donde RFIN es el voltaje de CA aplicado a los terminales de entrada del AD8363.

La salida del VGA, VSIG, se aplica a un detector de ley cuadrada de banda ancha. El detector proporciona la verdadera respuesta rms de la señal de entrada de RF, independientemente de la forma de onda. La salida del detector, ISQR, es una corriente fluctuante con valor medio positivo. La diferencia entre ISQR y una corriente generada internamente, ITGT, está integrada por CF y el condensador externo conectado al pin CLPF en el nodo sumador. CF es un condensador de filtro de 25 pF en el chip, y CLPF, la capacitancia externa conectada al pin CLPF, se puede usar para aumentar arbitrariamente el tiempo promedio mientras se compensa con el tiempo de respuesta. Cuando el bucle AGC está en equilibrio.

$$\text{Media (ISQR)} = ITGT \quad (3)$$

Este equilibrio ocurre solo cuando

$$\text{Media (VSIG2)} = VTGT2 \quad (4)$$

donde VTGT es el voltaje presentado en el pin VTGT. Este pin se puede conectar convenientemente al pin VREF a través de un divisor de voltaje para establecer un voltaje rms objetivo VATG de ~ 70 mV rms, cuando VTGT = 1.4 V.

Debido a que los detectores de ley cuadrática son eléctricamente idénticos y están bien adaptados, las variaciones dependientes del proceso y de la temperatura se cancelan efectivamente.

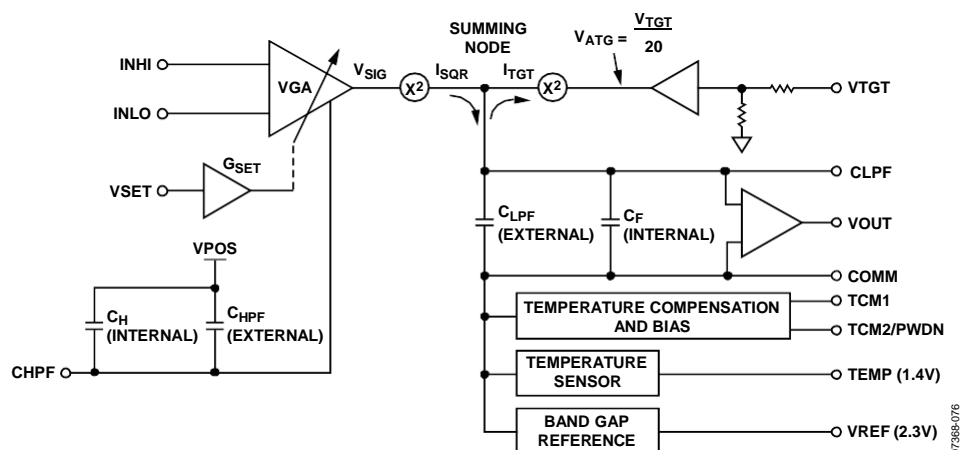


Figure 33. Simplified Architecture Details

Al forzar la identidad anterior mediante la variación del punto de ajuste VGA, es evidente que

$$\text{RMS}(\text{VSIG}) = \sqrt{(\text{Media}(\text{VSIG}^2))} = \sqrt{(\text{VATG}^2)} = \text{VATG}(5)$$

Sustituir el valor de VSIG de la Ecuación 2 da como resultado

$$\text{RMS}(G0 \times \text{RFIN} \exp(-\text{VSET}/\text{VGNS})) = \text{VATG}(6)$$

Cuando se conecta como dispositivo de medición,  $\text{VSET} = \text{VOUT}$ .

Resolver para VOUT en función de RFIN

$$\text{VOUT} = \text{VSLOPE} \times \log_{10}(\text{RMS}(\text{RFIN})/\text{VZ}) \quad (7)$$

donde:

- VSLOPE es 1 V / década (o 50 mV / dB).
- VZ es el voltaje de intercepción.

Cuando  $\text{RMS}(\text{RFIN}) = \text{VZ}$ , porque  $\log_{10}(1) = 0$ , esto implica que  $\text{VOUT} = 0$  V, haciendo que la intersección sea la entrada que fuerza a  $\text{VOUT} = 0$  V. VZ se ha fijado en aproximadamente 280  $\mu\text{V}$  (aproximadamente -58 dBm, referido a 50  $\Omega$ ) con una señal CW a 100 MHz. En realidad, el AD8363 no responde a señales de menos de ~ -56 dBm. Esto significa que la intersección es un valor extrapolado fuera del rango operativo del dispositivo. Si lo desea, el valor efectivo de VSLOPE se puede alterar usando un divisor de resistencia entre VOUT y VSET. (Consulte la sección Escala de voltaje de salida para obtener más información).

En la mayoría de las aplicaciones, el lazo AGC se cierra a través de la interfaz del punto de ajuste y el pin VSET. En el modo de medición, VOUT se conecta directamente a VSET. (Consulte la sección Conexiones básicas del modo de medición para obtener más información). En el modo de controlador, se aplica un voltaje de control a VSET y el pin VOUT generalmente controla la entrada de control de un sistema de amplificación o atenuación. En este caso, el voltaje en el pin VSET fuerza una amplitud de señal en las entradas de RF del AD8363 que equilibra el sistema a través de la retroalimentación. (Consulte la sección Conexiones básicas del modo controlador para obtener más información).

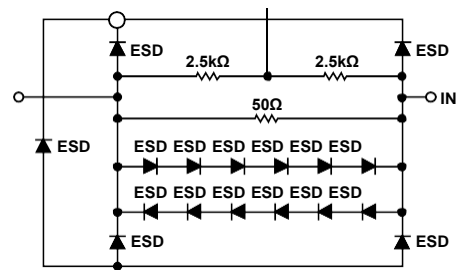
## INTERFAZ DE ENTRADA RF

La Figura 34 muestra las conexiones de las entradas de RF dentro del AD8363. La impedancia de entrada se establece principalmente mediante una resistencia interna de 50  $\Omega$  conectada entre INHI e INLO. Se establece internamente un nivel de CC de aproximadamente la mitad del voltaje de suministro en cada pin. El pin INHI o el pin INLO se pueden utilizar como pin de entrada de RF de un solo extremo. (Consulte la sección Elección del pin de entrada de RF). Si se alteran los niveles de CC en estos pines, el rendimiento se verá comprometido; por lo tanto, los condensadores de acoplamiento

de señal deben conectarse desde la señal de entrada a INHI e INLO. La esquina de paso alto de la señal de entrada formada por los condensadores de acoplamiento y las resistencias internas es

$$f_{\text{PASA ALTA}} = 1 / (2 \times \pi \times 50 \times C) \quad (8)$$

donde C está en faradios y f PASO ALTO está en hercios. Los condensadores de acoplamiento de entrada deben tener un valor lo suficientemente grande para pasar la frecuencia de la señal de entrada de interés. El otro pin de entrada debe estar acoplado a RF CA al común (tierra).



Se emplea una amplia protección ESD en las entradas de RF, lo que limita la máxima amplitud de entrada posible al AD8363.

## ELECCION DEL PIN DE ENTRADA RF

El rango dinámico del AD8363 se puede optimizar eligiendo el pin de entrada de RF correcto para la frecuencia de operación deseada. Usando INHI (Pin 14), los usuarios pueden obtener el mejor rango dinámico en frecuencias de hasta 2.6 GHz. Por encima de 2,6 GHz, se recomienda utilizar INLO (pin 15). A 2,6 GHz, el rendimiento obtenido en las dos entradas es aproximadamente igual.

El AD8363 se diseñó pensando en una unidad de RF de un solo extremo. Se puede usar un balun para conducir INHI e INLO de manera diferencial, pero no es necesario y no da como resultado un rango dinámico mejorado.

## RESPUESTA DE BUCLE DE SEÑAL PEQUEÑO

El AD8363 usa un VGA en un bucle para forzar que una señal de RF al cuadrado sea igual a un voltaje de CC al cuadrado. Este bucle no lineal se puede simplificar y resolver para una respuesta de bucle de señal pequeña. El poste de la esquina de paso bajo está dado por

$$\text{Frecuencia LP} \approx 1,83 \times \text{ITGT} / (\text{CLPF}) \quad (9)$$



donde:

ITGT está en amperios. CLPF está en faradios. FreqLP está en hercios.

ITGT se deriva de VTGT; sin embargo, ITGT es un valor al cuadrado de VTGT multiplicado por una transresistencia, a saber.

$$ITGT = gm \times V^2 \quad (10)$$

gm es aproximadamente 18,9  $\mu$ S, por lo que con VTGT igual a los 1,4 V normalmente recomendados, ITGT es aproximadamente 37  $\mu$ A. El valor de esta corriente varía con la temperatura; por lo tanto, el pequeño polo de señal varía con la temperatura. Sin embargo, debido a que el circuito de cuadratura de RF y el circuito de cuadratura de cd siguen la temperatura, no hay una contribución de variación de temperatura al valor absoluto de VOUT.

Para señales CW,

$$\text{Frecuencia LP} \approx 67,7 \times 10^{-6} / (\text{CLPF}) \quad (11)$$

Sin embargo, las señales con factores de cresta grandes incluyen un contenido de baja frecuencia pseudoaleatoria que necesita ser filtrado o muestreado y promediado. Consulte la sección Elección de un valor para CLPF para obtener más información.

### INTERFAZ DE SENSOR DE TEMPERATURA

El AD8363 proporciona una salida de sensor de temperatura con un factor de escala de voltaje de salida de aproximadamente 5 mV / °C. La salida es capaz de generar 4 mA y disminuir 50  $\mu$ A como máximo a temperaturas iguales o superiores a 25 °C. Si se desea capacidad adicional de disipación de corriente, se puede conectar una resistencia externa entre los pines TEMP y COMM. El voltaje de salida típico a 25 °C es de aproximadamente 1,4 V.

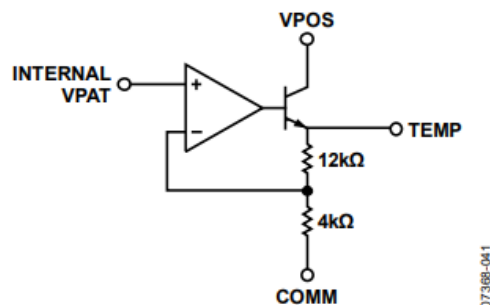


Figure 35. TEMP Interface Simplified Schematic

### INTERFAZ VREF

El pin VREF proporciona una referencia de voltaje generada internamente. El voltaje VREF es una referencia de 2,3 V de temperatura estable que es capaz de generar 4 mA y disminuir

50  $\mu$ A como máximo a temperaturas iguales o superiores a 25 °C. Se puede conectar una resistencia externa entre los pines VREF y COMM para proporcionar una capacidad adicional de disipación de corriente. El voltaje en este pin se puede usar para impulsar los pines TCM1, TCM2 / PWDN y VTGT, si se desea.

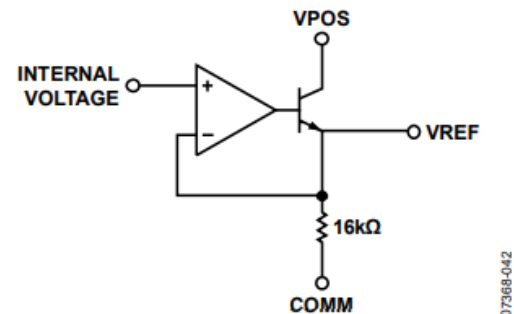


Figure 36. VREF Interface Simplified Schematic

### INTERFAZ DE COMPENSACIÓN DE TEMPERATURA

Se utilizan técnicas patentadas para maximizar la estabilidad de temperatura del AD8363. Para un rendimiento óptimo, la variación de la temperatura de salida debe compensarse mediante el uso de los pines TCM1 y TCM2 / PWDN. El valor absoluto de compensación varía con la frecuencia y VTGT. La Tabla 4 muestra los voltajes recomendados para los pines TCM1 y TCM2 / PWDN para mantener el mejor error de deriva de temperatura sobre el rango de temperatura nominal ( $-40^{\circ}\text{C} < T_A < 85^{\circ}\text{C}$ ) cuando se maneja en un solo extremo y se usa un VTGT = 1.4 V

Table 4. Recommended Voltages for TCM1 and TCM2/PWDN

Frequency	TCM1 (V)	TCM2/PWDN (V)
100 MHz	0.47	1.0
900 MHz	0.5	1.2
1.9 GHz	0.52	0.51
2.14 GHz	0.52	0.6
2.6 GHz	0.54	1.1
3.8 GHz	0.56	1.0
5.8 GHz	0.88	1.0

Los valores de la Tabla 4 se eligieron para dar la mejor deriva de rendimiento en el extremo superior del rango dinámico utilizable sobre el rango de temperatura de  $-40^{\circ}\text{C}$  a  $+85^{\circ}\text{C}$ .

La compensación del dispositivo por la variación de temperatura utilizando TCM1 y TCM2 / PWDN permite una gran flexibilidad y el usuario puede desear modificar estos valores para optimizar para otro punto

de amplitud en el rango dinámico, para un rango de temperatura diferente o para una frecuencia de operación diferente a los que se muestran en la Tabla 4.

Para encontrar un nuevo punto de compensación, VTCM1 y VTCM2 se pueden barrer mientras se monitorea VOUT sobre la temperatura a la frecuencia y amplitud de interés. Los voltajes óptimos para VTCM1 y VTCM2 para lograr una variación de temperatura mínima a una potencia y frecuencia determinadas son los valores de VTCM1 y VTCM2 donde VOUT tiene un movimiento mínimo. Consulte las hojas de datos AD8364 y ADL5513 para obtener más información.

La variación de VTCM1 y VTCM2 tiene solo un efecto muy leve en VOUT a temperaturas del dispositivo cercanas a los 25 ° C; sin embargo, el circuito de compensación tiene cada vez más efecto y es cada vez más necesario para un mejor rendimiento de la deriva de temperatura, ya que la temperatura se aleja de los 25 ° C.

La Figura 37 muestra el efecto sobre el rendimiento de la variación de temperatura a 25 ° C y 85 ° C cuando se varía VTCM1 pero VTCM2 se mantiene constante a 0,6 V.

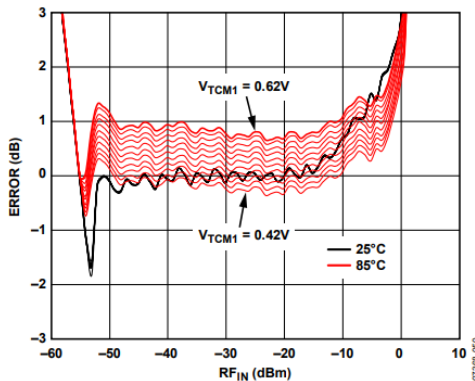


Figure 37. Error vs. Input Amplitude over Stepped VTCM1 Values, 25°C and 85°C, 2.14 GHz, VTCM2 = 0.6 V

TCM1 ajusta principalmente la intersección del AD8363 a temperatura. De esta forma, TCM1 puede considerarse como un ajuste aproximado de la compensación. Por el contrario, TCM2 realiza un ajuste fino. Por esta razón, se recomienda que al buscar compensación con VTCM1 y VTCM2, primero se ajuste VTCM1 y, cuando se encuentre el mejor rendimiento, se pueda ajustar VTCM2 para optimizarlo.

Es evidente en la Figura 37 que el circuito de compensación de temperatura se puede usar para ajustar la desviación más baja en cualquier amplitud de entrada de elección. Aunque no se muestra en la Figura 37, un análisis similar se puede realizar simultáneamente a -40 ° C, o cualquier otra temperatura dentro del rango operativo del AD8363.

El rendimiento varía ligeramente de un dispositivo a otro; por lo tanto, los valores óptimos de VTCM1 y VTCM2 deben obtenerse estadísticamente sobre una población de dispositivos para que sean útiles en aplicaciones de producción en masa.

Los pines TCM1 y TCM2 tienen altas impedancias de entrada, aproximadamente 5 kΩ y 500 kΩ, respectivamente, y pueden manejarse convenientemente desde una fuente externa o desde una fracción de VREF usando un divisor de resistencia. VREF cambia ligeramente con la temperatura y la amplitud de entrada de RF (consulte la Figura 32 y la Figura 29); sin embargo, es poco probable que la cantidad de cambio produzca un efecto significativo en la estabilidad de la temperatura final del sistema de medición de RF.

La Figura 38 muestra una representación esquemática simplificada de TCM1. Consulte la sección Interfaz de apagado para la interfaz TCM2

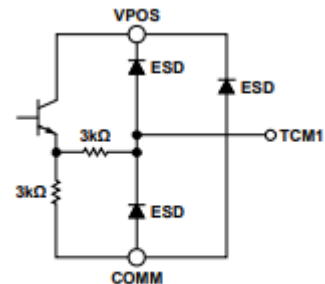


Figure 38. TCM1 Interface Simplified Schematic

## INTERFAZ DE APAGADO

Las corrientes inactiva y desactivada para el AD8363 a 25 ° C son aproximadamente 60 mA y 300 μA, respectivamente. El pin de función dual, TCM2 / PWDN, está conectado a un circuito de compensación de temperatura, así como a un circuito de apagado. Normalmente, cuando PWDN es mayor que VPOS - 0,1 V, el dispositivo está completamente apagado. La Figura 28 muestra esta característica en función de VPWDN. Tenga en cuenta que debido al diseño de esta sección del AD8363, cuando VTCM2 pasa a través de un rango estrecho a ~ 4.5 V (o ~ VPOS - 0.5 V), el pin TCM2 / PWDN se hunde aproximadamente 750 μA. La fuente utilizada para desactivar el AD8363 debe tener una capacidad de corriente suficientemente alta



por este motivo. La Figura 23 muestra los tiempos de respuesta típicos para varios niveles de entrada de RF. La salida alcanza dentro de 0.1 dB de su valor de estado estable en aproximadamente 35  $\mu$ s; sin embargo, el voltaje de referencia está disponible con total precisión en un tiempo mucho más corto. Esta respuesta de activación varía según el acoplamiento de entrada y las capacitancias, CHPF y CLPF.

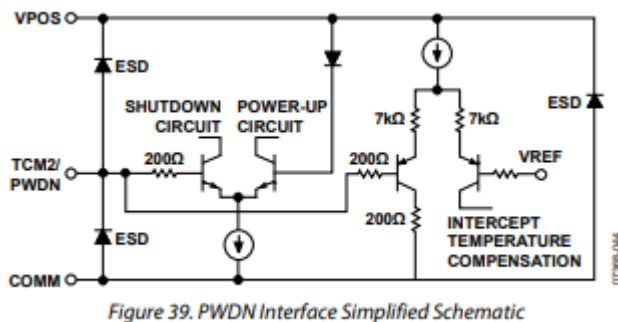


Figure 39. PWDN Interface Simplified Schematic

## INTERFAZ VSET

La interfaz VSET tiene una alta impedancia de entrada de 72 k $\Omega$ . El voltaje en VSET se convierte en una corriente interna que se utiliza para establecer la ganancia de VGA interna. El control de atenuación VGA es de aproximadamente 19 dB / V.

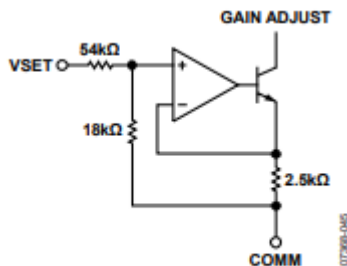


Figure 40. VSET Interface Simplified Schematic

## INTERFAZ DE SALIDA

El controlador de salida utilizado en el AD8363 es diferente del

etapa de salida en el AD8362. El AD8363 incorpora controladores de salida de riel a riel con capacidades de pull-up y pull-down. El ancho de banda de circuito cerrado de -3 dB del búfer VOUT sin carga es de aproximadamente 58 MHz con una caída unipolar de -20 dB / dec. El ruido de salida es de aproximadamente 45 nV /  $\sqrt{\text{Hz}}$  a 100 kHz, que es independiente de CLPF debido a la arquitectura del AD8363.

VOUT puede generar y disipar hasta 10 mA. Hay una carga interna entre VOUT y COMM de 2,5 k $\Omega$ .

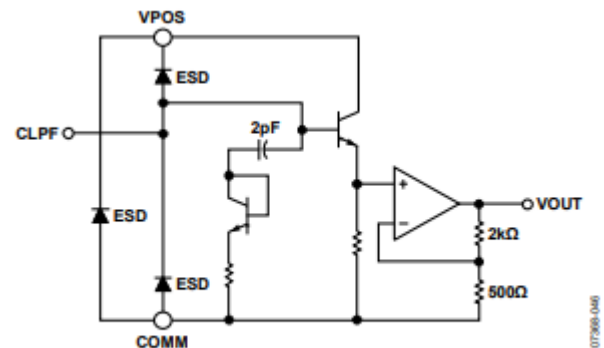


Figure 41. VOUT Interface Simplified Schematic

## INTERFAZ VTGT

El voltaje objetivo se puede configurar con una fuente externa o conectando el pin VREF (nominalmente 2,3 V) al pin VTGT a través de un divisor de voltaje resistivo. Con 1.4 V en el pin VTGT, el voltaje rms que debe proporcionar el VGA para balancear el circuito de retroalimentación AGC es  $1.4 \text{ V} \times 0.05 = 70 \text{ mV rms}$ . La mayor parte de la información de caracterización en esta hoja de datos se recopiló a  $\text{VTGT} = 1.4 \text{ V}$ . Se pueden usar voltajes más altos y más bajos que este; sin embargo, al hacerlo, aumenta o disminuye la ganancia en la celda de cuadratura interna, lo que da como resultado un aumento o disminución correspondiente en la intersección. Esto, a su vez, afecta la sensibilidad y el rango de medición utilizable. Debido a que la ganancia de la celda cuadrada varía con la temperatura, pueden producirse oscilaciones o una pérdida en el rango de medición. Por estas razones, no reduzca VTGT por debajo de 1,3V.

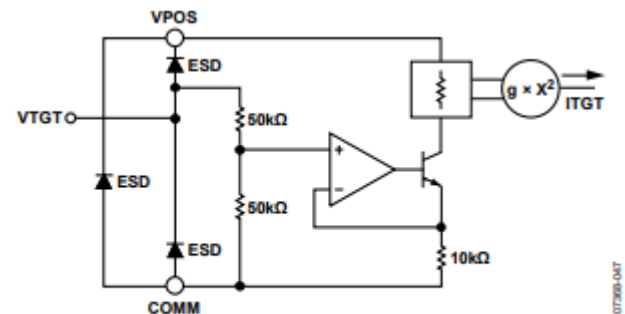


Figure 42. VTGT Interface Simplified Schematic

## CONEXIONES BÁSICAS DEL MODO DE MEDICIÓN

El AD8363 requiere un suministro único de nominalmente 5 V. El suministro se conecta a los dos pines de suministro, VPOS. Desacople los pines usando dos capacitores con valores iguales o similares a los que se muestran en la Figura 43. Estos capacitores deben proporcionar una impedancia baja en todo el rango de frecuencia de la entrada y deben colocarse lo más cerca posible de los pines VPOS. Utilice dos valores de condensador diferentes en paralelo para proporcionar un cortocircuito a tierra de CA de banda ancha.

Las señales de entrada se pueden aplicar diferencialmente o en un solo extremo; sin embargo, en ambos casos, la impedancia de entrada es de 50 Ω. La mayor parte de la información de rendimiento en esta hoja de datos se obtuvo con una unidad de un solo extremo. El rango de medición óptimo se logra usando una unidad de un solo extremo en el pin INHI a frecuencias por debajo de 2.6 GHz (como se muestra en la Figura 43), y de la misma manera, el rendimiento óptimo se logra usando el pin INLO por encima de 2.6 GHz (similar a la Figura 43; excepto que INLO es CA acoplado a la entrada e INHI está acoplado CA a tierra).

El AD8363 se coloca en modo de medición conectando VOUT a VSET. Esto cierra el bucle AGC dentro del dispositivo con VOUT que representa el voltaje de control VGA, que se requiere para presentar el voltaje rms correcto en la entrada del detector interno de ley cuadrática.

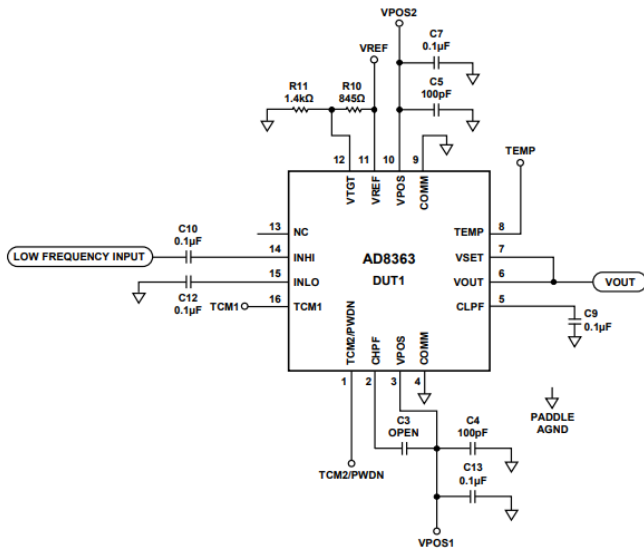


Figure 43. Measurement Mode Basic Connections

## CALIBRACIÓN DEL SISTEMA Y CÁLCULO DE ERRORES

La función de transferencia medida del AD8363 a 1,9 GHz se muestra en la Figura 44, que contiene gráficos tanto del voltaje de salida frente a la amplitud de entrada (potencia) como del error calculado frente al nivel de entrada. Como el nivel de entrada varía de -55 dBm a +0 dBm, el voltaje de salida varía de ~ 0 V a ~ 3,1 V.

Debido a que la pendiente y la intersección varían de un dispositivo a otro, se debe realizar una calibración a nivel de placa para lograr una alta precisión.

La ecuación para el voltaje de salida idealizado se puede escribir como

$$V_{OUT}(IDEAL) = \text{Pendiente} \times (\text{PIN} - \text{Intercepción}) \quad (12)$$

Donde:

La pendiente es el cambio en el voltaje de salida dividido por el cambio en la potencia de entrada (dB).

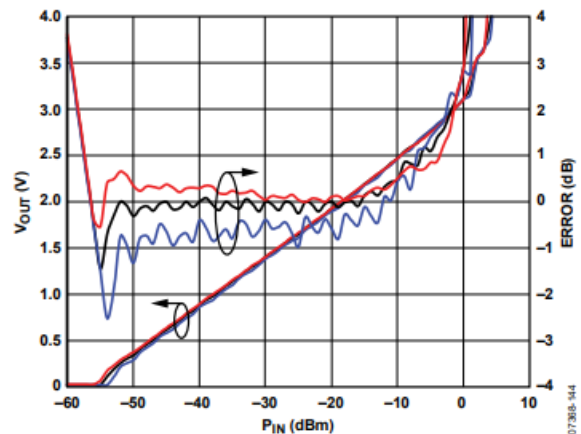


Figure 44. 1.9 GHz Transfer Function and Linearity Error using a Two-Point Calibration (Calibration Points -20 dBm and -40 dBm)

La intercepción es el nivel de potencia de entrada calculado en el que el voltaje de salida sería igual a 0 V (tenga en cuenta que la intercepción es un valor teórico extrapolado, no un valor medido).

En general, la calibración, que establece la Pendiente

y la Intercepción, se realiza durante la fabricación del equipo aplicando dos o más niveles de señal conocidos a la entrada del AD8363 y midiendo los voltajes de salida correspondientes. Los puntos de calibración generalmente se eligen dentro del rango operativo lineal en dB del dispositivo.

Con una calibración de dos puntos, la pendiente y la intersección se calculan de la siguiente manera:

$$\text{Pendiente} = (\text{VOUT1} - \text{VOUT2}) / (\text{PIN1} - \text{PIN2}) \quad (13)$$

$$\text{Intercepción} = \text{PIN1} - (\text{VOUT1} / \text{Pendiente}) \quad (14)$$

Después de que la pendiente y la intersección se calculan y almacenan en la memoria no volátil durante la calibración del equipo, se puede usar una ecuación para calcular una potencia de entrada desconocida basada en el voltaje de salida del detector.

$$\text{PIN(Unknown)} = (\text{VOUT1} / \text{Slope}) + \text{Intercept} \quad (15)$$

El error de conformidad del registro es la diferencia entre esta línea recta y el rendimiento real del detector.

$$\text{Error(dB)} = (\text{VOUT}(\text{medido}) - \text{VOUT}(\text{ideañ})) / \text{Slope} \quad (16)$$

La Figura 44 incluye un gráfico de este error cuando se usa una calibración de dos puntos (los puntos de calibración son -20 dBm y -40 dBm). El error en los puntos de calibración es igual a 0 por definición.

La no linealidad residual de la función de transferencia que es evidente en la gráfica de error de calibración de dos puntos se puede reducir aumentando el número de puntos de calibración. La Figura 45 muestra los gráficos de errores posteriores a la calibración para la calibración de tres puntos. Con una calibración multipunto, la función de transferencia se segmenta, y cada segmento tiene su propia pendiente e intersección. Durante la calibración, se aplican múltiples niveles de potencia conocidos y se miden múltiples voltajes. Cuando el equipo está en funcionamiento, el voltaje medido del detector se usa primero para determinar cuál de los coeficientes de calibración de pendiente e intersección almacenados se va a usar. Luego, el nivel de potencia desconocido se calcula insertando la pendiente apropiada y la

intersección en la Ecuación 15.

La Figura 45 muestra el voltaje de salida y el error a 25 ° C y sobretensión cuando se usa una calibración de tres puntos (los puntos de calibración son 0 dBm, -10 dBm y -40 dBm). Al elegir los puntos de calibración, no hay ningún requisito o valor de espaciado igual entre los puntos. Tampoco hay límite para el número de puntos de calibración utilizados.

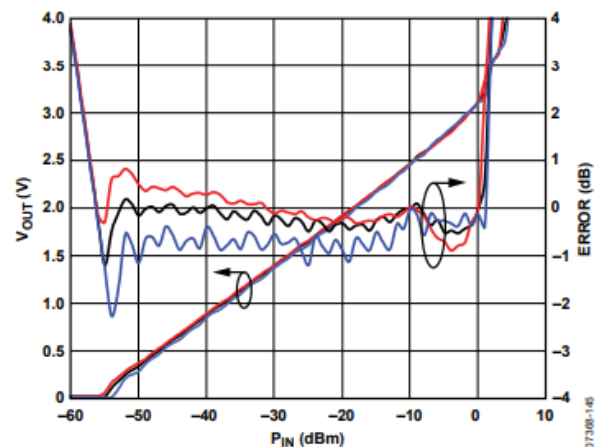


Figure 45. 1.9 GHz Transfer Function and Error at +25°C, -40°C, and +85°C Using a Three-Point Calibration (0 dBm, -10 dBm and -40 dBm)

Los gráficos de error de -40 ° C y + 85 ° C de la Figura 44 y la Figura 45 se generan utilizando los coeficientes de calibración de 25 ° C. Esto es consistente con la calibración del equipo en un entorno de producción en masa donde la calibración a una sola temperatura es práctica.

## FUNCIONAMIENTO A 125 ° C

El AD8363 funciona hasta 125 ° C con un rendimiento ligeramente degradado. La Figura 46 muestra el funcionamiento típico (los errores se grafican usando la calibración de dos puntos) a 125 ° C en comparación con otras temperaturas usando los valores TCM1 y TCM2 en la Tabla 4. La compensación de temperatura se puede optimizar para un funcionamiento por encima de 85 ° C modificando los voltajes en los pines TCM1 y TCM2 de los que se muestran en la tabla 4.

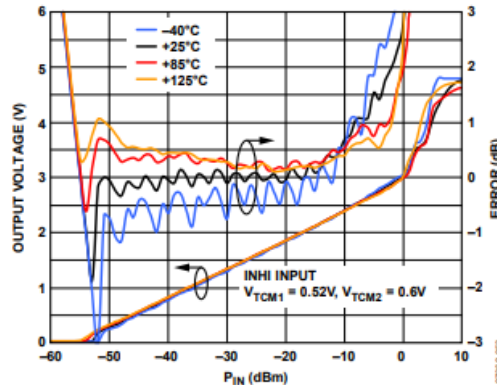


Figure 46.  $V_{OUT}$  and Log Conformance Error vs. Input Amplitude at 2.14 GHz,  $-40^{\circ}\text{C}$  to  $+125^{\circ}\text{C}$

## ESCALA DE VOLTAJE DE SALIDA

El rango de voltaje de salida del AD8363 (nominalmente 0 V a 3,5 V) se puede aumentar o reducir fácilmente. Hay una serie de situaciones en las que el ajuste de la escala de salida tiene sentido. Por ejemplo, si el AD8363 está impulsando un convertidor analógico a digital (ADC) con un rango de entrada de 0 V a 5 V, tiene sentido aumentar el voltaje de salida máximo nominal del detector de 3,5 V para que esté más cerca de 5 V. Esto hace un mejor uso del rango de entrada del ADC y maximiza la resolución del sistema en términos de bits / dB.

Si solo se está utilizando una parte del rango de potencia de entrada de RF del AD8363 (por ejemplo,  $-10\text{ dBm}$  a  $-40\text{ dBm}$ ), puede tener sentido aumentar la escala para que este rango de entrada reducido se ajuste a la oscilación de salida disponible de el AD8363 (0 V a 4.8 V).

La oscilación de salida se puede reducir agregando un divisor de voltaje en el pin de salida, como se muestra en la Figura 47 (con VOUT conectado directamente a VSET y un divisor de resistencia en VOUT). La Figura 47 también muestra cómo se puede aumentar la oscilación del voltaje de salida usando una técnica que es análoga a configurar la ganancia de un amplificador operacional en modo no inversor. Dado que el pin VSET es el equivalente a la entrada inversora del amplificador operacional, se conecta un divisor de resistencia entre VOUT y VSET.

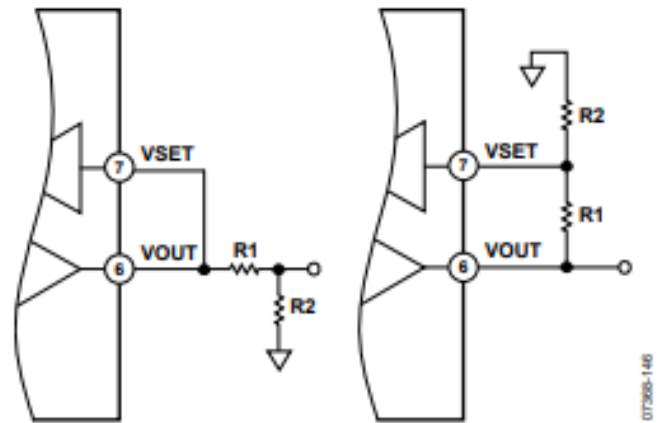


Figure 47. Decreasing and Increasing Slope

donde:

VO es el voltaje de salida máximo nominal (consulte la Figura 4 hasta la Figura 18).

V'O es el nuevo voltaje de salida máximo (por ejemplo, hasta 4,8 V).

RIN es la resistencia de entrada VSET (72 kΩ).

Al elegir R1 y R2, se debe prestar atención a la capacidad de accionamiento actual del pin VOUT y la resistencia de entrada del pin VSET. La elección de resistencias no debe resultar en un consumo excesivo de corriente de VOUT. Sin embargo, hacer que R1 y R2 sean demasiado grandes también es problemático. Si el valor de R2 es compatible con la resistencia de entrada de 72 kΩ de la entrada

VSET, esta resistencia de entrada, que varía ligeramente otro, contribuye a la pendiente y al voltaje de salida resultantes. En general, el valor de R2 debe ser al menos diez veces menor que la resistencia de entrada de VSET. Por lo tanto, los valores para R1 y R2 deben estar en el rango de 1 kΩ a 5 kΩ.

También es importante tener en cuenta la variación de frecuencia y de dispositivo a dispositivo en la oscilación de salida junto con el voltaje de salida máximo de la etapa de salida del AD8363 de 4,8 V. La distribución de VOUT está bien caracterizada en las bandas de frecuencias principales en la sección Características de rendimiento típicas. (Figura 3 a Figura 18).

#### COMPENSACIÓN DE COMPENSACIÓN, CLPF MÍNIMO Y VALORES MÁXIMOS DE CAPACITANCIA CHPF

Se utiliza un bucle de compensación de desplazamiento para eliminar pequeños desplazamientos de CC dentro del VGA interno, como se muestra en la Figura 48. La frecuencia de esquina de paso alto de este bucle se establece en aproximadamente 1 MHz utilizando un condensador de 25 pF en el chip. Debido a que las señales de entrada que están por debajo de 1 MHz se interpretan como voltajes de compensación no deseados, esto restringe el rango de frecuencia de operación del dispositivo. Para operar el AD8363 a frecuencias más bajas (de 1 MHz), la frecuencia de la esquina de paso alto debe reducirse conectando un capacitor entre CHPF y VPOS.

Los voltajes de compensación internos varían dependiendo de la ganancia a la que esté funcionando el VGA y, por lo tanto, de la amplitud de la señal de entrada. Cuando se utiliza un valor CHPF grande, el proceso de corrección de compensación puede retrasar los cambios más rápidos en la ganancia del VGA, lo que puede aumentar el tiempo necesario para que el bucle se estabilice por completo en una determinada amplitud de entrada constante. Esto puede manifestarse en una

Esto tiene en cuenta el condensador CF de 25 pF en el chip, en paralelo con CLPF. Sin embargo, debido a que existen otros retrasos de tiempo del dispositivo interno que afectan la estabilidad del lazo, use un CLPF mínimo

de un dispositivo a respuesta nerviosa, aparentemente oscilatoria, del AD8363.

Por lo tanto, se debe tener cuidado al elegir CHPF y CLPF porque existe la posibilidad de crear oscilaciones. En general, haga que la capacitancia en el pin CLPF sea lo más grande posible; no hay un máximo en la cantidad de capacitancia que se puede agregar a este pin. A altas frecuencias, no es necesario un condensador externo en el pin CHPF; por lo tanto, el pasador se puede dejar abierto. Sin embargo, cuando se trata de obtener un tiempo de respuesta rápido y / o cuando se trabaja a bajas frecuencias, es prudente tener especial cuidado al elegir los valores de capacitancia adecuados para CHPF y CLPF. Con el pin de control de ganancia (VSET) conectado a VOUT, VSET puede moverse a una velocidad determinada por la celda de cuadratura en el chip y CLPF. Cuando VSET cambia con el tiempo, las compensaciones de CC en el VGA también varían con el tiempo. La velocidad a la que VSET gira puede crear un desplazamiento variable en el tiempo que cae dentro de la esquina de paso alto establecida por CHPF. Por lo tanto, en el modo de medición, tenga cuidado de configurar CLPF de manera adecuada para reducir la variación. También vale la pena señalar que la mayoría de los datos de rendimiento típicos se obtuvieron con CLPF = 3.9 nF y CHPF = 2.7 nF y con una forma de onda CW.

El CLPF mínimo apropiado basado en las limitaciones de la velocidad de respuesta es el siguiente

$$CLPF > 20 \times 10^{-3} / \text{FREQR}_{FIN}$$

donde:

CLPF está en faradios.

FREQR<sub>FIN</sub> está en hercios.

de 390 pF.

El CHPF mínimo apropiado para una frecuencia de polo de paso alto dada es



$$C_{HPF} = 29.2 \times 10^{-6} / FHP_{POLE} - 25 \text{ pF}$$

donde FHPpole está en hercios.

La resta de 25 pF es el resultado del condensador de 25 pF en el chip en paralelo con el CHPF externo. Normalmente, elija CHPF para dar un polo (esquina de 3 dB) al menos 1 década por debajo de la frecuencia de señal deseada. Tenga en cuenta que la esquina de paso alto del sistema de compensación de desplazamiento es de aproximadamente 1 MHz sin un CHPF externo; por lo tanto, agregar un capacitor externo reduce la frecuencia de esquina.

El siguiente ejemplo ilustra la selección adecuada de los condensadores de acoplamiento de entrada, CLPF mínimo y CHPF máximo cuando se usa el AD8363 en modo de medición para una señal de entrada de 1 GHz

1. Elija los condensadores de acoplamiento de entrada que tengan una esquina de 3 dB al menos una década por debajo de la frecuencia de la señal de entrada. De la Ecuación 8,  $C > 10 / (2 \times \pi \times RFIN \times 50) = 32 \text{ pF}$  mínimo. Según este cálculo, 32 pF es suficiente; sin embargo, los capacitores de acoplamiento de entrada deben tener un valor mucho mayor, típicamente 0.1  $\mu\text{F}$ . El circuito de compensación de compensación, que está conectado a CHPF, debe ser el verdadero determinante de la frecuencia de esquina de paso alto del sistema y no los condensadores de acoplamiento de entrada. Con condensadores de acoplamiento de 0,1  $\mu\text{F}$ , las señales tan bajas como 32 kHz se pueden acoplar a la entrada, que está muy por debajo de la frecuencia de paso alto

del sistema.

2. Elija CLPF para reducir las inestabilidades debido a la velocidad de respuesta de VSET. Consulte la Ecuación 18, donde  $FRQ_{RFIN} = 1 \text{ GHz}$ , y esto da como resultado  $CLPF > 20 \text{ pF}$ . Sin embargo, como se mencionó anteriormente, no se recomiendan valores por debajo de 390 pF. Por esta razón, se eligió un condensador de 470 pF. Además, si no se requieren tiempos de respuesta rápidos, se debe elegir un valor CLPF aún mayor que el dado aquí.
3. Elija CHPF para establecer una esquina de 3 dB para el sistema de compensación de compensación. Consulte la Ecuación 19, donde FHPPOLE es en este caso 100 MHz, una década por debajo de la señal deseada. Esto da como resultado un número negativo y, obviamente, un valor negativo no es práctico. Debido a que la frecuencia de la esquina de paso alto ya es de 1 MHz, este resultado simplemente ilustra que la solución adecuada es no utilizar ningún condensador CHPF externo.

Tenga en cuenta que según la ecuación 9

$$Freq_{LP} = 1.83 \times I_{TGT} / (CLPF)$$

Un CLPF de 470 pF da como resultado una frecuencia de esquina de paso bajo de señal pequeña de aproximadamente 144 kHz. Esto refleja el ancho de banda del sistema de medición y la rapidez con la que el usuario puede esperar cambios en la salida. No implica ninguna limitación en la frecuencia de la portadora de RF de entrada.

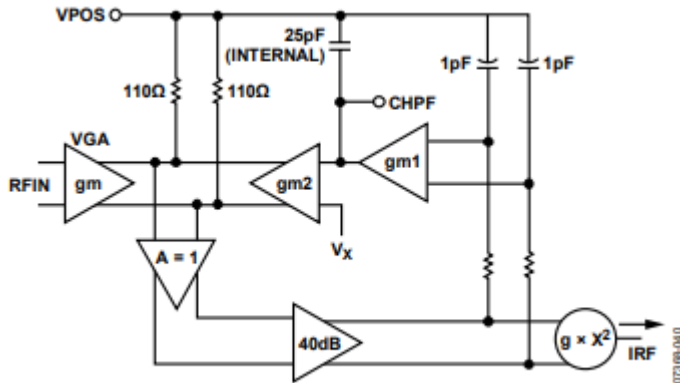
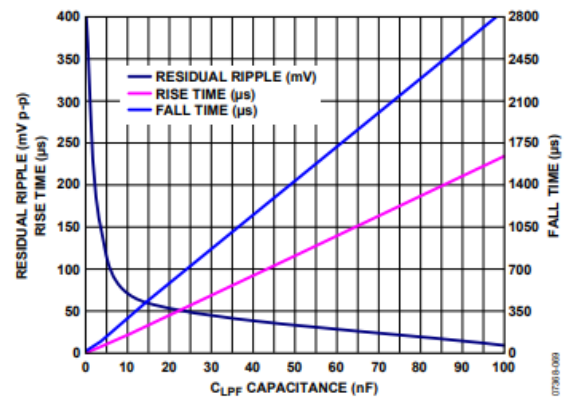


Figure 48. Offset Compensation Circuit

### ELEGIR UN VALOR PARA CLPF

La sección Respuesta de bucle de señal pequeña y la sección Compensación de compensación, CLPF mínimo y Valores de capacitancia máxima de CHPF discutieron cómo elegir el valor mínimo de capacitancia para CLPF basado en una capacitancia mínima de 390 pF, limitación de velocidad de respuesta y frecuencia de operación. El uso del valor mínimo para CLPF permite el tiempo de respuesta más rápido para formas de onda de tipo pulsado (como WiMAX), pero también permite la mayor ondulación residual en la salida causada por la forma de onda de modulación pseudoaleatoria. No hay un máximo para la capacitancia que se puede aplicar al pin CLPF y, en la mayoría de las situaciones, se puede agregar un capacitor lo suficientemente grande para eliminar la ondulación residual causada por la modulación y, sin embargo, permitir una respuesta lo suficientemente rápida a los cambios en la potencia de entrada. .

La Figura 49 muestra cómo la ondulación residual, el tiempo de subida y el tiempo de caída varían con la capacitancia del filtro cuando el AD8363 es impulsado por una única señal CDMA2000 9CH SR1 de portadora a 2,14 GHz. El tiempo de subida y bajada se basa en una señal que se pulsa entre sin señal y 10 dBm, pero es más rápido si el cambio de potencia de entrada es menor.

Figure 49. Residual Ripple, Rise Time, and Fall Time vs.  $C_{LPF}$  Capacitance, Single Carrier CDMA2000 9CH SR1 Signal at 2.14 GHz with 10 dBm Pulse

La Tabla 5 muestra los valores recomendados de CLPF para esquemas de modulación populares. Para formas de onda no pulsadas, aumente CLPF hasta que el ruido de salida residual caiga por debajo de 50 mV ( $\pm 0,5$  dB). En cada caso, el condensador se puede aumentar para reducir aún más el ruido. También se enumera una respuesta de paso del 10% al 90% a un paso de entrada. Cuando el tiempo de respuesta aumentado sea inaceptablemente alto, reduzca el CLPF, que aumenta el ruido en la salida. Debido a la naturaleza aleatoria de la ondulación de salida, si es muestreada por un ADC, promediar en el dominio digital reduce aún más el ruido residual.

La Tabla 5 proporciona valores CLPF para minimizar el ruido mientras se intenta mantener un tiempo de respuesta razonable. Para formas de onda de tipo no pulsado, no se requiere promediar en la salida. Para formas de onda pulsadas, cuanto menor es el ruido, se necesita menos promediado en la salida. Las especificaciones del sistema determinan el tiempo de subida y bajada necesarios. Por ejemplo, el valor CLPF sugerido para WiMAX asume que no es necesario medir la potencia en el preámbulo.

La Figura 50 muestra cómo el tiempo de subida corta el preámbulo. Tenga en cuenta que la potencia en el preámbulo se puede medir fácilmente; sin embargo, el valor de CLPF tendría que reducirse ligeramente y aumentaría el ruido en la señal principal.

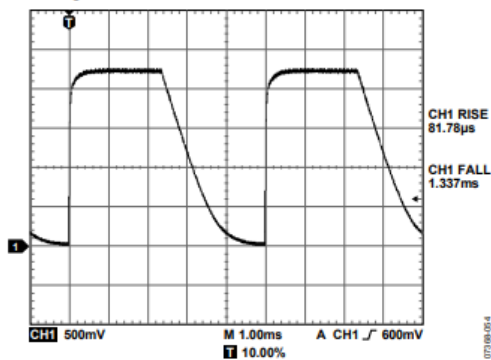


Figure 50. AD8363 Output Response to a WiMAX 802.16, 64 QAM, 256 Subcarriers, 10 MHz Bandwidth Signal with  $C_{LPF} = 0.027 \mu F$

Como se muestra en la Figura 49, el tiempo de caída para el AD8363 aumenta más rápido que el tiempo de subida con un aumento en la capacitancia CLPF. Algunos estándares de modulación de tipo pulso requieren un tiempo de caída rápido así como un tiempo de subida rápido y, en todos los casos, se desea menos ondulación de salida. La colocación de un filtro RC en la salida reduce la ondulación, de acuerdo con el contenido de frecuencia de la ondulación y los polos y ceros del filtro. El uso de un filtro de salida RC también cambia el tiempo de subida y bajada frente a la respuesta de ondulación de salida en comparación con el aumento de la capacitancia CLPF.

Table 5. Recommended  $C_{LPF}$  Values for Various Modulation Schemes

Modulation/Standard	Crest Factor
W-CDMA, 1Carrier, TM1-64	12
W-CDMA, 1Carrier, TM1-64 (EVDO)	12
W-CDMA 4Carrier, TM1-64	11
CDMA2000, 1Carrier, 9CH	9.1
CDMA2000, 3Carrier, 9CH	11
WiMAX 802.16, 64 QAM, 256 Subcarriers, 10 MHz Bandwidth	14
6C TD-SCDMA	14
1C TD-SCDMA	11.4

La Figura 51 muestra la respuesta para una señal pulsada de 2,14 GHz, con  $C_{LPF} = 3900 \text{ pF}$ . La ondulación residual de una señal CDMA2000 9CH SR1 de portadora única es 150 mV p-p. (La ondulación no se muestra en la Figura 51. La ondulación se midió por separado). La Figura 52 muestra la respuesta para una señal de pulso de 2,14 GHz con un  $C_{LPF}$  de 390 pF y un filtro de salida que consta de una resistencia en serie de 75  $\Omega$  (la más cercana a la salida) seguido de un condensador de 0,15  $\mu F$  a tierra. La ondulación residual para

esta configuración también es de 150 mV p-p. Tenga en cuenta que el tiempo de subida es más rápido y el tiempo de caída es más lento cuando se usa el CLPF más grande para obtener una ondulación p-p de 150 mV.

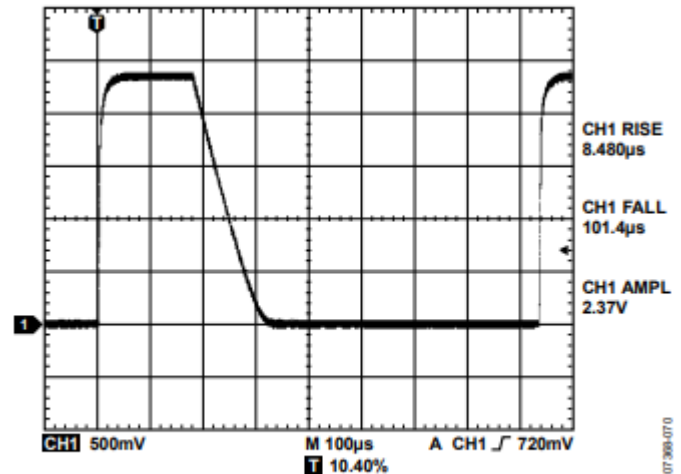


Figure 51. Pulse Response with  $C_{LPF} = 3900 \text{ pF}$  Resulting in a 150 mV p-p Ripple for a Single Carrier CDMA2000 9CH SR1 Signal at 2.14 GHz

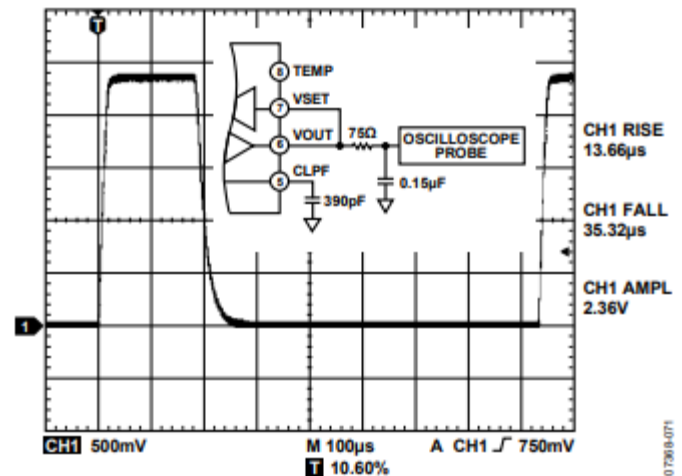


Figure 52. Pulse Response with  $C_{LPF} = 390 \text{ pF}$  and Series 75  $\Omega$  Resistor Followed by a 0.15  $\mu F$  Capacitor to Ground, Resulting in a 150 mV p-p Ripple for a Single Carrier CDMA2000 9CH SR1 Signal at 2.14 GHz

## RESPUESTA DE PULSO RF Y VTGT

La respuesta del AD8363 a las formas de onda de RF pulsadas se ve afectada por VTGT. Con referencia a la Figura 21 y la Figura 22, hay un período de inactividad entre el inicio de la forma de onda de RF y el momento en que VOUT comienza a mostrar una reacción. Esto sucede como resultado de la implementación del equilibrio de las corrientes más cuadradas dentro del AD8363. Este retraso se puede reducir disminuyendo VTGT; sin embargo, como se señaló anteriormente en la sección Interfaz VTGT, esto tiene



implicaciones en la sensibilidad, la intercepción y el rango dinámico. Mientras se reduce el retraso, la reducción de VTGT aumenta el tiempo de subida y bajada de VOUT.

### CONEXIONES BÁSICAS DEL MODO CONTROLADOR

Además de ser un dispositivo de medición, el AD8363 también se puede configurar para controlar los niveles de señal rms, como se muestra en la Figura 53.

La entrada de RF al dispositivo se configura como estaba en el modo de medición y se puede utilizar cualquiera de las entradas. Un acoplador direccional toma parte de la energía que genera el VGA. Si la pérdida en la ruta principal de la señal no es un problema y no hay problemas con la energía reflejada de la siguiente etapa en la cadena de la señal, se puede usar un divisor de potencia en lugar de un acoplador direccional. Es posible que se requiera alguna atenuación adicional para establecer la señal de entrada máxima en el AD8363 para que sea igual al nivel de entrada máximo recomendado para una linealidad y estabilidad de temperatura óptimas en la frecuencia de operación.

Los pines VSET y VOUT ya no están en cortocircuito. VOUT ahora proporciona un voltaje de control de ganancia o polarización al VGA. El sentido de control de ganancia del VGA debe ser negativo y monótono, es decir, el aumento de voltaje tiende a disminuir la ganancia. Sin embargo, la función de transferencia de control de ganancia del dispositivo no necesita estar bien controlada o ser particularmente lineal. Si el sentido de control de ganancia del VGA es positivo, se puede usar un circuito de amplificador operacional inversor

con un desplazamiento de compensación de CC entre el AD8363 y el VGA para mantener el voltaje de control de ganancia en el rango de 0.03 V a 4.8 V.

VSET se convierte en la entrada de punto de ajuste del sistema. Esto puede ser impulsado por un DAC, como se muestra en la Figura 53, si se espera que varíe la potencia de salida, o simplemente puede ser impulsado por un voltaje de referencia estable, si se requiere una potencia de salida constante. Este DAC debe tener una oscilación de salida que cubra el rango de 0,15 V a 3,5 V.

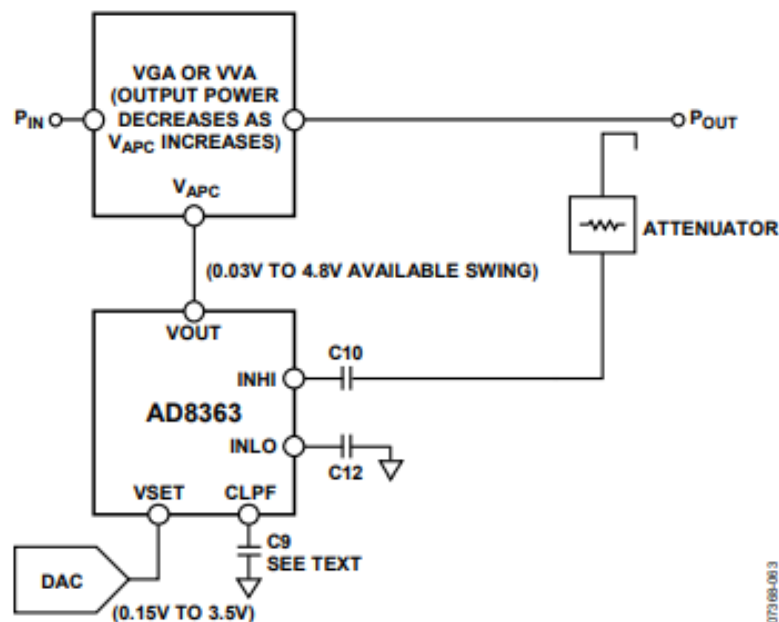


Figure 53. Controller Mode Operation for Automatic Power Control



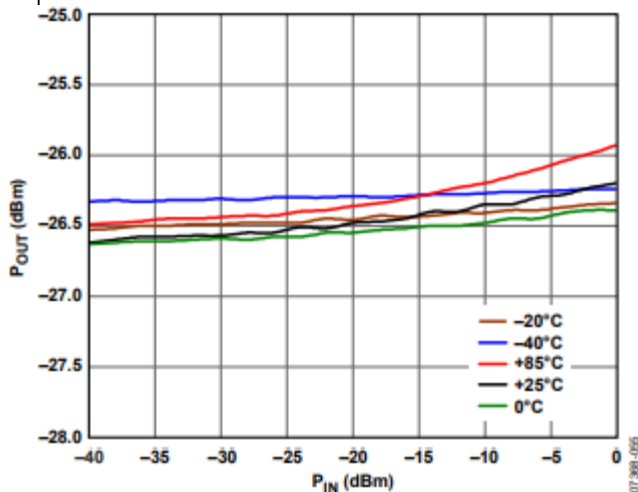


Figure 55. Performance of the Circuit Shown in Figure 54

### DESCRIPCIÓN DE LA CARACTERIZACIÓN DE RF

La configuración de hardware general utilizada para la mayor parte de la caracterización del AD8363 se muestra en la Figura 56. El AD8363 se manejó en una configuración de un solo extremo para todas las caracterizaciones. La caracterización del AD8363 empleó una estrategia de prueba multisitio. Varios dispositivos AD8363 montados en placas de circuito construidas con material Rogers 3006 se insertaron simultáneamente en una cámara de prueba térmica controlada de forma remota. Una red de conmutación RF Keithley S46 conectó una fuente de señal Agilent E8251A al dispositivo apropiado bajo prueba. Una matriz de conmutadores Agilent 34980A proporcionó conmutación de alimentación de CC y medición para los sitios de prueba. Una PC con Agilent VEE Pro controlaba la fuente de señal, la conmutación y la temperatura de la cámara.

Un voltímetro midió la respuesta posterior al estímulo y los resultados se almacenaron en una base de datos para su posterior análisis. De esta manera, se caracterizaron múltiples dispositivos AD8363 en cuanto a amplitud, frecuencia y temperatura en un período mínimo de tiempo. La amplitud del estímulo de RF se calibró hasta el conector de la placa de circuito que lleva el AD8363. Sin embargo, la calibración no tiene en cuenta las leves pérdidas debidas al conector y las huellas del conector al dispositivo bajo prueba. Por esta razón, hay un pequeño error de amplitud absoluta ( $<0,5$  dB) que no se tiene en cuenta en los datos de caracterización.

Esto implica un ligero error en la interceptación informada; sin embargo, esto generalmente no es importante porque la pendiente y la precisión relativa del AD8363 no se ven afectadas.

Los datos de rendimiento típicos se obtuvieron con CLPF = 3.9nF y CHPF = 2.7nF con una forma de onda CW.

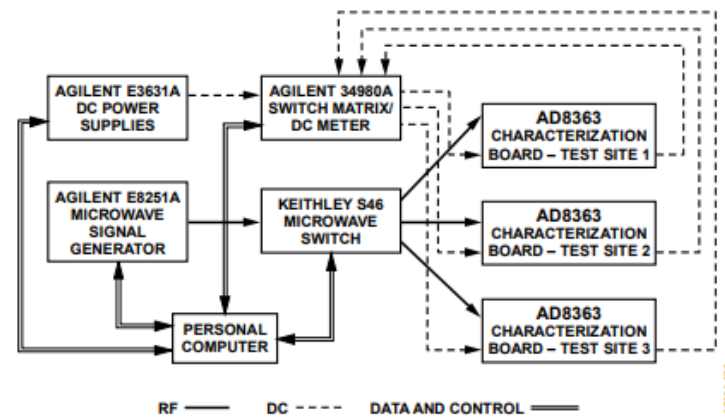


Figure 56. General RF Characterization Configuration

## DISEÑOS DE TARJETAS DE CIRCUITO DE EVALUACIÓN Y CARACTERIZACIÓN

La Figura 57 a la Figura 61 muestran la placa de evaluación para el AD8363.

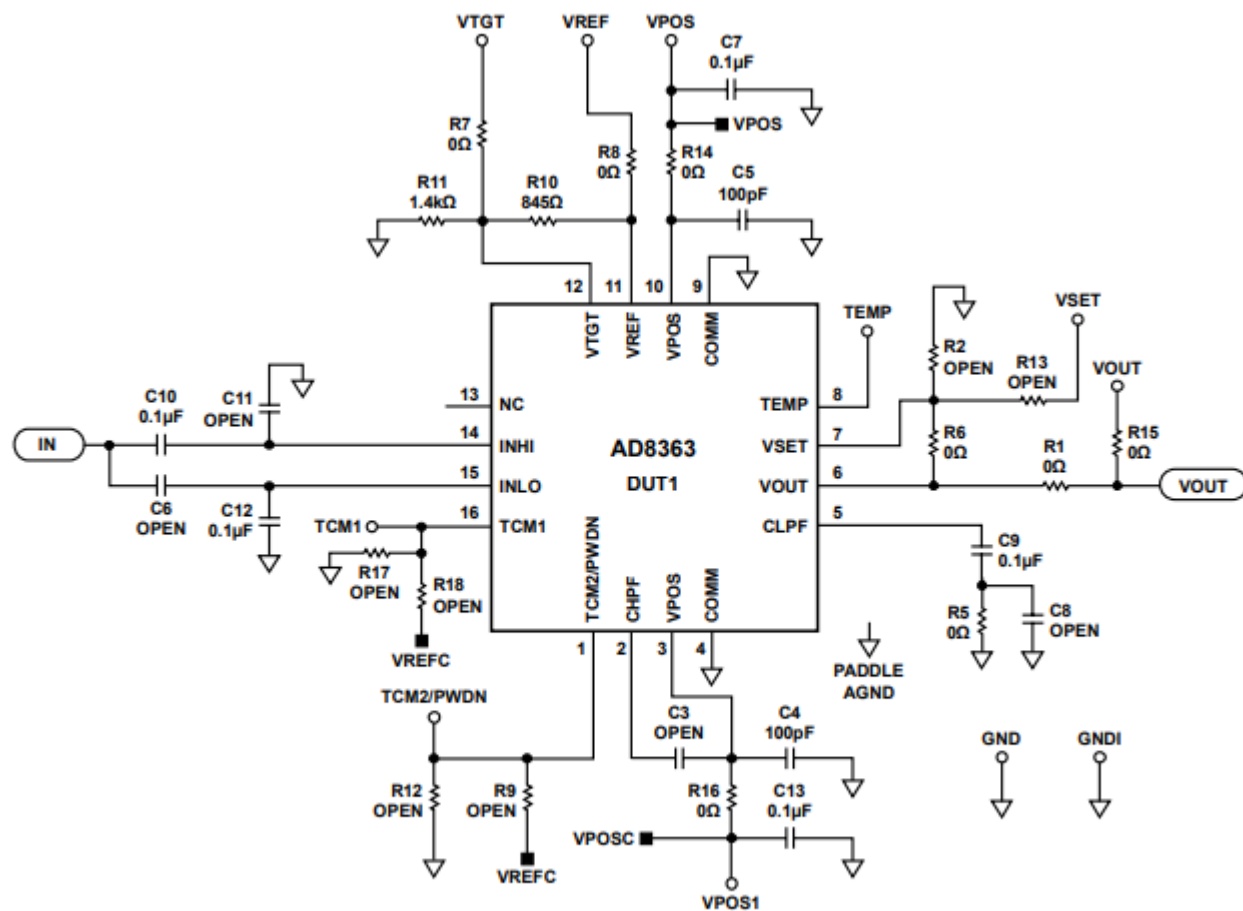


Figure 57. Evaluation Board Schematic

072918-074

Table 6. Evaluation Board Configuration Options

Component	Function/Notes	Default Value
C6, C10, C11, C12	Aporte. El AD8363 tiene un solo extremo. A frecuencias $\leq 2.6$ GHz, el mejor rango dinámico se logra activando el Pin 14 (INHI). Al manejar INHI, complete C10 y C12 con un valor de capacitor apropiado para la frecuencia de operación y deje C6 y C11 abiertos. Para frecuencias $> 2.6$ GHz, se puede lograr un rango dinámico adicional activando el Pin 15 (INLO). Al manejar INLO, complete C6 y C11 con un valor de capacitor apropiado para la frecuencia de operación y deje C10 y C12 abiertos.	C6 = open, C10 = 0.1 $\mu$ F, C11 = open, C12 = 0.1 $\mu$ F
R7, R8, R10, R11	VTGT. R10 y R11 están configurados para proporcionar 1,4 V a VTGT desde VREF. Si se eliminan R10 y R11, se puede utilizar un voltaje externo. Alternativamente, R7 y R11 se pueden usar para formar un divisor de voltaje para una referencia externa.	R7 = 0 $\Omega$ , R8 = 0 $\Omega$ , R10 = 845 $\Omega$ , R11 = 1.4 k $\Omega$
C4, C5, C7, C13, R14, R16	Desacoplamiento de la fuente de alimentación. El desacoplamiento de la fuente nominal consiste en un capacitor de filtro de 100 pF colocado físicamente cerca del AD8363, una resistencia en serie de 0 $\Omega$ y un capacitor de 0.1 $\mu$ F ubicado cerca del pin de entrada de la fuente de alimentación. La resistencia de 0 $\Omega$ se puede reemplazar con una resistencia más grande para agregar más filtrado; sin embargo, es a expensas de una caída de voltaje.	C4 = 100 pF, C5 = 100 pF, C7 = 0.1 $\mu$ F, C13 = 0.1 $\mu$ F, R14 = 0 $\Omega$ , R16 = 0 $\Omega$
R1, R2, R6, R13, R15	Interfaz de salida (configuración predeterminada) en modo de medición. En este modo, una parte del voltaje de salida se retroalimenta al pin VSET a través de R6. Usando el divisor de voltaje creado por R2 y R6, la magnitud de la pendiente en VOUT aumenta reduciendo la porción de VOUT que se retroalimenta a VSET. Si se espera una salida de respuesta rápida, la resistencia de 0 $\Omega$ (R15) se puede quitar para reducir los parásitos en la salida.  Interfaz de salida en modo controlador. En este modo, R6 debe estar abierto y R13 debe tener una resistencia de 0 $\Omega$ . En el modo de controlador, el AD8363 puede controlar la ganancia de un componente externo. Se aplica un voltaje de punto de ajuste al pin VSET, cuyo valor corresponde al nivel de señal de entrada de RF deseado aplicado al AD8363. Si se espera una salida de respuesta rápida, la resistencia de 0 $\Omega$ (R15) se puede quitar para reducir los parásitos en la salida.	R1 = 0 $\Omega$ , R2 = open, R6 = 0 $\Omega$ , R13 = open, R15 = 0 $\Omega$
C8, C9, R5	Condensadores de filtro de paso bajo, CLPF. Los condensadores de filtro de paso bajo reducen el ruido en la salida y afectan el tiempo de respuesta de pulso del AD8363. Este condensador debe ser lo más grande posible. La capacitancia CLPF más pequeña debe ser 390 pF. R5, cuando se establece en un valor distinto de 0 $\Omega$ , se utiliza junto con C8 y C9 para modificar la función de transferencia de bucle y cambiar la dinámica de bucle en el modo de controlador.	C8 = open, C9 = 0.1 $\mu$ F, R5 = 0 $\Omega$
C3	Condensador CHPF. El condensador CHPF introduce un efecto de filtro de paso alto en la función de transferencia AD8363 y también puede afectar el tiempo de respuesta. El capacitor CHPF debe ser lo más pequeño posible y conectarse a VPOS cuando se usa. No se necesita condensador para frecuencias de entrada superiores a 10 MHz.	C3 = open
R9, R12	TCM2 / PWDN. El pin TCM2 / PWDN controla la cantidad de compensación de temperatura de intercepción no lineal y / o apaga el dispositivo. La placa de evaluación está configurada para controlar esto desde un bucle de prueba, pero el divisor de voltaje creado por R9 y R12 también puede usar VREF.	R9 = open, R12 = open
R17, R18	TCM1. TCM1 controla la compensación de temperatura (impedancia de 5 k $\Omega$ ). La placa de evaluación está configurada para controlar esto desde un bucle de prueba, pero el divisor de voltaje creado por R17 y R18 también puede usar VREF. Debido a la impedancia relativamente baja del pin TCM1 y la corriente limitada del pin VREF, se debe tener cuidado al elegir los valores R17 y R18.	R17 = open, R18 = open
Paddle	Conecte la paleta a tierra térmica y eléctrica.	

ASSEMBLY DRAWINGS

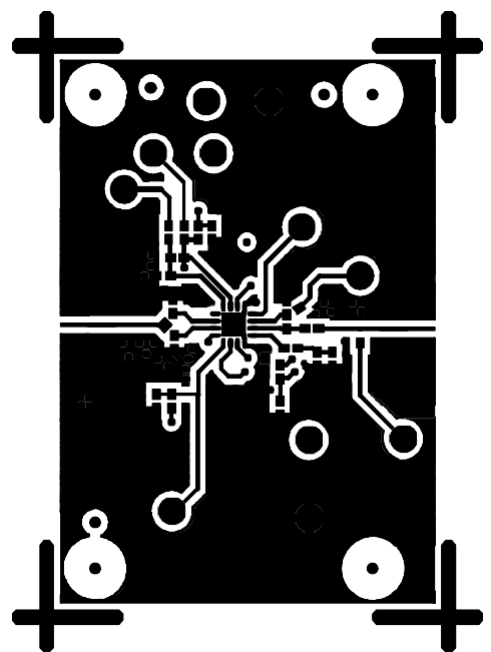


Figure 58. Evaluation Board Layout, Top Side

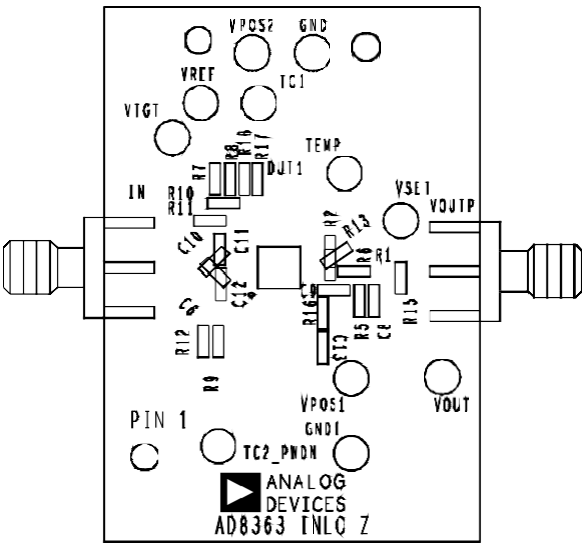


Figure 60. Evaluation Board Assembly, Top Side

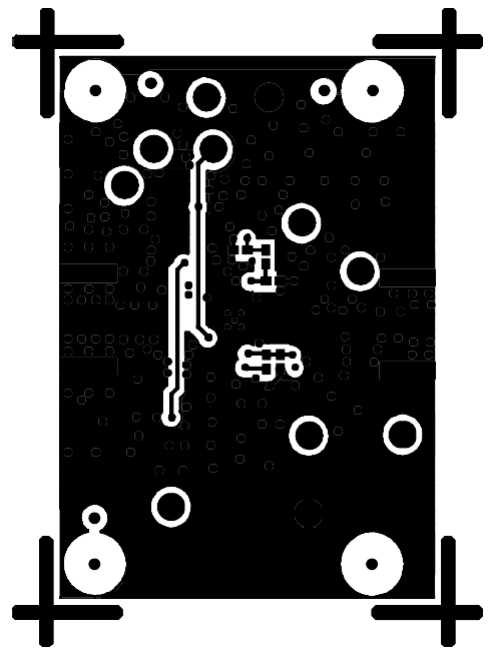


Figure 59. Evaluation Board Layout, Bottom Side

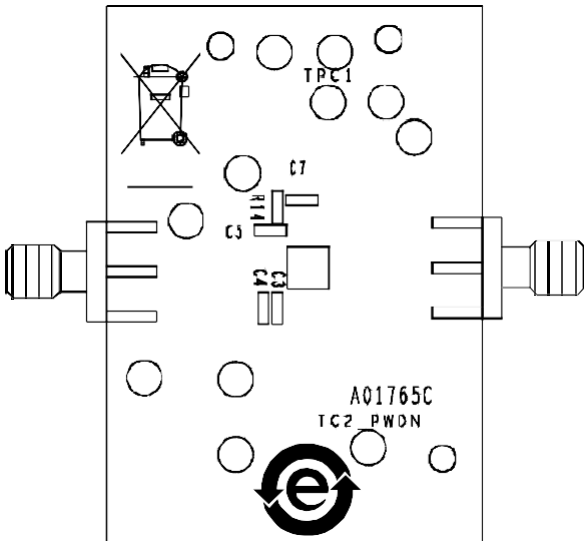
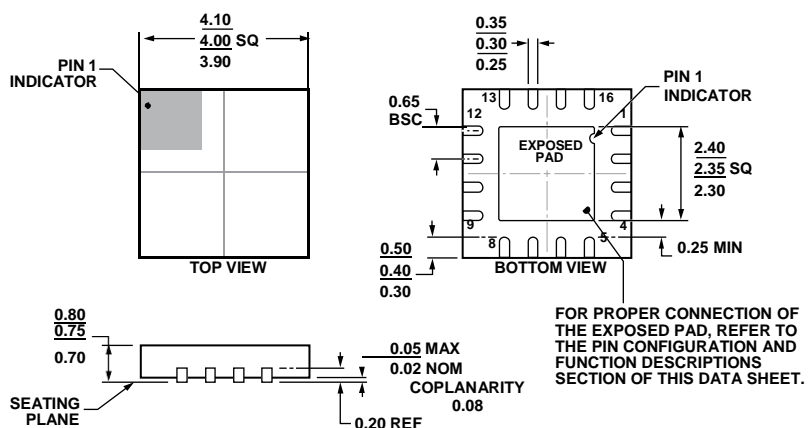


Figure 61. Evaluation Board Assembly, Bottom Side

## OUTLINE DIMENSIONS



COMPLIANT TO JEDEC STANDARDS MO-220-WGGC-3.

Figure 62. 16-Lead Lead Frame Chip Scale Package [LFCSP\_WQ]  
4 mm x 4 mm Body, Very Very Thin Quad  
(CP-16-20)  
Dimensions shown in millimeters

## ORDERING GUIDE

Model <sup>1</sup>	Temperature Range	Package Description	Package Option	Ordering Quantity
AD8363ACPZ-R2	-40°C to +125°C	16-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-16-20	250
AD8363ACPZ-R7	-40°C to +125°C	16-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-16-20	1,500
AD8363ACPZ-WP	-40°C to +125°C	16-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-16-20	64
AD8363-EVALZ		Evaluation Board		

<sup>1</sup> Z = RoHS Compliant Part.