1. MOV -(SP),(R3)

FT：M→IR

PC+1→PC

ST0：R3→MAR

ST1：M→MDR→C

DT0：SP-1→MAR、SP

ET0：C→MDR

ET1：MDR→M

ET2：PC→MAR

1. SUB (R1)+,(R2)

FT：M→IR

PC+1→PC

ST0：R2→MAR

ST1：M→MDR→C

DT0：R1→MAR

DT1: M→MDR→D

DT2:R1+1→R1

ET0:D-C→MDR

ET1：MDR→M

ET2：PC→MAR

4. 某半导体存储器容量8K×8位，可选RAM芯片容量为2K×4 /片。地址总线A15~A0（低），双向数据线D7~D0（低），由R/线控制读写。请设计并画出该存储器逻辑图，并注明地址分配与片选逻辑式及片选信号极性。

解 半导体存储容量为8K×8位，根据可选芯片容量可知，在构成存储器时，可由两块2K×4 /片的芯片为1组，构成2K×8的存储模块。由4组2K×8的存储模块构成8K×8的存储器。

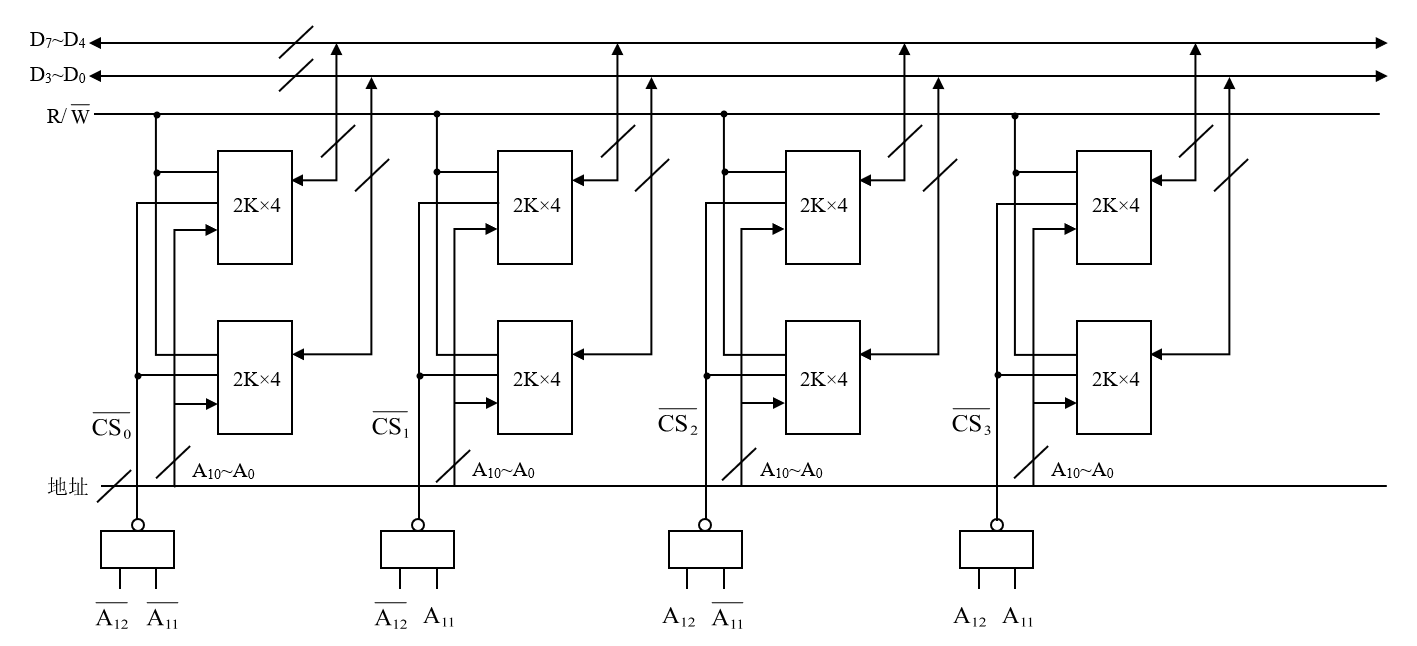
共需要的芯片数量为2×4 = 8片。

由于题目要求的存储容量为8K字节单元，而，因此占16位地址总线的低13位A12~A0，用这13位地址可寻址整个8K存储空间。接下来对这13位地址进行分配。

每块芯片容量为2K×4 /片，而，因此需要11位地址总线对片内单元进行寻址。组成8KB存储器需要4组芯片，所以需要用4个片选信号对它们进行选择。因此将13位地址中的低11位A10~A0分配给各存储芯片，加到各芯片的地址端，剩下的两位高地址A12、A11送到片选逻辑进行译码，产生4个片选信号、、、，这4个片选信号的逻辑式分别为：

，，，。

存储器逻辑图如下图所示：



7. 某半导体存储器容量为14KB，其中0000H~1FFFH为ROM区，2000H~37FFH为RAM区，地址总线A15~A0（低），双向数据总线D7~D0（低），读写控制线R/。可选用的存储芯片有EPROM（4KB /片）和RAM（2K×4 /片）。

（1）计算所需各类芯片的数量。

（2）说明加到各芯片的地址范围值和地址线。

（3）写出各片选信号的逻辑式。

（4）画出该存储芯片的逻辑图，包括地址总线、数据线、片选信号线（低电平有效）及读写信号线的连接。

解 （1）ROM区容量为，EPROM要2片；RAM区容量为，故RAM要6片。

（2）各组芯片的地址范围和地址线分布情况如下表所示：

|  |  |  |
| --- | --- | --- |
| 芯片 | | A15 A14 A13 A12 A11 A10 A9 A8 A7…A0 |
| EPROM 4K×8 | | **0 0 0 0** 0 0 0 0 0…0 |
| **0 0 0 0** 1 1 1 1 1…1 |
| EPROM 4K×8 | | **0 0 0 1** 0 0 0 0 0…0 |
| **0 0 0 1** 1 1 1 1 1…1 |
| RAM 2K×4 | RAM 2K×4 | **0 0 1 0 0** 0 0 0 0…0 |
| **0 0 1 0 0** 1 1 1 1…1 |
| RAM 2K×4 | RAM 2K×4 | **0 0 1 0 1** 0 0 0 0…0 |
| **0 0 1 0 1** 1 1 1 1…1 |
| RAM 2K×4 | RAM 2K×4 | **0 0 1 1 0** 0 0 0 0…0 |
| **0 0 1 1 0** 1 1 1 1…1 |

第0组，4K地址空间，故片内地址线12根：A11~A0；

第1组，4K地址空间，故片内地址线12根：A11~A0；

第2组，2K地址空间，故片内地址线11根：A10~A0；

第3组，2K地址空间，故片内地址线11根：A10~A0；

第4组，2K地址空间，故片内地址线11根：A10~A0。

（3）各组芯片的片选逻辑表达式为：

；

；







（4）逻辑图如下图所示：

