

真题分类精讲【计组第一章：概述】【选择题】

答案详细解析: <https://tmdus.xetlk.com/s/3lZQih>



1. 【2015 第 12 题】计算机硬件能够直接执行的是 ()
I: 机器语言程序
II: 汇编语言程序
III: 硬件描述语言程序
A. 仅 I
B. 仅 I、II
C. 仅 I、III
D. I、II、III

2. 【2016 第 12 题】将高级语言源程序转换为机器级目标代码文件的程序是 ()
A. 汇编程序
B. 链接程序
C. 编译程序
D. 解释程序

3. 【2019 第 12 题】下列关于冯·诺依曼结构计算机基本思想的叙述中, 错误的是 ()
A. 程序的功能都通过中央处理器执行指令实现
B. 指令和数据都用二进制数表示, 形式上无差别
C. 指令按地址访问, 数据都在指令中直接给出
D. 程序执行前, 指令和数据需预先存放在存储器中

4. 【2022 第 20 题】将高级语言源程序转换为可执行目标文件的主要过程是 ()。
A. 预处理→编译→汇编→链接
B. 预处理→汇编→编译→链接
C. 预处理→编译→链接→汇编
D. 预处理→汇编→链接→编译

5. 【2011 第 12 题】下列选项中, 描述浮点数操作速度指标的是 ()

- A. MIPS
- B. CPI
- C. IPC
- D. MFLOPS

6. 【2013 第 12 题】某计算机主频为 1.2GHz，其指令分为 4 类，它们在基准程序中所占比例及 CPI 如下表所示。

指令类型	所占比例	CPI
A	50%	2
B	20%	3
C	10%	4
D	20%	5

该机的 MIPS 数是 ()

- A. 100
- B. 200
- C. 400
- D. 600

7. 【2014 第 12 题】程序 P 在机器 M 上的执行时间是 20 秒，编译优化后，P 执行的指令数减少到原来的 70%，而 CPI 增加到原来的 1.2 倍，则 P 在 M 上的执行时间是 ()

- A. 8.4 秒
- B. 11.7 秒
- C. 14 秒
- D. 16.8 秒

8. 【2017 第 12 题】假定计算机 M1 和 M2 具有相同的指令集体系结构 (ISA)，主频分别为 1.5GHz 和 1.2GHz。在 M1 和 M2 上运行某基准程序 P，若平均 CPI 分别为 2 和 1，则程序 P 在 M1 和 M2 上运行时间的比值是 ()

- A. 0.4
- B. 0.625
- C. 1.6
- D. 2.5

9. 【2021 第 12 题】2017 年公布的全球超级计算机 TOP500 排名中，我国“神威·太湖之光”超级计算机蝉联第一，其浮点运算速度为 93.0146 PFLOPS，说明该计算机每秒钟内完成的浮点操作次数约为 ()。

- A. 9.3×10^{13} 次
- B. 9.3×10^{15} 次
- C. 9.3 千万亿次

D. 9.3 亿亿次

10. 【2022 第 12 题】某计算机主频为 1 GHz，程序 P 运行过程中，共执行了 10000 条指令，其中，80% 的指令执行平均需 1 个时钟周期，20% 的指令执行平均需 10 个时钟周期。程序 P 的平均 CPI 和 CPU 执行时间分别是（ ）。

A. 2.8, 28 μ s

B. 28, 28 μ s

C. 2.8, 28 ms

D. 28, 28 ms

11. 【2023 第 12 题】若机器 M 的主频为 1.5GHz，在 M 上执行程序 P 的指令条数为 5×10^8 ，P 的平均 CPI 为 1.2，则 P 在 M 上的指令执行速度和用户 CPU 时间分别为（ ）。

A. 0.8GIPS, 0.4ms

B. 0.8GIPS, 0.4 μ s

C. 1.25GIPS, 0.4ms

D. 1.25GIPS, 0.4 μ s

真题分类精讲【计组第二章：总线系统】【选择题】

答案详细解析: <https://tmdus.xetlk.com/s/1PR4jg>



1.【2014 第 20 题】一次总线事务中，主设备只需给出一个首地址，从设备就能从首地址开始的若干连续单元读出或写入多个数据。这种总线事务方式称为（ ）

- A.并行传输
- B.串行传输
- C.突发传输
- D.同步传输

2.【2015 第 19 题】下列有关总线定时的叙述中，错误的是（ ）

- A.异步通信方式中，全互锁协议最慢
- B.异步通信方式中，非互锁协议的可靠性最差
- C.同步通信方式中，同步时钟信号可由各设备提供
- D.半同步通信方式中，握手信号的采样由同步时钟控制

3.【2016 第 21 题】下列关于总线设计的叙述中，错误的是（ ）

- A.并行总线传输比串行总线传输速度快
- B.采用信号线复用技术可减少信号线数量
- C.采用突发传输方式可提高总线数据传输率
- D.采用分离事务通信方式可提高总线利用率

4.【2021 第 19 题】下列关于总线的叙述中，错误的是（ ）。

- A.总线是在两个或多个部件之间进行数据交换的传输介质
- B.同步总线由时钟信号定时，时钟频率不一定等于工作频率
- C.异步总线由握手信号定时，一次握手过程完成一位数据交换
- D.突发(Burst)传送总线事务可以在总线上连续传送多个数据

5.【2009 第 20 题】假设某系统总线在一个总线周期中并行传输 4B 信息，一个总线周期占用 2 个时钟周期，总线时钟频率为 10MHz,则总线带宽是_____。

- A.10MB/s

- B.20MB/s
- C.40MB/s
- D.80MB/s

6.【2014 第 19 题】某同步总线采用数据线和地址线复用方式，其中地址/数据线有 32 根，总线时钟频率为 66MHz，每个时钟周期传送两次数据（上升沿和下降沿各传送一次数据），该总线的最大数据传输率（总线带宽）是（ ）

- A.132MB/s
- B.264MB/s
- C.528MB/s
- D.1056MB/s

7.【2018 第 21 题】下列选项中，可提高同步总线数据传输率的是（ ）

- I：增加总线宽度
- II：提高总线工作频率
- III：支持突发传输
- IV：采用地址/数据线复用

- A.仅 I、II
- B.仅 I、II、III
- C.仅 III、IV
- D.I、II、III 和 IV

8.【2019 第 19 题】假定一台计算机采用 3 通道存储器总线，配套的内存条型号为 DDR3-1333，即内存条所接插的存储器总线的工作频率为 1333MHz，总线宽度为 64 位，则存储器总线的总带宽大约是（ ）

- A.10.66GB/s
- B.32GB/s
- C.64GB/s
- D.96GB/s

9.【2020 第 19 题】QPI 总线是一种点对点全工同步串行总线，总线上的设备可同时接收和发送信息，每个方向可同时传输 20 位信息（16 位数据 + 4 位校验位），每个 QPI 数据包有 80 位信息，分 2 个时钟周期传送，每个时钟周期传递 2 次。因此，QPI 总线带宽为：每秒传送次数 \times 2B \times 2。若 QPI 时钟频率为 2.4GHz，则总线带宽为（ ）。

- A.4.8GBps
- B.9.6GBps
- C.19.2GBps
- D.38.4GBps

10.【2024 第 20 题】某存储器总线的时钟频率为 420MHz，总线宽度为 64 位，每个时钟周期传送 2 次数据；其总线事务支持突发传送方式，最多传送 8 次数据，第 1 个时钟周期传送地址和读/写命令，从第 4 个至第 7 个时钟周期连续传送 8 次数据。该总线的总线带宽 (最大数据传输率) 为 ()。

- A.3.84 GB/s
- B.6.72GB/s
- C.30.72 GB/s
- D.53.76 GB/s

11.【2025 第 20 题】某处理器总线采用同步，并行传输方式，每个总线时钟周期传送 4 次数据 (quadpumped 技术)，若该总线的工作频率为 1333MHz (实际单位是 MT/s，表示每秒传送 1333M/次)，总线宽度为 64 位，则总线带宽约为 ()

- A.10.66GB/s
- B.42.66GB/s
- C.85.31GB/s
- D.341.25 GB/s

12.【2012 第 19 题】某同步总线的时钟频率为 100MHz，宽度为 32 位，地址/数据线复用，每传输一个地址或数据占用一个时钟周期。若该总线支持突发 (猝发) 传输方式，则一次 "主存写" 总线事务传输 128 位数据所需要的时间至少是 ()

- A.20ns
- B.40ns
- C.50ns
- D.80ns

13.【2023 第 20 题】某存储总线宽度为 64b，总线时钟频率为 1GHz，在总线上传输一个数据或地址需要一个时钟周期，不支持突发传送方式。若通过该总线连接 CPU 和主存，主存每次准备一个 64b 数据需要 6ns，主存块大小为 32B，则读取一个主存块需要的时间是 ()。

- A.8ns
- B.11ns
- C.26ns
- D.32ns

14.【2010 第 20 题】下列选项中的英文缩写均为总线标准的是 ()

- A.PCI、CRT、USB、EISA
- B.ISA、CPI、VESA、EISA
- C.ISA、SCSI、RAM、MIPS
- D.ISA、EISA、PCI、PCI-Express

15.【2012 第 20 题】下列关于 USB 总线特性的描述中，错误的是（ ）

- A.可实现外设的即插即用和热拔插
- B.可通过级联方式连接多台外设
- C.是一种通信总线，连接不同外设
- D.同时可传输 2 位数据，数据传输率高

16.【2017 第 20 题】下列关于多总线结构的叙述中，错误的是（ ）

- A.靠近 CPU 的总线速度较快
- B.存储器总线可支持突发传送方式
- C.总线之间须通过桥接器相连
- D.PCI-Express×16 采用并行传输方式

真题分类精讲【计组第三章之存储器芯片】【选择题】

答案详细解析: <https://tmdus.xetlk.com/s/3ZPB0R>



- 1.【2010 第 16 题】下列有关 RAM 和 ROM 的叙述中, 正确的是 ()
I: RAM 是易失性存储器, ROM 是非易失性存储器
II: RAM 和 ROM 都采用随机存取方式进行信息访问
III: RAM 和 ROM 都可用作 Cache
IV: RAM 和 ROM 都需要进行刷新
A.仅 I 和 II
B.仅 II 和 III
C.仅 I、II 和 IV
D.仅 II、III 和 IV

- 2.【2015 第 17 题】下列存储器中, 在工作期间需要周期性刷新的是 ()
A.SRAM
B.SDRAM
C.ROM
D.FLASH

- 3.【2014 第 15 题】某容量为 256MB 的存储器由若干 4M×8 位的 DRAM 芯片构成, 该 DRAM 芯片的地址引脚和数据引脚总数是 ()
A.19
B.22
C.30
D.36

- 4.【2018 第 17 题】假定 DRAM 芯片中存储阵列的行数为 r 、列数为 c , 对于一个 2K×1 位的 DRAM 芯片, 为保证其地址引脚数最少, 并尽量减少刷新开销, 则 r 、 c 的取值分别是 ()
A.2048、1
B.64、32
C.32、64
D.1、2048

5.【2022 第 17 题】某内存条包含 8 个 $8192 \times 8192 \times 8$ 位的 DRAM 芯片，按字节编址，支持突发 (burst) 传送方式，对应存储器总线宽度为 64 位，每个 DRAM 芯片内有一个行缓冲区分 (row buffer)。下列关于该内存条的叙述中，不正确的是 ()。

- A.内存条的容量为 512 MB
- B.采用多模块交叉编址方式
- C.芯片的地址引脚为 26 位
- D.芯片内行缓冲有 8192×8 位

6.【2009 第 15 题】某计算机主存容量为 64KB，其中 ROM 区为 4KB，其余为 RAM 区，按字节编址。现要用 $2K \times 8$ 位的 ROM 芯片和 $4K \times 4$ 位的 RAM 芯片来设计该存储器，则需要上述规格的 ROM 芯片数和 RAM 芯片数分别是_____。

- A.1、15
- B.2、15
- C.1、30
- D.2、30

7.【2010 第 15 题】假定用若干 $2K \times 4$ 位的芯片组成一个 $8K \times 8$ 位的存储器，则地址 0B1FH 所在芯片的最小地址是 ()

- A.0000H
- B.0600H
- C.0700H
- D.0800H

8.【2011 第 15 题】某计算机存储器按字节编址，主存地址空间大小为 64MB，现用 $4MB \times 8$ 位的 RAM 芯片组成 32MB 的主存储器，则存储器地址寄存器 MAR 的位数至少是 ()

- A.22 位
- B.23 位
- C.25 位
- D.26 位

9.【2016 第 16 题】某存储器容量为 64KB，按字节编址，地址 4000H~5FFFH 位 ROM 区，其余为 RAM 区。若采用 $8K \times 4$ 位的 SRAM 芯片进行设计，则需要该芯片的数量是 ()

- A.7
- B.8
- C.14
- D.16

10.【2021 第 15 题】某计算机的存储器总线中有 24 位地址线和 32 位数据线，按字编址，字长为 32 位。如果 000000H~3F FFFFH 为 RAM 区，那么需要 512K×8 位的 RAM 芯片数为 ()。

- A.8
- B.16
- C.32
- D.64

11.【2023 第 15 题】某计算机的 CPU 有 30 根地址线，按字节编址，CPU 和主存芯片连接时，要求主存芯片占满所有可能存储地址空间，并且 RAM 区和 ROM 区所分配的空间大小比为 3:1。若 RAM 在连续低地址区，ROM 在连续高地址区，则 ROM 的地址范围 ()。

- A.00000000H~0FFF FFFFH
- B.10000000H~2FFF FFFFH
- C.30000000H~3FFF FFFFH
- D.40000000H~4FFF FFFFH

真题分类精讲【计组第三章之 Cache 和多模块主存储器】【选择题】

答案详细解析: <https://tmdus.xetlk.com/s/48BlJE>



1.【2009 第 14 题】某计算机的 Cache 共有 16 块,采用 2 路组相联映射方式 (即每组 2 块)。每个主存块大小为 32B,按字节编址。主存 129 号单元所在主存块应装入到的 Cache 组号是_____。

- A.0
- B.1
- C.4
- D.6

2.【2009 第 21 题】假设某计算机的存储系统由 Cache 和主存组成,某程序执行过程中访问 1000 次,其中访问 Cache 缺失 (未命中) 50 次,则 Cache 的命中率是_____。

- A.5%
- B.9.5%
- C.50%
- D.95%

3.【2012 第 17 题】假设某计算机按字编址,Cache 有 4 个行,Cache 和主存之间交换的块大小为 1 个字。若 Cache 的内容初始为空,采用 2 路组相联映射方式和 LRU 替换策略。访问的主存地址依次为 0,4,8,2,0,6,8,6,4,8 时,命中 Cache 的次数是 ()

- A.1
- B.2
- C.3
- D.4

4.【2015 第 15 题】假定主存地址为 32 位,按字节编址,主存和 Cache 之间采用直接映射方式,主存块大小为 4 个字,每字 32 位,采用回写 (Write Back) 方式,则能存放 4K 字数据的 Cache 的总容量的位数至少是 ()

- A.146k
- B.147K
- C.148K
- D.158K

5.【2016 第 15 题】有如下 C 语言程序段：

```
for(k=0;k<1000;k++) a[k]=a[k]+32;
```

若数组 a 及变量 k 均为 int 型， int 型数据占 4B ，数据 Cache 采用直接映射方式，数据区大小为 1KB 、块大小为 16B ，该程序段执行前 Cache 为空，则该程序段执行过程中访问数组 a 的 Cache 缺失率约为 ()

- A.1.25%
- B.2.5%
- C.12.5%
- D.25%

6.【2017 第 14 题】14.某 C 语言程序段如下：

```
for(i=0;i<=9;i++){  
    temp =1;  
    for(j=0;j<=i;j++) temp *=a[j];  
    sum +=temp;  
}
```

下列关于数组 a 的访问局部性的描述中，正确的是 ()

- A.时间局部性和空间局部性皆有
- B.无时间局部性，有空间局部性
- C.有时间局部性，无空间局部性
- D.时间局部性和空间局部性皆无

7.【2021 第 16 题】若计算机主存地址为 32 位，按字节编址，Cache 数据区大小为 32KB ，主存块大小为 32B ，采用直接映射方式和回写 (Write Back) 策略，则 Cache 行的位数至少是 ()。

- A.275
- B.274
- C.258
- D.257

8.【2022 第 16 题】若计算机主存地址为 32 位，按字节编址，某 Cache 的数据区容量为 32KB ，主存块大小为 64B ，采用 8 路组相联映射方式，该 Cache 中比较器的个数和位数分别为 ()。

- A.8,20
- B.8,23
- C.64,20

D.64,23

9.【2015 第 18 题】某计算机使用 4 体交叉编址存储器，假定在存储器总线上出现的主存地址 (十进制) 序列为 8005, 8006, 8007, 8008, 8001, 8002, 8003, 8004, 8000, 则可能发生访存冲突的地址对是 ()

A.8004 和 8008

B.8002 和 8007

C.8001 和 8008

D.8000 和 8004

10.【2017 第 13 题】某计算机主存按字节编址，由 4 个 64M×8 位的 DRAM 芯片采用交叉编址方式构成，并与宽度为 32 位的存储器总线相连，主存每次最多读写 32 位数据。若 double 型变量 x 的主存地址为 804001AH，则读取 x 需要的存储周期数是 ()

A.1

B.2

C.3

D.4

真题分类精讲【计组第三章之 Cache 和多模块主存储器】【综合题】

答案详细解析: <https://tmdus.xetlk.com/s/42aDLq>



1、【2010 第 44 题】(12 分) 某计算机的主存地址空间大小为 256MB，按字节编址。指令 Cache 和数据 Cache 分离，均有 8 个 Cache 行，每个 Cache 行大小为 64B，数据 Cache 采用直接映射方式。现有两个功能相同的程序 A 和 B，其伪代码如下：

```
程序 A:  
int a[256][256]  
.....  
int sum_array1()  
{  
    int i,j,sum=0;  
    for(i=0;i<256;i++)  
        for(j=0;j<256;j++)  
            sum+=a[i][j];  
    return sum;  
}
```

```
程序 B:  
int a[256][256]  
.....  
int sum_array2()  
{  
    int i,j,sum=0;  
    for(j=0;j<256;j++)  
        for(i=0;i<256;i++)  
            sum+=a[i][j];  
    return sum;  
}
```

假定 int 类型数据用 32 位补码表示，程序编译时 i、j、sum 均分配在寄存器中，数组 a 按行优先方式存放，其首地址为 320（十进制数）。请回答下列问题，要求说明理由或给出计算过程

- 1) 若不考虑用于 Cache 一致性维护和替换算法的控制位，则数据 Cache 的总容量为多少？
- 2) 数组元素 a[0][31] 和 a[1][1] 各自所在的主存块对应的 Cache 行号分别是多少（Cache 行号从 0 开始）？
- 3) 程序 A 和 B 的数据访问命中率各是多少？哪个程序的执行时间更短？

2、【2013 第 43 题】(9 分) 某 32 位计算机，CPU 主频为 800MHz，Cache 命中时的 CPI 为 4，Cache 块大小为 32 字节；主存采用 8 体交叉存储方式，每个体的存储字长为 32 位、存储周期为 40ns；存储器总线宽度为 32 位，总线时钟频率为 200MHz，支持突发传送总线事务。每次读突发传送总线事务的过程包括：送首地址和命令、存储器准备数据、传送数据。每次突发传送 32 字节，传送地址或 32 位数据均需要一个总线时钟周期。请回答下列问题，要求给出理由或计算过程。

- (1) CPU 和总线的时钟周期各为多少？总线的带宽（即最大数据传输率）为多少？
- (2) Cache 缺失时，需要用几个读突发传送总线事务来完成一个主存块的读取？
- (3) 存储器总线完成一次读突发传送总线事务所需的时间是多少？
- (4) 若程序 BP 执行过程中，共执行了 100 条指令，平均每条指令需进行 1.2 次访存，Cache 缺失率为 5%，不考虑替换等开销，则 BP 的 CPU 执行时间是多少？

3、【2020 第 44 题】(10 分) 假定主存地址为 32 位，按字节编址，指令 Cache 和数据 Cache 与主存之间均采用 8 路组相联映射方式，直写 (Write Through) 写策略和 LRU 替换算法，主存块大小为 64B，数据区容量各为 32KB。开始时 Cache 均为空。请回答下列问题。

1) Cache 每一行中标记 (Tag)、LRU 位各占几位？是否有修改位？

2) 有如下 C 语言程序段：

```
for(k=0;k<1024;k++)  
    S[k]=2*s[k];
```

若数组 s 及其变量 k 均为 int 型，int 型数据占 4B，变量 k 分配在寄存器中，数组 s 在主存中的起始地址为 008000C0H，则该程序段执行过程中，访问数组 s 的数据 Cache 缺失次数为多少？

3) 若 CPU 最先开始的访问操作是读取主存单元 00010003H 中的指令，简要说明从 Cache 中访问该指令的过程，包括 Cache 缺失处理过程。

真题分类精讲【计组第四章之整数的表示】【选择题】

答案详细解析: <https://tmdus.xetlk.com/s/1h4J5N>



1. 【2018 第 12 题】冯·诺依曼结构计算机中数据采用二进制编码表示, 其主要原因是 ()

I: 二进制的运算规则简单

II: 制造两个稳态的物理器件较容易

III: 便于用逻辑门电路实现算术运算

A. 仅 I、II

B. 仅 I、III

C. 仅 II、III

D. I、II 和 III

2. 【2010 第 13 题】假定有 4 个整数用 8 位补码分别表示 $r1=FEH$, $r2=F2H$, $r3=90H$, $r4=F8H$, 若将运算结果存放在一个 8 位寄存器中, 则下列运算中会发生溢出的是 ()

A. $r1 \times r2$

B. $r2 \times r3$

C. $r1 \times r4$

D. $r2 \times r4$

3. 【2015 第 13 题】13. 由 3 个 "1" 和 5 个 "0" 组成的 8 位二进制补码, 能表示的最小整数是 ()

A. -126

B. -125

C. -32

D. -3

4. 【2021 第 13 题】已知带符号整数用补码表示, 变量 x, y, z 的机器数分别为 $FFFDH, FFDH, 7FFCH$, 下列结论中, 正确的是 ()。

A. 若 x, y 和 z 为无符号整数, 则 $z < x < y$

B. 若 x, y 和 z 为无符号整数, 则 $x < y < z$

C. 若 x, y 和 z 为带符号整数, 则 $x < y < z$

D. 若 x, y 和 z 为带符号整数, 则 $y < x < z$

5. 【2022 第 13 题】32 位补码所能表示的整数范围是 ()。

- A. $-2^{32} \sim 2^{31}-1$
- B. $-2^{31} \sim 2^{31}-1$
- C. $-2^{32} \sim 2^{32}-1$
- D. $-2^{31} \sim 2^{32}-1$

6. 【2023 第 13 题】若 short 型变量 $x=-8190$ ，则 x 的机器数是 ()。

- A. E002H
- B. E001H
- C. 9FFFH
- D. 9FFEh

真题分类精讲【计组第四章之类型转换】【选择题】

答案详细解析: <https://tmdus.xetlk.com/s/2LGbRO>



1.【2012 第 13 题】假定编译器规定 `int` 和 `short` 型长度分别为 32 位和 16 位, 执行下列 C 语言语句:

```
unsigned short x=65530;  
unsigned int y=x;
```

得到 `y` 的机器数为 ()

- A.00007FFAH
- B.0000 FFFAH
- C.FFFF 7FFAH
- D.FFFF FFFAH

2.【2016 第 13 题】有如下 C 语言程序段

```
short si=-32767;  
unsigned short usi=si;
```

执行上述两条语句后, `usi` 的值为 ()

- A.-32767
- B.32767
- C.32768
- D.32769

3.【2019 第 13 题】考虑以下 C 语言代码:

```
unsigned short usi=65535;  
short si=usi;
```

执行上述程序段后, `si` 的值是 ()

- A.-1
- B.-32767

C.-32768

D.-65535

4.【2024 第 12 题】C 语言代码如下

```
int i=32777;  
short si=i;  
int j=si;
```

执行上述代码段后，j 的值是 ()。

A.-32777

B.-32759

D.32777

C.32759

5.【2025 第 12 题】在 32 位计算机上执行下列 C 语言代码：

```
short si = -32767;  
unsigned int ui = si;
```

则 ui 的真值为

A. $2^{13}-1$

B. $2^{15}+1$

C. $2^{32}-2^{15}-1$

D. $2^{32}-2^{15}+1$

真题分类精讲【计组第四章之浮点数的表示】【选择题】

答案详细解析: <https://tmdus.xetlk.com/s/30KAj6>



1.【2010 第 14 题】假定变量 i、f 和 d 的数据类型分别为 int、float 和 double (int 用补码表示, float 和 double 分别用 IEEE 754 单精度和双精度浮点数格式表示), 已知 $i=785$, $f=1.5678e3$, $d=1.5e100$ 。若在 32 位机器中执行下列关系表达式, 则结果为 "真" 的是 ()

I: $i=(int)(float)i$

II: $f==(float)(int)f$

III: $f==(float)(double)f$

IV: $(d+f)-d=f$

A. 仅 I 和 II

B. 仅 I 和 III

C. 仅 II 和 III

D. 仅 III 和 IV

2.【2011 第 13 题】float 型数据通常用 IEEE 754 单精度浮点数格式表示。若编译器将 float 型变量 x 分配到一个 32 位浮点寄存器 FR1 中, 且 $x=-8.25$, 则 FR1 的内容是 ()

A. C1040000H

B. C2420000H

C. C1840000H

D. C1C20000H

3.【2012 第 14 题】float 类型 (即 IEEE 754 单精度浮点数格式) 能表示的最大正整数是 ()

A. $2^{126}-2^{103}$

B. $2^{127}-2^{104}$

C. $2^{127}-2^{103}$

D. $2^{128}-2^{104}$

4.【2013 第 13 题】若某数采用 IEEE 754 单精度浮点数格式表示为 C640 0000H, 则该数的值是 ()

A. -1.5×2^{13}

B. -1.5×2^{12}

C. -0.5×2^{13}

D. -0.5×2^{12}

5. 【2014 第 14 题】float 型数据常用 IEEE754 单精度浮点格式表示。假设两个 float 型变量 x 和 y 分别存放在 32 位寄存器 f₁ 和 f₂ 中，若(f₁)=CC90 0000H，(f₂)=B0C0 0000H，则 x 和 y 之间的关系为 ()

- A.x<y 且符号相同
- B.x<y 且符号不同
- C.x>y 且符号相同
- D.x>y 且符号不同

6. 【2018 第 14 题】IEEE 754 单精度浮点格式表示的数中，最小的规格化正数是 ()

- A. 1.0×2^{-126}
- B. 1.0×2^{-127}
- C. 1.0×2^{-128}
- D. 1.0×2^{-149}

7. 【2020 第 13 题】已知带符号整数用补码表示，float 型数据用 IEEE 754 标准表示，假定变量 x 的类型只可能是 int 或 float，当 x 的机器数为 C800 0000H 时，x 的值可能是 ()。

- A. -7×2^{27}
- B. -2^{16}
- C. 2^{17}
- D. 25×2^{27}

8. 【2021 第 14 题】下列数值中，不能用 IEEE 754 浮点格式精确表示的是 ()。

- A.1.2
- B.1.25
- C.2.0
- D.2.5

9. 【2022 第 14 题】-0.4375 的 IEEE 754 单精度浮点数表示为 ()。

- A.BEE00000H
- B.BF600000H
- C.BF700000H
- D.C0E00000H

10. 【2023 第 14 题】已知 float 型变量用 IEEE 754 单精度浮点数格式表示。若 float 型变量 x 的机器数为 80200000H，则 x 的值是 ()。

- A. -2^{-128}
- B. -1.01×2^{-127}
- C. -1.01×2^{-126}

D.非数(NaN)

11.【2024 第 14 题】某科学实验中，需要使用大量的整型参数，为了保证表数精度的基础上提高运算速度，需要选择合理的数据表示方法。若整型参数 α 、 β 的取值范围分别为 $-2^{20} \sim 2^{20}$ 、 $-2^{40} \sim 2^{40}$ ，则下列选项中， α 、 β 最适宜采用的数据表示方法分别是 ()。

A.32 位整数、32 位整数

B.单精度浮点数、单精度浮点数

C.32 位整数、双精度浮点数

D. 单精度浮点数、双精度浮点数

12.【2025 第 13 题】已知 float 型变量用 IEEE754 单精度浮点数格式表示。若 float 型变量 x 的机器数为 47300000H；则 x 的值为 ()

A. 0.375×2^{14}

B. 1.375×2^{14}

C. 0.375×2^{15}

D. 1.375×2^{15}

真题分类精讲【计组第四章之数据存储】【选择题】

答案详细解析: <https://tmdus.xetlk.com/s/3eRqM5>



1.【2012 第 15 题】某计算机存储器按字节编址，采用小端方式存放数据。假定编译器规定 `int` 型和 `short` 型长度分别为 32 位和 16 位，并且数据按边界对齐存储。某 C 语言程序段如下：

```
struct{
    int a;
    char b;
    short c;
} record;
record.a=273;
```

若 `record` 变量的首地址为 `0xC008`，则地址 `0xC008` 中内容及 `record.c` 的地址分别为（ ）

- A. `0x00`、`0xC00D`
- B. `0x00`、`0xC00E`
- C. `0x11`、`0xC00D`
- D. `0x11`、`0xC00E`

2.【2016 第 14 题】某计算机字长为 32 位，按字节编址，采用小端 (Little Endian) 方式存放数据。假定有一个 `double` 型变量，其机器数表示为 `11 22 33 44 55 66 77 88H`，存放在 `0000 8040H` 开始的连续存储单元中，则存储单元 `0000 8046H` 中存放的是（ ）

- A. `22H`
- B. `33H`
- C. `77H`
- D. `66H`

3.【2018 第 15 题】某 32 位计算机按字节编址，采用小端 (Little Endian) 方式。若语句“`int i = 0;`”对应指令的机器代码为“`C7 45 FC 00 00 00 00`”，则语句“`int i = -64;`”对应指令的机器代码是（ ）

- A. `C7 45 FC C0 FF FF FF`
- B. `C7 45 FC 0C FF FF FF`
- C. `C7 45 FC FF FF FF C0`
- D. `C7 45 FC FF FF FF 0C`

4.【2020 第 14 题】在按字节编址，采用小端方式的 32 位计算机中，按边界对齐方式为以下 C 语言结构型变量 a 分配存储空间：

```
Struct record{  
    short x1;  
    int x2;  
}a;
```

若 a 的首地址为 2020 FE00H，a 的成员变量 x2 的机器数为 1234 0000H，则其中 34H 所在存储单元的地址是 ()。

- A.2020 FE03H
- B.2020 FE04H
- C.2020 FE05H
- D.2020 FE06H

5.【2025 第 15 题】15.某 32 计算机按字节编制，采用小端方式存放数据，编译器按边界对齐方式为下列 C 语言结构型数组变量 employee 分配储存空间。

```
struct record {  
    int id;  
    char name[10];  
    int salary;  
}employee[200];
```

数组 employee 的起始地址为 0000A0B0H，employee[1].id 的机器数为 12345678H，问 56H 的地址是多少 ()

- A.0000 A0C3H
- B.0000 A0C4H
- C.0000 A0C5H
- D.0000 A0C6H

真题分类精讲【计组第四章之整数的运算】【选择题】

答案详细解析: <https://tmdus.xetlk.com/s/xv4bq>



1.【2013 第 14 题】某字长为 8 位的计算机中,已知整型变量 x 和 y 的机器数分别为 $[x]_{\text{补}}=11110100$, $[y]_{\text{补}}=10110000$ 。若整型变量 $z=2x+y/2$,则 z 的机器数为 ()

- A.11000000
- B.00100100
- C.10101010
- D. 溢出

2.【2014 第 13 题】若 $x=103$, $y=-25$,则下列表达式采用 8 位定点补码运算实现时,会发生溢出的是 ()

- A. $x+y$
- B. $-x+y$
- C. $x-y$
- D. $-x-y$

3.【2018 第 13 题】假定带符号整数采用补码表示,若 int 型变量 x 和 y 的机器数分别是 FFFF FDFH 和 0000 0041H,则 x 、 y 的值以及 $x-y$ 的机器数分别是 ()

- A. $x=-65,y=41,x-y$ 的机器数溢出
- B. $x=-33,y=65,x-y$ 的机器数为 FFFF FF9DH
- C. $x=-33,y=65,x-y$ 的机器数为 FFFF FF9EH
- D. $x=-65,y=41,x-y$ 的机器数为 FFFF FF96H

4.【2018 第 16 题】整数 x 的机器数为 1101 1000,分别对 x 进行逻辑右移 1 位和算术右移 1 位操作,得到的机器数分别是 ()

- A.1110 1100, 1110 1100
- B.0110 1100, 1110 1100
- C.1110 1100, 0110 1100
- D.0110 1100, 0110 1100

5. 【2023 第 16 题】已知 x 、 y 为 `int` 类型，当 $x=100$ 、 $y=200$ 时，执行“ x 减 y ”指令得到的溢出标志 `OF` 和借位标志 `CF` 分别为 0、1，那么当 $x=10$ ， $y=-20$ 时，执行该指令得到的 `OF` 和 `CF` 分别是 ()。

- A. `OF=0,CF=0`
- B. `OF=0,CF=1`
- C. `OF=1,CF=0`
- D. `OF=1,CF=1`

6. 【2025 第 14 题】假设 8 位字长的计算机中，两个带符号整数 x 和 y 的补码表示分别为 $[x]_{\text{补}}=A3H$ ， $[y]_{\text{补}}=75H$ ，则通过补码加减运算器得到的 $x-y$ 的值及 `OF` 标志分别为 ()

- A. 24, 0
- B. 24, 1
- C. 46, 0
- D. 46, 1

真题分类精讲【计组第四章之浮点数加减】【选择题】

答案详细解析: <https://tmdus.xetlk.com/s/2TJjyG>



1. 【2009 第 13 题】浮点数加、减运算过程一般包括对阶、尾数运算、规格化、舍入和判溢出等步骤。设浮点数的阶码和尾数均采用补码表示, 且位数分别为 5 位和 7 位 (均含 2 位符号位)。若有两个数 $X=2^7 \times 29/32$, $Y=2^5 \times 5/8$, 则用浮点加法计算 $X+Y$ 的最终结果是_____。

A. 00111 1100010

B. 00111 0100010

C. 01000 0010001

D. 发生溢出

2. 【2015 第 14 题】下列有关浮点数加减运算的叙述中, 正确的是 ()

I: 对阶操作不会引起阶码上溢或下溢

II: 右规和尾数舍入都可能引起阶码上溢

III: 左规时可能引起阶码下溢

IV: 尾数溢出时, 结果不一定溢出

A. 仅 II、III

B. 仅 I、II、IV

C. 仅 I、III、IV

D. I、II、III、IV

真题分类精讲【计组第四章之加减运算】【综合题】

答案详细解析: <https://tmdus.xetlk.com/s/17GMnm>



1、【2011 第 43 题】(11 分) 假定在一个 8 位字长的计算机中运行如下 C 程序段:

```
unsigned int x = 134;
unsigned int y = 246;
int m = x;
int n = y;
unsigned int z1 = x - y;
unsigned int z2 = x + y;
int k1 = m - n;
int k2 = m + n;
```

若编译器编译时将 8 个 8 位寄存器 R1~R8 分别分配给变量 x、y、m、n、z1、z2、k1 和 k2。请回答下列问题。(提示: 带符号整数用补码表示。)

- (1) 执行上述程序段后, 寄存器 R1、R5 和 R6 的内容分别是什么(用十六进制表示)?
- (2) 执行上述程序段后, 变量 m 和 k1 的值分别是多少(用十进制表示)?
- (3) 上述程序段涉及带符号整数加/减、无符号整数加/减运算, 这四种运算能否利用同一个加法器辅助电路实现? 简述理由。
- (4) 计算机内部如何判断带符号整数加/减运算的结果是否发生溢出? 上述程序段中, 哪些带符号整数运算语句的执行结果会发生溢出?

2、【2017 第 43 题】(13 分) 已知:

$$f(n) = \sum_{i=0}^n 2^i = 2^{n+1} - 1 = \overbrace{11 \cdots 1}^{n+1 \text{位}} \text{B}$$

计算 $f(n)$ 的 C 语言函数 f1 如下:

```
int f1(unsigned n){
    int sum = 1, power = 1;
    for(unsigned i = 0; i <= n - 1; i++){
        power *= 2;
        sum += power;
    }
    return sum;
}
```

将 f1 中的 int 都改为 float, 可得到计算 $f(n)$ 的另一个函数 f2。假设 unsigned 和 int 型数据都占 32 位, float 采用 IEEE 754 单精度标准。请回答下列问题。

- (1) 当 $n = 0$ 时, f1 会出现死循环, 为什么? 若将 f1 中的变量 i 和 n 都定义为 int 型, 则 f1 是否还会出现死循环? 为什么?
- (2) $f1(23)$ 和 $f2(23)$ 的返回值是否相等? 机器数各是什么 (用十六进制表示)?
- (3) $f1(24)$ 和 $f2(24)$ 的返回值分别为 33554431 和 33554432.0, 为什么不相等?
- (4) $f(31) = 2^{32} - 1$, 而 $f1(31)$ 的返回值却为 -1, 为什么? 若使 $f1(n)$ 的返回值与 $f(n)$ 相等, 则最大的 n 是多少?
- (5) $f2(127)$ 的机器数为 7F800000H, 对应的值是什么? 若使 $f2(n)$ 的结果不溢出, 则最大的 n 是多少? 若使 $f2(n)$ 的结果精确 (无舍入), 则最大的 n 是多少?

真题分类精讲【计组第四章之数据的表示与算法】【综合题二】

答案详细解析: <https://tmdus.xetlk.com/s/3sGFoo>



1. 【2024 第 15 题】下列关于整数乘法运算的叙述中, 错误的是 ()。

- A. 用阵列乘法器实现乘运算可以在一个时钟周期内完成
- B. 用 ALU 和移位器实现的乘运算无法在一个时钟周期内完成
- C. 变量与常数的乘运算可以编译优化为若干条移位及加/减运算指令
- D. 两个变量的乘运算无法编译转换为移位及加法等指令的循环实现

2. 【2020 第 43 题】(13 分) 有实现 $x \times y$ 的两个 C 语言函数如下:

```
1 unsigned umul(unsigned x, unsigned y){return x * y;}
2 int imul (int x, int y){return x * y;}
```

假定某计算机 M 中的 ALU 只能进行加减运算和逻辑运算。请回答下列问题

- 1) 若 M 的指令系统中没有乘法指令, 但有加法、减法和位移等指令, 则在 M 上也能实现上述两个函数中的乘法运算, 为什么?
- 2) 若 M 的指令系统中有乘法指令, 则基于 ALU、位移器、寄存器及相应控制逻辑实现乘法指令时, 控制逻辑的作用是什么?
- 3) 针对以下三种情况: a) 没有乘法指令; b) 有使用 ALU 和位移器实现的乘法指令; c) 有使用阵列乘法器实现的乘法指令, 函数 umul() 在哪种情况下执行的时间最长? 在哪种情况下执行的时间最短? 说明理由。
- 4) n 位整数乘法指令可保存 2n 位乘积, 当只取低 n 位作为乘积时, 其结果可能会发生溢出。当 $n=32$, $x=231-1$, $y=2$ 时, 有符号整数乘法指令和无符号整数乘法指令得到的 $x \times y$ 的 2n 位乘积分别是什么 (用十六进制表示)? 此时函数 umul() 和 imul() 的返回结果是否溢出? 对于无符号整数乘法运算, 当仅取乘积的低 n 位作为乘法结果时, 如何用 2n 位乘积进行溢出判断?

真题分类精讲【计组第五章指令系统】【选择题】

答案详细解析: <https://tmdus.xetlk.com/s/17GmIZ>



1.【2011 第 17 题】某机器有一个标志寄存器，其中有进位/借位标志 CF、零标志 ZF、符号标志 SF 和溢出标志 OF，条件转移指令 bgt (无符号整数比较大小时转移) 的转移条件是 () (注：下划线表示取反的意思)

- A.CF+OF=1
- B.SF+ZF=1
- C.CF+ZF=1
- D.CF+SF=1

2.【2018 第 19 题】减法指令 "sub R1,R2,R3" 的功能为 "(R1)-(R2)→R3"，该指令执行后将生成进位/借位标志 CF 和溢出标志 OF。若 (R1) = FFFF FFFFH, (R2) = FFFF FFF0H，则该减法指令执行后，CF 与 OF 分别为 ()

- A.CF=0, OF=0
- B.CF=1, OF=0
- C.CF=0, OF=1
- D.CF=1, OF=1

3.【2022 第 18 题】下列选项中，属于指令集体系结构 (ISA) 规定的内容是 ()。

- I: 指令字格式和指令类型
- II: CPU 的时钟周期
- III: 通用寄存器个数和位数
- IV: 加法器的进位方式

- A.仅 I、II
- B.仅 I、III
- C.仅 II、IV
- D.仅 I、III、IV

4.【2009 第 16 题】某机器字长为 16 位，主存按字节编址，转移指令采用相对寻址，由两个字节组成，第一个字节为操作码字段，第二个字节为相对位移量字段。假定取指令时，每取一个字节 PC 自动加 1。若某转移指令所在主存地址为 2000H，相对位移量字段的内容为 06H，则该转移指令成功转移后的目标地址是_____。

- A.2006H
- B.2007H
- C.2008H
- D.2009H

5.【2010 第 18 题】下列寄存器中，汇编语言程序员可见的是（ ）

- A.存储器地址寄存器(MAR)
- B.程序计数器(PC)
- C.存储器数据寄存器(MDR)
- D.指令寄存器(IR)

6.【2011 第 16 题】偏移寻址通过将某个寄存器内容与一个形式地址相加而生成有效地址。下列寻址方式中，不属于偏移寻址方式的是（ ）

- A.间接寻址
- B.基址寻址
- C.相对寻址
- D.变址寻址

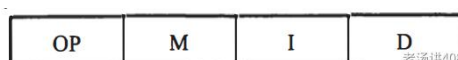
7.【2013 第 17 题】假设变址寄存器 R 的内容为 1000H，指令中的形式地址为 2000H；地址 1000H 中的内容为 2000H，地址 2000H 中的内容为 3000H，地址 3000H 中的内容为 4000H，则变址寻址方式下访问到的操作数是（ ）

- A.1000H
- B.2000H
- C.3000H
- D.4000H

8.【2014 第 17 题】某计算机有 16 个通用寄存器，采用 32 位定长指令字，操作码字段(含寻址方式位)为 8 位，Store 指令的源操作数和目的操作数分别采用寄存器直接寻址和基址寻址方式。若基址寄存器可使用任一通用寄存器，且偏移量用补码表示，则 Store 指令中偏移量的取值范围是（ ）

- A.-32768~+32767
- B.-32767~+32768
- C.-65536~+65535
- D.-65535~+65536

9.【2016 第 17 题】某指令格式如下所示



其中 M 为寻址方式，I 为变址寄存器编号，D 为形式地址。若采用先变址后间址的寻址方式，则操作数的有效地址是（ ）

- A. $I+D$
- B. $(I)+D$
- C. $((I)+D)$
- D. $((D))+D$

10. 【2017 第 15 题】下列寻址方式中，最适合按下标顺序访问一维数组元素的是 ()

- A. 相对寻址
- B. 寄存器寻址
- C. 直接寻址
- D. 变址寻址

11. 【2018 第 18 题】按字节编址的计算机中，某 double 型数组 A 的首地址为 2000H，使用变址寻址和循环结构访问数组 A，保存数组下标的变址寄存器初值为 0，每次循环取一个数组元素，其偏移地址为变址值乘以 `sizeof(double)`，取完后变址寄存器内容自动加 1。若某次循环所取元素的地址为 2100H，则进入该次循环时变址寄存器的内容是 ()

- A. 25
- B. 32
- C. 64
- D. 100

12. 【2020 第 16 题】某计算机采用 16 位定长指令字格式，操作码位数和寻址方式位数固定，指令系统有 48 条指令，支持直接、间接、立即、相对 4 种寻址方式。单地址指令中，直接寻址方式的可寻址范围是 ()。

- A. 0~255
- B. 0~1023
- C. -128~127
- D. -512~511

13. 【2016 第 18 题】某计算机主存空间为 4GB，字长为 32 位，按字节编址，采用 32 位字长指令字格式。若指令按字边界对齐存放，则程序计数器 (PC) 和指令寄存器 (IR) 的位数至少分别是 ()

- A. 30、30
- B. 30、32
- C. 32、30
- D. 32、32

14. 【2017 第 16 题】某计算机按字节编址，指令字长固定且只有两种指令格式，其中三地址指令 29 条，二地址指令 107 条，每个地址字段为 6 位，则指令字长至少应该是 ()

- A. 24 位
- B. 26 位

C.28 位

D.32 位

15.【2022 第 19 题】设计某指令系统时，假设采用 16 位定长指令字格式，操作码使用扩展编码方式，地址码为 6 位，包含零地址、一地址和二地址 3 种格式的指令。若二地址指令有 12 条，一地址指令有 254 条，则零地址指令的条数最多为 ()。

A.0

B.2

C.64

D.128

16.【2023 第 17 题】某运算类型指令中有一个地址码为通用寄存器编号，对应通用寄存器中存放的是操作数或操作数的地址，CPU 区分两者的依据是 ()。

A.操作数的寻址方式

B.操作数的编码方式

C.通用寄存器的编号

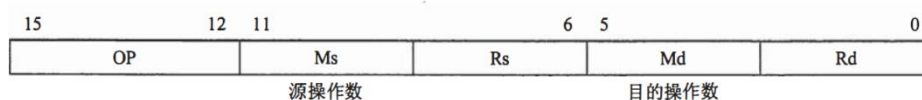
D.通用寄存器的内容

真题分类精讲【计组第五章指令系统】【综合题一】

答案详细解析: <https://tmdus.xetlk.com/s/1R1Tc>



1、【2010 第 43 题】(11 分) 某计算机字长为 16 位，主存地址空间大小为 128KB，按字编址。采用单字长指令格式，指令各字段定义如下图所示。



转移指令采用相对寻址方式，相对偏移量用补码表示，寻址方式定义见下表。

Ms/Md	寻址方式	助记符	含义
000B	寄存器直接	Rn	操作数 = (Rn)
001B	寄存器间接	(Rn)	操作数 = ((Rn))
010B	寄存器间接、自增	(Rn)+	操作数 = ((Rn)), (Rn) + 1 → Rn
011B	相对	D(Rn)	转移目标地址 = (PC) + (Rn)

注：(X) 表示存储器地址 X 或寄存器 X 的内容。

请回答下列问题：

- 1) 该指令系统最多可有多少条指令？该计算机最多有多少个通用寄存器？存储器地址寄存器 (MAR) 和存储器数据寄存器 (MDR) 至少各需要多少位？
- 2) 转移指令的目标地址范围是多少？
- 3) 若操作码 0010B 表示加法操作（助记符为 add），寄存器 R4 和 R5 的编号分别为 100B 和 101B，R4 的内容为 1234H，R5 的内容为 5678H，地址 1234H 中的内容为 5678H，地址 5678H 中的内容为 1234H，则汇编语言为 “add(R4), (R5)+”（逗号前为源操作数，逗号后为目的操作数）对应的机器码是什么（用十六进制表示）？该指令执行后，哪些寄存器和存储单元中的内容会改变？改变后的内容是什么？

2、【2017 第 44 题】，这一题依赖以下的 2017 年第 43 题，以下是它的描述：
 【2017 第 43 题】(13 分) 已知：

$$f(n) = \sum_{i=0}^n 2^i = 2^{n+1} - 1 = \overbrace{11 \cdots 1}^{n+1 \text{位}} \text{B}$$

计算 $f(n)$ 的 C 语言函数 f1 如下：

```
int f1(unsigned n){
    int sum = 1, power = 1;
    for(unsigned i = 0; i <= n - 1; i++){
        power *= 2;
        sum += power;
    }
    return sum;
}
```

将 f1 中的 int 都改为 float，可得到计算 $f(n)$ 的另一个函数 f2。假设 unsigned 和 int 型数据都占 32 位，float 采用 IEEE 754 单精度标准

接下来做 2017 第 44 题

(10 分) 在按字节编址的计算机 M 上，题 43 中 f1 的部分源程序（阴影部分）与对应的机器级代码（包括指令的虚拟地址）如下图所示。

	int f1(unsigned n)	
1	00401020 55	push ebp

	for(unsigned i=0; i<= n -1; i++)	

20	0040105E 39 4D F4	cmp dword ptr [ebp-0Ch],ecx

	{ power *= 2;	

23	00401066 D1 E2	shl edx,1

	return sum;	

35	0040107F C3	ret

其中，机器级代码行包括行号、虚拟地址、机器指令和汇编指令。请回答下列问题。

(1) 计算机 M 是 RISC 还是 CISC? 为什么?

- (2) f1 的机器指令代码共占多少字节？要求给出计算过程。
- (3) 第 20 条指令 cmp 通过 i 减 n-1 实现对 i 和 n-1 的比较。执行 f1(0) 过程中，当 i=0 时，cmp 指令执行后，进/借位标志 CF 的内容是什么？要求给出计算过程。
- (4) 第 23 条指令 shl 通过左移操作实现了 $\text{power} * 2$ 运算，在 f2 中能否也用 shl 指令实现 $\text{power} * 2$ ？为什么？

真题分类精讲【计组第五章指令系统】【综合题二】

答案详细解析: <https://tmdus.xetlk.com/s/4AOSvp>



1、【2021 第 43 题】(15 分) 假定计算机 M 字长为 16 位, 按字节编址, 连接 CPU 和主存的系统总线中地址线为 20 位、数据线为 8 位, 采用 16 位定长指令字, 指令格式及其说明如下:

格式	6 位	2 位	2 位	2 位	4 位	指令功能或指令类型说明
R 型	000000	rs	rt	rd	opl	$R[rd] \leftarrow R[rs] \text{ opl } R[rt]$
I 型	op2	rs	rt	imm		含ALU运算、条件转移和访存 操作3类指令
J 型	op3	target				PC 的低 10 位 \leftarrow target

其中, op1~op3 为操作码, rs, rt 和 rd 为通用寄存器编号, $R[r]$ 表示寄存器 r 的内容, imm 为立即数, target 为转移目标的形式地址。请回答下列问题。

- 1) ALU 的宽度是多少位? 可寻址主存空间大小为多少字节? 指令寄存器、主存地址寄存器 (MAR) 和主存数据寄存器 (MDR) 分别应有多少位?
- 2) R 型格式最多可定义多少种操作? I 型和 J 型格式总共最多可定义多少种操作? 通用寄存器最多有多少个?
- 3) 假定 op1 为 0010 和 0011 时, 分别表示带符号整数减法和带符号整数乘法指令, 则指令 01B2H 的功能是什么 (参考上述指令功能说明的格式进行描述)? 若 1, 2, 3 号通用寄存器当前内容分别为 B052H, 0008H, 0020H, 则分别执行指令 01B2H 和 01B3H 后, 3 号通用寄存器内容各是什么? 各自结果是否溢出?
- 4) 若采用 I 型格式的访存指令中 imm (偏移量) 为带符号整数, 则地址计算时应对 imm 进行零扩展还是符号扩展?
- 5) 无条件转移指令可以采用上述哪种指令格式?

真题分类精讲【计组第六章：单总线 CPU】【选择题】

答案链接: <https://tmdus.xetlk.com/s/wH7BD>



1. 【2009 第 11 题】冯·诺依曼计算机中指令和数据均以二进制形式存放在存储器中，CPU 区分它们的依据是 ()。
- A. 指令操作码的译码结果
 - B. 指令和数据的寻址方式
 - C. 指令周期的不同阶段
 - D. 指令和数据所在的存储单元
2. 【2020 第 12 题】下列给出的部件中，其位数 (宽度) 一定与机器字长相同的是 ()。
- I: ALU
 - II: 指令寄存器
 - III: 通用寄存器
 - IV: 浮点寄存器
- A. 仅 I、II
 - B. 仅 I、III
 - C. 仅 II、III
 - D. 仅 II、III、IV
3. 【2023 第 18 题】数据通路由组合逻辑元件 (操作元件) 和时序逻辑元件组成 (状态元件) 组成，以下给出的元件中，属于操作元件的是 ()。
- I: 算术逻辑部件(ALU)
 - II: 程序计数器(PC)
 - III: 通用寄存器组(GPRs)
 - IV: 多路选择器(MUX)
- A. 仅 I、II
 - B. 仅 I、IV
 - C. 仅 II、III
 - D. I、II、IV
4. 【2009 第 19 题】相对于微程序控制器，硬布线控制器的特点是_____。
- A. 指令执行速度慢，指令功能的修改和扩展容易

- B.指令执行速度慢，指令功能的修改和扩展难
- C.指令执行速度快，指令功能的修改和扩展容易
- D.指令执行速度快，指令功能的修改和扩展难

5.【2012 第 18 题】某计算机的控制器采用微程序控制方式，微指令中的操作控制字段采用字段直接编码法，共有 33 个微命令，构成 5 个互斥类，分别包含 7、3、12、5 和 6 个微命令，则操作控制字段至少有（ ）

- A.5 位
- B.6 位
- C.15 位
- D.33 位

6.【2014 第 18 题】某计算机采用微程序控制器，共有 32 条指令，公共的取指令微程序包含 2 条微指令，各指令对应的微程序平均由 4 条微指令组成，采用断定法（下地址字段法）确定下条微指令地址，则微指令中下地址字段的位数至少是（ ）

- A.5
- B.6
- C.8
- D.9

7.【2017 第 18 题】下列关于主存储器（MM）和控制存储器（CS）的叙述中，错误的是（ ）

- A.MM 在 CPU 外，CS 在 CPU 内
- B.MM 按地址访问，CS 按内容访问
- C.MM 存储指令和数据，CS 存储微指令
- D.MM 用 RAM 和 ROM 实现，CS 用 ROM 实现

8.【2021 第 17 题】下列寄存器中，汇编语言程序员可见的是（ ）。

- I：指令寄存器
 - II：微指令寄存器
 - III：基址寄存器
 - IV：标志/状态寄存器
- A.仅 I、II
 - B.仅 I、IV
 - C.仅 II、IV
 - D.仅 III、IV

9.【2024 第 13 题】通常情况下，将汇编语言程序中实现特定功能的指令序列定义成一条伪指令（pseudo instruction）。下列选项中，CPU 能理解并直接执行的是（ ）。

- I：伪指令

- II: 微指令
- III: 机器指令
- IV: 汇编指令
- A. 仅 I、IV
- B. 仅 II、III
- C. 仅 III、IV
- D. 仅 I、III、IV

10. 【2025 第 16 题】下列选项中，由指令集体系结构 (ISA) 规定的是 ()

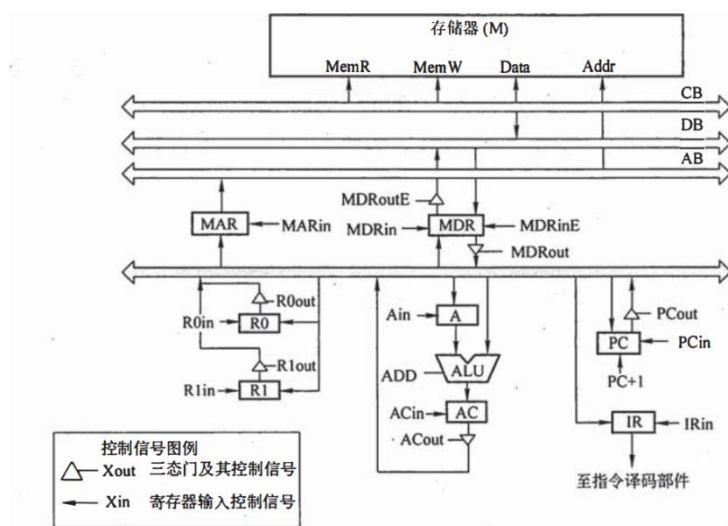
- A. 是否采用阵列乘法器
- B. 是否采用定长指令字格式
- C. 是否采用微程序控制器
- D. 是否采用单总线数据通路

真题分类精讲【计组第六章：单总线 CPU】【综合题一】

答案详细解析: <https://tmdus.xetlk.com/s/2tYm6c>



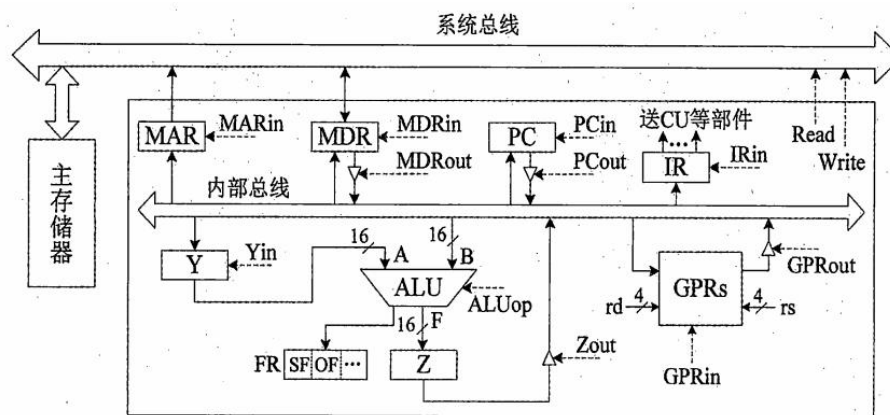
1、【2009 第 44 题】(13 分) 某计算机字长为 16 位，采用 16 位定长指令字结构，部分数据通路结构如下图所示，图中所有控制信号为 1 时表示有效、为 0 时表示无效。例如，控制信号 MDRinE 为 1 表示允许数据从 DB 打入 MDR，MDRin 为 1 表示允许数据从内总线打入 MDR。假设 MAR 的输出一直处于使能状态。加法指令 “ADD (R1), R0” 的功能为 $(R0) + ((R1)) \rightarrow (R1)$ ，即将 R0 中的数据与 R1 的内容所指主存单元的数据相加，并将结果送入 R1 的内容所指主存单元中保存。



下表给出了上述指令取指和译码阶段每个节拍（时钟周期）的功能和有效控制信号，请按表中描述方式用表格列出指令执行阶段每个节拍的功能和有效控制信号。

时钟	功能	有效控制信号
C1	$MAR \leftarrow (PC)$	PCout, MARin
C2	$MDR \leftarrow M(MAR)$ $PC \leftarrow (PC) + 1$	MemR, MDRinE, PC+1
C3	$IR \leftarrow (MDR)$	MDRout, IRin
C4	指令译码	无

2、【2022 第 43 题】(15 分) 某 CPU 中部分数据通路如题 43 图所示，其中，GPRs 为通用寄存器组；FR 为标志寄存器，用于存放 ALU 产生的标志信息；带箭头虚线表示控制信号，如控制信号 Read、Write 分别表示主存读、主存写，MDRin 表示内部总线上数据写入 MDR，MDRout 表示 MDR 的内容送内部总线。



题 43 图

请回答下列问题。

- 1) 设 ALU 的输入端 A、B 及输出端 F 的最高位分别为 A15、B15 及 F15，FR 中的符号标志和溢出标志分别为 SF 和 OF，则 SF 的逻辑表达式是什么？A 加 B、A 减 B 时 OF 的逻辑表达式分别是什么？要求逻辑表达式的输入变量为 A15、B15 及 F15。
- 2) 为什么要设置暂存器 Y 和 Z？

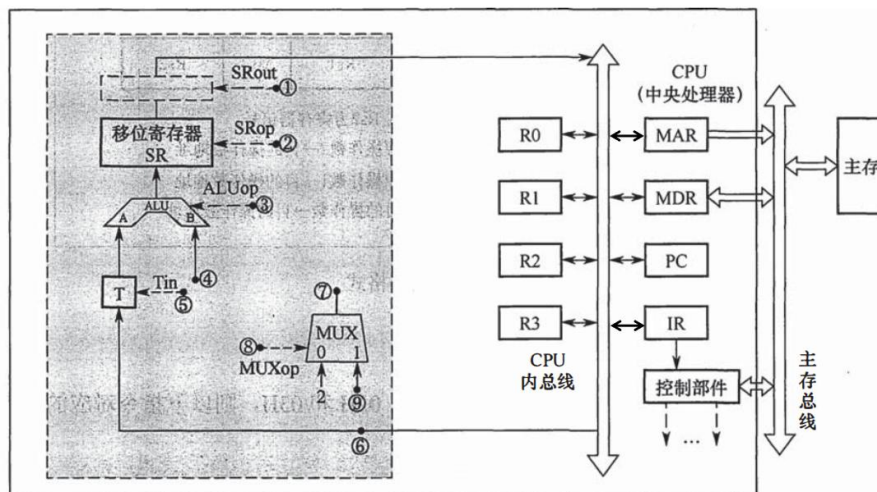
- 3) 若 GPRs 的输入端 rs、rd 分别为所读、写的通用寄存器的编号，则 GPRs 中最多有多少个通用寄存器？rs 和 rd 来自图中的哪个寄存器？已知 GPRs 内部有一个地址译码器和一个多路选择器，rd 应连接地址译码器还是多路选择器？
- 4) 取指令阶段（不考虑 PC 增量操作）的控制信号序列是什么？若从发出主存读命令到主存读出数据并传送到 MDR 共需 5 个时钟周期，则取指令阶段至少需要几个时钟周期？
- 5) 图中控制信号由什么部件产生？图中哪些寄存器的输出信号会连到该部件的输入端？

真题分类精讲【计组第六章：单总线 CPU】【综合题二】

答案详细解析: <https://tmdus.xetlk.com/s/1RP7EB>



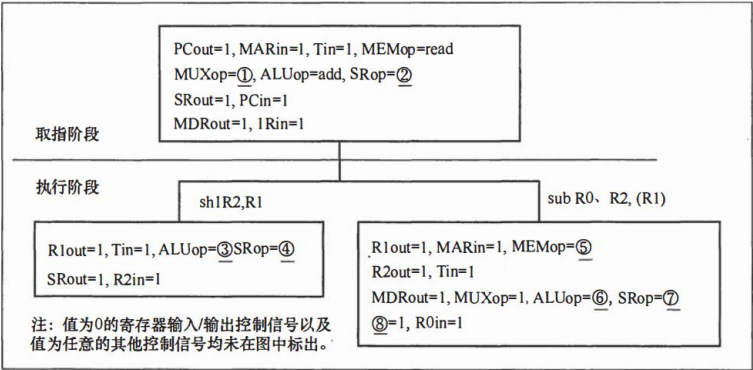
1、【2015 第 43 题】(13 分) 某 16 位计算机的主存按字节编码, 存取单位为 16 位; 采用 16 位定长指令字格式; CPU 采用单总线结构, 主要部分如下图所示。图中 R0~R3 为通用寄存器; T 为暂寄存器; SR 为移位寄存器, 可实现直送 (mov)、左移一位 (left) 和右移一位 (right) 3 种操作, 控制信号为 SROP, SR 的输出由信号 SRout 控制; ALU 可实现直送 A (mova)、A 加 B (add)、A 减 B (sub)、A 与 B (and)、A 或 B (or)、非 A (not) 和 A 加 1 (inc) 7 种操作, 控制信号为 ALUop



请回答下列问题。

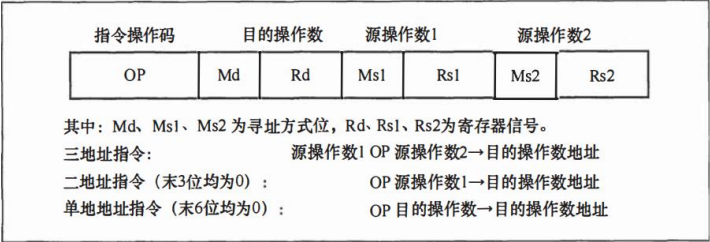
- 1) 图中哪些寄存器是程序员可见的? 为何要设置暂寄存器 T?
- 2) 控制信号 ALUop 和 SROP 的位数至少各是多少?
- 3) 控制信号 SRout 所控制部件的名称或作用是什么?
- 4) 端点 ①~⑨ 中, 哪些端点须连接到控制部件的输出端?
- 5) 为完善单总线数据通路, 需要在端点 ①~⑨ 中相应的端点之间添加必要的连线。写出连线的起点和终点, 以正确表示数据的流动方向。
- 6) 为什么二路选择器 MUX 的一个输入端是 2?

2、【2015 第 44 题】(10 分) 上题（题 43 ）中描述的计算机，其部分指令执行过程的控制信号如题 44 图 a 所示：



题 44 图 a 部分指令控制信号

该机指令格式如题 44 图 b 所示，支持寄存器直接和寄存器间接两种寻址方式，寻址方式位分别为 0 和 1，通用寄存器 R0~R3 的编号分别为 0、1、2 和 3



题 44 图 b 指令格式

请回答下列问题。

1) 该机的指令系统最多可定义多少条指令？

2) 若 inc、shl 和 sub 指令的操作码分别为 01H、02H 和 03H，则以下指令对应的机器代码各是什么？

```
inc R1          ; R1 +1→R1
shl R2,R1        ; (R1)<<1→R2
sub R3,(R1),R2   ; ((R1))-(R2)→R3
```

3) 假设寄存器 X 的输入和输出控制信号分别为 Xin 和 Xout，其值为 1 表示有效，为 0 表示无效（如 PCout=1 表示 PC 内容送总线）；存储器控制信号为 MEMop，用于控制存储器的读（read）和写（write）操作。写出题图 a 中标号 ①～⑧ 处的控制信号或控制信号的取值。

4) 指令 “sub R1,R3,(R2)” 和 “inc R1” 的执行阶段至少各需要多少个时钟周期？

真题分类精讲【计组第六章：多总线 CPU】【选择题】

答案详细解析: <https://tmdus.xetlk.com/s/2bGVeJ>



1. 【2016 第 20 题】单周期处理器中所有指令的指令周期为一个时钟周期。下列关于单周期处理器的叙述中，错误的是（ ）
- A. 可以采用单总线结构数据通路
 - B. 处理器时钟频率较低
 - C. 在指令执行过程中控制信号不变
 - D. 每条指令的 CPI 为 1
2. 【2019 第 16 题】下列有关处理器时钟脉冲信号的叙述中，错误的是（ ）
- A. 时钟脉冲信号由机器脉冲源发出的脉冲信号经整形和分频后形成
 - B. 时钟脉冲信号的宽度称为时钟周期，时钟周期的倒数为机器主频
 - C. 时钟周期以相邻状态单元间组合逻辑电路的最大延迟为基准确定
 - D. 处理器总是在每来一个时钟脉冲信号时就开始执行一条新的指令
3. 【2019 第 17 题】某指令功能为 $R[r2]-R[r1]+M[R[r0]]$ ，其两个源操作数分别采用寄存器、寄存器间接寻址方式。对于下列给定部件，该指令在取数及执行过程中需要用到的是（ ）
- I: 通用寄存器组(GPRs)
 - II: 算术逻辑单元(ALU)
 - III: 存储器(Memory)
 - IV: 指令译码器(ID)
- A. 仅 I、II
 - B. 仅 I、II、III
 - C. 仅 II、III、IV
 - D. 仅 I、III、IV
4. 【2010 第 12 题】下列选项中，能缩短程序执行时间的措施是（ ）
- I: 提高 CPU 时钟频率
 - II: 优化数据通路结构
 - III: 对程序进行编译优化

- A.仅 I 和 II
- B.仅 I 和 III
- C.仅 II 和 III
- D.I、II 和 III

5.【2009 年 17 题】下列关于 RISC 的叙述中，错误的是_____。

- A.RISC 普遍采用微程序控制器
- B.RISC 大多数指令在一个时钟周期内完成
- C.RISC 的内部通用寄存器数量相对 CISC 多
- D.RISC 的指令数、寻址方式和指令格式种类相对 CISC 少

6.【2009 第 18 题】某计算机的指令流水线由四个功能段组成，指令流经各功能段的时间(忽略各功能段之间的缓存时间) 分别为 90ns、80ns、70ns、和 60ns，则该计算机的 CPU 时钟周期至少是_____。

- A.90ns
- B.80ns
- C.70ns
- D.60ns

7.【2011 第 18 题】下列给出的指令系统特点中，有利于实现指令流水线的是_____。

- I: 指令格式规整且长度一致
- II: 指令和数据按边界对齐存放
- III: 只有 Load/Store 指令才能对操作数进行存储访问

- A.仅 I、II
- B.仅 II、III
- C.仅 I、III
- D.I、II、III

8.【2013 第 18 题】某 CPU 主频为 1.03GHz，采用 4 级指令流水线，每个流水段的执行需要 1 个时钟周期。假定 CPU 执行了 100 条指令，在其执行过程中，没有发生任何流水线阻塞，此时流水线的吞吐率为（ ）

- A. 0.25×10^9 条指令/秒
- B. 0.97×10^9 条指令/秒
- C. 1.0×10^9 条指令/秒.
- D. 1.03×10^9 条指令/秒

9.【2017 第 19 题】下列关于指令流水线数据通路的叙述中，错误的是（ ）

- A.包含生成控制信号的控制部件

- B.包含算术逻辑运算部件 (ALU)
- C.包含通用寄存器组和取指部件
- D.由组合逻辑电路和时序逻辑电路组合而成

10.【2018 第 20 题】若某计算机最复杂指令的执行需要完成 5 个子功能，分别由功能部件 A~E 实现，各功能部件所需时间分别为 80ps、50ps、50ps、70ps 和 50ps，采用流水线方式执行指令，流水段寄存器延时为 20ps，则 CPU 时钟周期至少为 ()

- A.60ps
- B.70ps
- C.80ps
- D.100ps

11.【2025 第 17 题】下列关于 RISC 的叙述中，错误的是 ()

- A.多采用硬连线方式实现控制器
- B.通常采用 Load/Store 型指令设计风格
- C.难以采用流水线数据通路实现微架构
- D.多采用寄存器传递过程调用时的参数

12.【2025 第 18 题】下列关于 CPI 和 CPU 时钟周期的叙述中，错误的是 ()

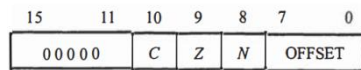
- A.不同类型指令的 CPI 可能不一样
- B.程序的 CPI Cache 缺失率无关
- C.单周期 CPU 的时钟周期以最耗时指令所用的时间为准
- D.流水线 CPU 的时钟周期以最长流水段所用时间为准

真题分类精讲【计组第六章：多总线 CPU】【综合题】

答案详细解析: <https://tmdus.xetlk.com/s/WwVOM>

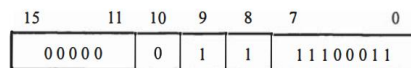


1、【2013 第 44 题】(14 分) 某计算机采用 16 位定长指令字格式，其 CPU 中有一个标志寄存器，其中包含进位/借位标志 CF、零标志 ZF 和符号标志 NF。假定为该机设计了条件转移指令，其格式如下：

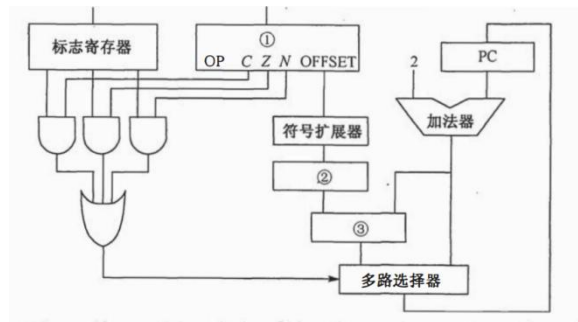


其中，00000 为操作码 OP；C、Z 和 N 分别为 CF、ZF 和 NF 的对应检测位，某检测位为 1 时表示需检测对应标志位，需检测的标志位中只要有一个为 1 就转移，否则不转移。例如，若 C=1，Z=0，N=1，则需检测 CF 和 NF 的值，当 CF=1 或 NF=1 时发生转移；OFFSET 是相对偏移量，用补码表示。转移执行时，转移目标地址为 $(PC)+2+2\times OFFSET$ ；顺序执行时，下条指令地址为 $(PC)+2$ 。请回答下列问题

- (1) 该计算机存储器按字节编址还是按字编址？该条件转移指令向后（反向）最多可跳转多少条指令？
- (2) 某条件转移指令的地址为 200CH，指令内容如下图所示，若该指令执行时 CF=0，ZF=0，NF=1，则该指令执行后 PC 的值是多少？若该指令执行时 CF=1，ZF=0，NF=0，则该指令执行后 PC 的值又是多少？请给出计算过程。



- (3) 实现“无符号数比较小于等于时转移”功能的指令中，C、Z 和 N 应各是什么？(4) 以下是该指令对应的数据通路示意图，要求给出图中部件 ①~③ 的名称或功能说明

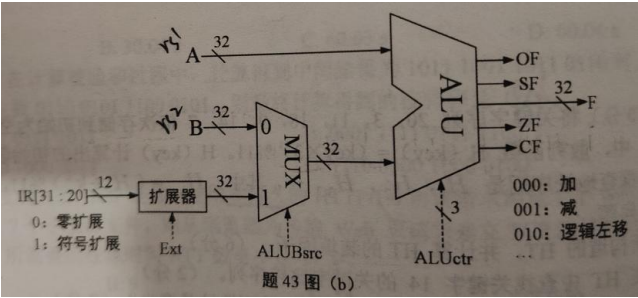


2、【2024 第 43 题】(13 分) 假定计算机 M 字长为 32 位，按字节编址，采用 32 位定长指令字，指令 add、slli 和 lw 的格式、编码和功能说明如图 43(a) 图所示。

	31	25	24	20	19	15	14	12	11	7	6	0	指令功能说明
add	0000000				rs2	rs1	000			rd	0110011		$R[rd] \leftarrow R[rs1] + R[rs2]$
slli	0000000				shamt	rs1	010			rd	0010011		$R[rd] \leftarrow R[rs1] \ll \text{shamt}$
lw	imm					rs1	010			rd	0000011		$R[rd] \leftarrow M[R[rs1] + \text{imm}]$

题 43 图 (a)

其中，R[x] 表示通用寄存器 x 的内容，M[x] 表示地址为 x 的存储单元内容，shamt 为移位位数，imm 为补码表示的偏移量。题 43 图 (b) 给出了计算机 M 的部分数据通路及其控制信号（用带箭头虚线表示），其中，A 和 B 分别表示从通用寄存器 rs1 和 rs2 中读出的内容；IR[31:20] 表示指令寄存器中的高 12 位；控制信号 Ext 为 0、1 时扩展器分别实现零扩展、符号扩展，ALUctr 为 000、001、010 时 ALU 分别实现加、减、逻辑左移运算。



请回答下列问题。

- (1) 计算机 M 最多有多少个通用寄存器？为什么 shamt 字段占 5 位？(2 分)
- (2) 执行 add 指令时，控制信号 ALUBsrc 的取值应是什么？若 rs1 和 rs2 寄存器内容分别是 8765 4321H 和 9876 5432H，则 add 指令执行后，ALU 输出端 F、OF 和 CF 的结果分别是什么？若该 add 指令处理的是无符号整数，则应根据哪个标志判断是否溢出？(5 分)
- (3) 执行 slli 指令时，控制信号 Ext 的取值可以是 0 也可以是 1，为什么？(2 分)
- (4) 执行 lw 指令时，控制信号 Ext、ALUctr 的取值分别是什么？(2 分)
- (5) 若一条指令的机器码是 A040 A103H，则该指令一定是 lw 指令，为什么？若执行该指令时，R[01H]=FFFF A2D0H，则所读取数据的存储地址是什么？(2 分)

真题分类精讲【计算第六章：流水线冒险】【选择题】

答案详细解析: <https://tmdus.xetlk.com/s/1cntgo>



1. 【2010 第 19 题】下列选项中, 不会引起指令流水线阻塞的是 ()
- A.数据旁路(转发)
 - B.数据相关
 - C.条件转移
 - D.资源冲突
2. 【2014 第 16 题】采用指令 Cache 与数据 Cache 分离的主要目的是 ()
- A.降低 Cache 的缺失损失
 - B.提高 Cache 的命中率
 - C.降低 CPU 平均访存时间
 - D.减少指令流水线资源冲突
3. 【2016 第 19 题】在无转发机制的五段基本流水线(取指、译码/读寄存器、运算、访写回寄存器)中, 下列指令序列存在数据冒险的指令对是 ()
- I1:add R1,R2,R3; (R2)+(R3)→R1
I2:add R5,R2,R4; (R2)+(R4)→R5
I3:add R4,R5,R3; (R5)+(R3)→R4
I4:add R5,R2,R6; (R2)+(R6)→R5
- A.I1 和 I2
 - B.I2 和 I3
 - C.I2 和 I4
 - D.I3 和 I4
4. 【2019 第 18 题】在采用“取指、译码/取数、执行、访存、写回”5 段流水线的处理器中, 执行如下指令序列, 其中 s0、s1、s2、s3 和 t2 表示寄存器编号。

```
I1:add s2,s1,s0           //R[s2]<-R[s1]+R[s0]
I2:load s3,0(t2)          //R[s3]<-M[R[t2]+0]
I3:add s2,s2,s3           //R[s2]<R[s2]+R[s3]
I4:store s2,0(t2)         //M[R[t2]+0]<-R[s2]
```

下列指令对中，不存在数据冒险的是（ ）

- A.I1 和 I3
- B.I2 和 I3
- C.I2 和 I4
- D.I3 和 I4

5.【2023 第 19 题】某系统采用 "取指、译码/取数、执行、访存、写回" 5 段流水线，RISC 处理器中执行如下指令序列 (第一列为指令序号)，其中 s0、s1、s2、s3、t2 表示寄存器编号。

I1	add s2, s1, s0	//R[s2] ←R[s1] + R[s0]
I2	load s3, 0(s2)	//R[s3] ←M[R[s2] + 0]
I3	beq t2, s3, L1	//if R[t2] =R[s3] jump to L1
I4	addi t2, t2, 20	//R[t2] ←R[t2] + 20
I5	L1:...	

若采用转发 (旁路) 技术处理数据冒险，采用硬件阻塞方式处理控制冒险，则在 I1~I4 执行过程中，发生流水线阻塞的指令有 ()。

- A.仅 I3
- B.I2、I4
- C.I3、I4
- D.I2、I3、I4

6.【2024 第 19 题】对于采用 "取指、译码/取数、执行、访存、写回" 5 段流水线的 RISC 数据通路，下列关于指令流水线数据冒险处理的叙述中，错误的是 ()。

- A.相邻两条指令中的操作数相关可能引起数据冒险
- B.在数据相关的指令间插入“气泡”能避免数据冒险
- C.所有数据冒险都可以通过加入转发(旁路)电路解决
- D.所有数据冒险都能通过调整指令顺序和插入 nop 指令解决

7.【2025 第 19 题】下列关于 CPU 中的数据通路和控制器的叙述中，错误的是（ ）

- A.通用寄存器组中应该包含程序计数器
- B.控制器中一定包含指令操作码的译码电路
- C.单周期 CPU 中的控制器比多周期 CPU 中的更简单
- D.流水线 CPU 需解决数据相关和控制相关等冒险问题

8.【2017 第 17 题】下列关于超标量流水线特性的叙述中，正确的是（ ）

- I: 能缩短流水线功能段的处理时间

- II: 能在一个时钟周期内同时发射多条指令
 - III: 能结合动态调度技术提高指令执行并行性
- A. 仅 II
 - B. 仅 I、III
 - C. 仅 II、III
 - D. I、II 和 III

9. 【2020 第 17 题】下列给出的处理器类型中，理想情况下，CPI 为 1 的是 ()。

- I: 单周期 CPU
 - II: 多周期 CPU
 - III: 基本流水线 CPU
 - IV: 超标量流水线 CPU
- A. 仅 I、II
 - B. 仅 I、III
 - C. 仅 II、IV
 - D. 仅 III、IV

则这 4 条指令执行过程中, I_3 的 ID 段和 I_4 的 IF 段被阻塞的原因各是什么?

4) 若高级语言程序中某赋值语句为 $x=x*2+a$, x 和 a 均为 unsigned int 类型变量, 它们的存储单元地址分别表示为 $[x]$ 、 $[a]$, 则执行这条语句至少需要多少个时钟周期? 要求模仿题 44 图画出这条语句对应的指令序列及其在流水线中的执行过程示意图。

2、【2014 第 44 题】(12 分) 某程序中有如下循环代码段 P: “for(int=0;i<N;i++) sum+=A[i];” 假设编译时变量 sum 和 i 分别分配在寄存器 R1 和 R2 中。常量 N 在寄存器 R6 中, 数组 A 的首地址在寄存器 R3 中。程序段 P 起始地址为 08048100H, 对应的汇编代码和机器代码如下表所示。

编号	地址	机器代码	汇编代码	注释
1	08048100H	00022080H	loop: sll R4, R2, 2	(R2)<<2 → R4
2	08048104H	00083020H	add R4, R4, R3	(R4) + (R3) → R4
3	08048108H	8C850000H	load R5, 0(R4)	((R4) + 0) → R5
4	0804810CH	00250820H	add R1, R1, R5	(R1) + (R5) → R1
5	08048110H	20420001H	add R2, R2, 1	(R2) + 1 → R2
6	08048114H	1446FFFAH	bne R2, R6, loop	if(R2)!(=R6) goto loop

执行上述代码的计算机 M 采用 32 位定长指令字, 其中分支指令 bne 采用如下格式:

31	26	25	21	20	16	15	0
OP		Rs		Rd		OFFSET	

OP 为操作码; Rs 和 Rd 为寄存器编号; OFFSET 为偏移量, 用补码表示。请回答下列问题, 并说明理由。

- 1) M 的存储器编址单位是什么？
- 2) 已知 sll 指令实现左移功能，数组 A 中每个元素占多少位？
- 3) 表中 bne 指令的 OFFSET 字段的值是多少？已知 bne 指令采用相对寻址方式，当前 PC 内容为 bne 指令地址，通过分析表中指令地址和 bne 指令内容，推断出 bne 指令的转移目标地址计算公式。
- 4) 若 M 采用如下“按序发射、按序完成”的 5 级指令流水线：IF（取值）、ID（译码及取数）、EXE（执行）、MEM（访存）、WB（写回寄存器），且硬件不采取任何转发措施，分支指令的执行均引起 3 个时钟周期的阻塞，则 P 中哪些指令的执行会由于数据相关而发生流水线阻塞？哪条指令的执行会发生控制冒险？为什么指令 1 的执行不会因为与指令 5 的数据相关而发生阻塞？

真题分类精讲【计组第七章：I/O 设备和接口】【选择题】

答案详细解析: <https://tmdus.xetlk.com/s/mPUg7>



1. 【2010 第 22 题】假定一台计算机的显示存储器用 DRAM 芯片实现，若要求显示分辨率为 1600×1200 ，颜色深度为 24 位，帧频为 85Hz，显存总带宽的 50% 用来刷新屏幕，则需要的显存总带宽至少约为 ()

- A. 245Mbps
- B. 979Mbps
- C. 1958Mbps
- D. 7834Mbps

2. 【2011 第 14 题】下列各类存储器中，不采用随机存取方式的是 ()

- A. EPROM
- B. CDROM
- C. DRAM
- D. SRAM

3. 【2012 第 16 题】下列关于闪存 (Flash Memory) 的叙述中，错误的是 ()

- A. 信息可读可写，并且读、写速度一样快
- B. 存储元由 MOS 管组成，是一种半导体存储器
- C. 掉电后信息不丢失，是一种非易失性存储器
- D. 采用随机访问方式，可替代计算机外部存储器

4. 【2013 第 20 题】下列选项中，用于提高 RAID 可靠性的措施有 ()

- I: 磁盘镜像
 - II: 条带化
 - III: 奇偶校验
 - IV: 增加 Cache 机制
- A. 仅 I、II
 - B. 仅 I、III
 - C. 仅 I、III 和 IV
 - D. 仅 III、III 和 IV

5.【2013 第 21 题】某磁盘的转速为 10000rpm，平均寻道时间是 6ms，磁盘传输速率是 20MB/s，磁盘控制器延迟为 0.2ms，读取一个 4KB 的扇区所需的平均时间约为（ ）

- A.9ms
- B.9.4ms
- C.12ms
- D.12.4ms

6.【2015 第 20 题】若磁盘转速为 7200rpm，平均寻道时间为 8ms，每个磁道包含 1000 个扇区，则访问一个扇区的平均存取时间大约是（ ）

- A.8.1ms
- B.12.2ms
- C.16.3ms
- D.20.5ms

7.【2019 第 20 题】下列关于磁盘存储器的叙述中，错误的是（ ）

- A.磁盘的格式化容量比非格式化容量小
- B.扇区中包含数据、地址和校验等信息
- C.磁盘存储器的最小读写单位为一字节
- D.磁盘存储器由磁盘控制器、磁盘驱动器和盘片组成

8.【2013 第 19 题】下列选项中，用于设备和设备控制器 (I/O 接口) 之间互连的接口标准是（ ）

- A.PCI
- B.USB
- C.AGP
- D.PCI-Express

9.【2014 第 21 题】下列有关 I/O 接口的叙述中，错误的是（ ）

- A.状态端口和控制端口可以合用同一个寄存器
- B.I/O 接口中 CPU 可访问的寄存器称为 I/O 端口
- C.采用独立编址方式时，I/O 端口地址和主存地址可能相同
- D.采用统一编址方式时，CPU 不能用访存指令访问 I/O 端口

10.【2017 第 21 题】I/O 指令实现的数据传送通常发生在（ ）

- A.I/O 设备和 I/O 端口之间
- B.通用寄存器和 I/O 设备之间
- C.I/O 端口和 I/O 端口之间
- D.通用寄存器和 I/O 端口之间

真题分类精讲【计组第七章：I/O 中断】【选择题】

答案详细解析: <https://tmdus.xetlk.com/s/NgYXj>



1. 【2021 第 20 题】下列选项中，不属于 I/O 接口的是 ()。
A. 磁盘驱动器
B. 打印机适配器
C. 网络控制器
D. 可编程中断控制器

2. 【2022 第 21 题】下列关于中断 I/O 方式的叙述中，不正确的是 ()。
A. 适用于键盘、针式打印机等字符型设备
B. 外设和主机之间的数据传送通过软件完成
C. 外设准备数据的时间应小于中断处理时间
D. 外设为某进程准备数据时 CPU 可运行其他进程

3. 【2011 第 19 题】假定不采用 Cache 和指令预取技术，且机器处于 "开中断" 状态。在下列有关指令执行的叙述中，错误的是 ()
A. 每个指令周期中 CPU 都至少访问内存一次
B. 每个指令周期一定大于等于一个 CPU 时钟周期
C. 空操作指令的指令周期中任何寄存器的内容都不会被改变
D. 当前程序在每条指令执行结束时都可能被外部中断打断

4. 【2012 第 22 题】响应外部中断的过程中，中断隐指令完成的操作，除保护断点外，还包括 ()
I: 关中断
II: 保存通用寄存器的内容
III: 形成中断服务程序入口地址并送 PC
A. 仅 I、II
B. 仅 I、III
C. 仅 II、III
D. I、II、III

5. 【2015 第 21 题】在采用中断 I/O 方式控制打印输出的情况下，CPU 和打印控制接口中的 I/O 端口之间交换的信息不可能是 ()

- A.打印字符
- B.主存地址
- C.设备状态
- D.控制命令

6.【2011 第 20 题】在系统总线的数据线上，不可能传输的是（ ）

- A.指令
- B.操作数
- C.握手 (应答) 信号
- D.中断类型号

7.【2012 第 21 题】下列选项中，在 I/O 总线的数据线上传输的信息包括（ ）

- I: I/O 接口中的命令字
- II: I/O 接口中的状态字
- III: 中断类型号

- A.仅 I、II
- B.仅 I、III
- C.仅 II、III
- D.I、II、III

8.【2018 第 22 题】下列关于外部 I/O 中断的叙述中，正确的是（ ）

- A.中断控制器按所接收中断请求的先后次序进行中断优先级排队
- B.CPU 响应中断时，通过执行中断隐指令完成通用寄存器的保护
- C.CPU 只有在处于中断允许状态时，才能响应外部设备的中断请求
- D.有中断请求时，CPU 立即暂停当前指令执行，转去执行中断服务程序

9.【2010 年第 21 题】单级中断系统中，中断服务程序内的执行顺序是（ ）

- I: 保护现场
- II: 开中断
- III.关中断
- IV.保存断点
- V.中断事件处理
- VI.恢复现场
- VII.中断返回

- A.I→V→VI→II→VII
- B.III→I→V→VII
- C.III→IV→V→VI→VII
- D.IV→I→V→VI→VII

10.【2011 第 21 题】某计算机有五级中断 $L_4 \sim L_0$ ，中断屏蔽字为 $M_4M_3M_2M_1M_0$ ， $M_i=1(0 \leq i \leq 4)$ 表示对 L_i 级中断进行屏蔽。若中断响应优先级从高到低的顺序是 $L_4 \rightarrow L_0 \rightarrow L_2 \rightarrow L_1 \rightarrow L_3$ ，则 L_1 的中断处理程序中设置的中断屏蔽字是 ()

- A.11110
- B.01101
- C.00011
- D.01010

11.【2021 第 22 题】下列是关于多重中断系统中 CPU 响应中断的叙述，其中错误的是 ()。

- A.仅在用户态 (执行用户程序)下，CPU 才能检测和响应中断
- B.CPU 只有在检测到中断请求信号后，才会进入中断响应周期
- C.进入中断响应周期时，CPU 一定处于中断允许(开中断)状态
- D.若 CPU 检测到中断请求信号，则一定存在未被屏蔽的中断源请求信号

12.【2024 第 21 题】下列关于中断 I/O 方式的叙述中，错误的是 ()。

- A.中断屏蔽字用于确定中断响应的优先级
- B.保存断点和程序状态字在中断响应阶段完成
- C.保存通用寄存器和设置新中断屏蔽字由软件实现
- D.单重中断方式下中断处理时 CPU 处于关中断状态

真题分类精讲【计组第七章：DMA】【选择题】

答案详细解析: <https://tmdus.xetlk.com/s/1YRIaW>



1. 【2013 第 22 题】下列关于中断 I/O 方式和 DMA 方式比较的叙述中，错误的是（ ）

- A. 中断 I/O 方式请求的是 CPU 处理时间，DMA 方式请求的是总线使用权
- B. 中断响应发生在一条指令执行结束后，DMA 响应发生在一个总线事务完成后
- C. 中断 I/O 方式下数据传送通过软件完成，DMA 方式下数据传送由硬件完成
- D. 中断 I/O 方式适用于所有外部设备，DMA 方式仅适用于快速外部设备

2. 【2019 第 22 题】下列关于 DMA 方式的叙述中，正确的是（ ）

- I: DMA 传送前由设备驱动程序设置传送参数
 - II: 数据传送前由 DMA 控制器请求总线使用权
 - III: 数据传送由 DMA 控制器直接控制总线完成
 - IV: DMA 传送结束后的处理由中断服务程序完成
- A. 仅 I、II
 - B. 仅 I、III、IV
 - C. 仅 II、III、IV
 - D. I、II、III、IV

3. 【2020 第 22 题】若设备采用周期挪用 DMA 方式进行输入和输出，每次 DMA 传送的数据块大小为 512 字节，相应的 I/O 接口中有一个 32 位数数据缓冲寄存器。对于数据输入过程，下列叙述中，错误的是（ ）。

- A. 每准备好 32 位数据，DMA 控制器就发出一次总线请求
- B. 相对于 CPU，DMA 控制器的总线使用权的优先级更高
- C. 在整个数据块的传送过程中，CPU 不可以访问主存储器
- D. 数据块传送结束时，会产生“DMA 传送结束”中断请求

4. 【2023 第 22 题】下列关于 I/O 控制方式的叙述中，错误的是（ ）。

- A. 查询方式下，通过 CPU 执行查询程序进行 I/O 操作
- B. 中断方式下，通过 CPU 执行中断服务程序进行 I/O 操作
- C. DMA 方式下，通过 CPU 执行 DMA 传送程序进行 I/O 操作

D.对于 SSD、网络适配器等高速设备，采用 DMA 方式输入/输出

5.【2024 第 22 题】DMA 控制 I/O 方式下，设备的输入/输出由 DMA 控制器控制完成，此时，DMA 控制器控制的数据传输通路位于 ()。

A.CPU 和主存之间

B.CPU 和 DMA 控制器之间

C.设备接口和主存之间

D.设备接口和 DMA 控制器之间

6.【2025 第 21 题】下列设备中，适合采用 DMA 输入输出的设备是 ()

I: 键盘

II: 网卡

III: 固态硬盘

IV: 阵式打印机

A.I、II

B.II、III

C.II、IV

D.III、IV

7.【2011 第 22 题】某计算机处理器主频为 50MHz，采用定时查询方式控制设备 A 的 I/O，查询程序运行一次所用的时钟周期数至少为 500。在设备 A 工作期间，为保证数据不丢失，每秒需对其查询至少 200 次，则 CPU 用于设备 A 的 I/O 的时间占整个 CPU 时间的百分比至少是 ()

A.0.02%

B.0.05%

C.0.20%

D.0.50%

8.【2012 第 12 题】假定基准程序 A 在某计算机上的运行时间为 100 秒，其中 90 秒为 CPU 时间，其余为 I/O 时间。若 CPU 速度提高 50%，I/O 速度不变，则运行基准程序 A 所耗费的时间是 ()

A.55s

B.60s

C.65s

D.70s

9.【2014 第 22 题】若某设备中断请求的响应和处理时间为 100ns，每 400ns 发出一次中断请求，中断响应所允许的最长延迟时间为 50ns，则在设备持续工作过程中，CPU 用于该设备的 I/O 时间占整个 CPU 时间的百分比至少是 ()

- A.12.5%
- B.25%
- C.37.5%
- D.50%

10.【2019 第 21 题】某设备以中断方式与 CPU 进行数据交换，CPU 主频为 1GHz，设备接口中的数据缓冲寄存器为 32 位，设备的数据传输率为 50kB/s。若每次中断开销 (包括中断响应和中断处理) 为 1000 个时钟周期，则 CPU 用于该设备输入/输出的时间占整个 CPU 时间的百分比最多是 ()

- A.1.25%
- B.2.5%
- C.5%
- D.12.5%

真题分类精讲【计组第七章：I/O 方式】【综合题一】

答案详细解析：<https://tmdus.xetlk.com/s/23p99r>



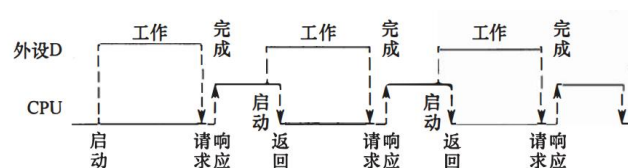
1、【2009 第 43 题】(8 分) 某计算机的 CPU 主频为 500MHz，CPI 为 5（即执行每条指令平均需 5 个时钟周期）。假定某外设的数据传输率为 0.5MB/s，采用中断方式与主机进行数据传送，以 32 位为传输单位，对应的中断服务程序包含 18 条指令，中断服务的其他开销相当于 2 条指令的执行时间。请回答下列问题，要求给出计算过程。

- 1) 在中断方式下，CPU 用于该外设 I/O 的时间占整个 CPU 时间的百分比是多少？
- 2) 当该外设的数据传输率达到 5MB/s 时，改用 DMA 方式传送数据。假定每次 DMA 传送块大小为 5000B，且 DMA 预处理和后处理的总开销为 500 个时钟周期，则 CPU 用于该外设 I/O 的时间占整个 CPU 时间的百分比是多少（假设 DMA 与 CPU 之间没有访存冲突）？

2、【2016 第 44 题】假定 CPU 主频为 50MHz，CPI 为 4。设备 D 采用异步串行通信方式向主机传送 7 位 ASCII 字符，通信规程中有 1 位奇校验位和 1 位停止位，从 D 接收启动命令到字符送入 I/O 端口需要 0.5ms。请回答下列问题，要求说明理由

(1) 每传送一个字符，在异步串行通信线上共需传输多少位？在设备 D 持续工作过程中，每秒钟最多可向 I/O 端口送入多少个字符？

(2) 设备 D 采用中断方式进行输入/输出，示意图如下。



I/O 端口每收到一个字符申请一次中断，中断响应需 10 个时钟周期，中断服务程序共有 20 条指令，其中第 15 条指令启动 D 工作。若 CPU 需从 D 读取 1000 个字符，则完成这一任务所需时间大约是多少个时钟周期？CPU 用于完成这一任务的时间大约是多少个时钟周期？在中断响应阶段 CPU 进行了哪些操作？

真题分类精讲【计组第七章：I/O 方式】【综合题二】

答案详细解析：<https://tmdus.xetlk.com/s/LoGc1>



1、【2018 第 43 题】(8 分) 假定计算机的主频为 500MHz，CPI 为 4。现有设备 A 和 B，其数据传输率分别为 2MB/s 和 40MB/s，对应 I/O 接口中各有一个 32 位数据缓冲寄存器。请回答下列问题，要求给出计算过程。

- (1) 若设备 A 采用定时查询 I/O 方式，每次输入/输出都至少执行 10 条指令。设备 A 最多间隔多长时间查询一次才能不丢失数据？CPU 用于设备 A 输入/输出的时间占 CPU 总时间的百分比至少是多少？
- (2) 在中断 I/O 方式下，若每次中断响应和中断处理的总时钟周期数至少为 400，则设备 B 能否采用中断 I/O 方式？为什么？
- (3) 若设备 B 采用 DMA 方式，每次 DMA 传送的数据块大小为 1000B，CPU 用于 DMA 预处理和后处理的总时钟周期数为 500，则 CPU 用于设备 B 输入/输出的时间占 CPU 总时间的百分比最多是多少？

2、【2022 第 44 题】(8 分) 假设某磁盘驱动器中有 4 个双面盘片，每个盘面有 20000 个磁道，每个磁道有 500 个扇区，每个扇区可记录 512 字节的数据，盘片转速为 7200 R PM(转/分)，平均寻道时间为 5ms。请回答下列问题。

- 1) 每个扇区包含数据及其地址信息，地址信息分为 3 个字段。这 3 个字段的名称各是什么？对于该磁盘，各字段至少占多少位？
- 2) 一个扇区的平均访问时间约为多少？
- 3) 若采用周期挪用 DMA 方式进行磁盘与主机之间的数据传送，磁盘控制器中的数据缓冲区大小为 64 位，则在一个扇区读写过程中，DMA 控制器向 CPU 发送了多少次总线请求？若 CPU 检测到 DMA 控制器的总线请求信号时也需要访问主存，则 DMA 控制器是否可以获得总线使用权？为什么？

真题分类精讲【计组第七章：中断 vs 异常】【选择题】

答案详细解析: <https://tmdus.xetlk.com/s/27Gg4c>



1. 【2009 第 22 题】下列选项中，能引起外部中断的事件是（ ）
 - A. 键盘输入
 - B. 除数为 0
 - C. 浮点运算下溢
 - D. 访存缺页

2. 【2015 第 22 题】内部异常 (内中断) 可分为故障 (fault)、陷阱 (trap) 和终止 (abort) 三类。下列有关内部异常的叙述中，错误的是（ ）
 - A. 内部异常的产生与当前执行指令相关
 - B. 内部异常的检测由 CPU 内部逻辑实现
 - C. 内部异常的响应发生在指令执行过程中
 - D. 内部异常处理后返回到发生异常的指令继续执行

3. 【2016 第 22 题】异常是指令执行过程中在处理器内部发生的特殊事件，中断是来自处理器外部的请求事件。下列关于中断或异常情况的叙述中，错误的是（ ）
 - A. “访存时缺页”属于中断
 - B. “整数除以 0”属于异常
 - C. “DMA 传送结束”属于中断
 - D. “存储保护错”属于异常

4. 【2017 第 22 题】下列关于多重中断系统的叙述中，错误的是（ ）
 - A. 在一条指令执行结束时响应中断
 - B. 中断处理期间 CPU 处于关中断状态
 - C. 中断请求的产生与当前指令的执行无关
 - D. CPU 通过采样中断请求信号检测中断请求

5. 【2020 第 20 题】下列事件中，属于外部中断事件的是()。
 - I: 访存时缺页
 - II: 定时器到时

III: 网络数据包到达

- A.仅 I、II
- B.仅 I、III
- C.仅 II、III
- D.I、II 和 III

6.【2020 第 21 题】外部中断包括不可屏蔽中断 (NMI) 和可屏蔽中断, 下列关于外部中断的叙述中, 错误的是 ()。

- A.CPU 处于关中断状态时, 也能响应 NMI 请求
- B.一旦可屏蔽中断请求信号有效, CPU 将立即响应
- C.不可屏蔽中断的优先级比可屏蔽中断的优先级高
- D.可通过中断屏蔽字改变可屏蔽中断的处理优先级

7.【2021 第 18 题】下列关于数据通路的叙述中, 错误的是 ()。

- A.数据通路包含 ALU 等组合逻辑(操作)元件
- B.数据通路包含寄存器等时序逻辑(状态)元件
- C.数据通路不包含用于异常事件检测及响应的电路
- D.数据通路中的数据流动路径由控制信号进行控制

8.【2023 第 21 题】下列关于硬件和异常/中断关系的叙述中, 错误的是 ()。

- A.CPU 在执行一条指令过程中检测异常事件
- B.CPU 在执行完一条指令时检测中断请求信号
- C.开中断时 CPU 检测到中断请求后就进行中断响应
- D.外部设备通过中断控制器向 CPU 发中断结束信号

9.【2025 第 22 题】下列选项中, 会触发外部中断请求的事件是 ()

- A.DMA 传送结束
- B.总线事务结束
- C.页故障的处理结束
- D.执行断点指令

真题分类精讲【计组第七章：中断 vs 异常】【综合题】

答案详细解析: <https://tmdus.xetlk.com/s/1zT1Qj>



1、【2019 第 45 题】(16 分) 已知 $f(n) = n! = n \times (n-1) \times (n-2) \times \dots \times 2 \times 1$, 计算 $f(n)$ 的 C 语言函数 $f1$ 的源程序 (阴影部分) 及其在 32 位计算机 M 上的部分机器级代码如下:

		<code>int f1(int n){</code>
1	00401000	55 <code>push ebp</code>
		<code>if(n>1)</code>
11	00401018	83 7D 08 01 <code>cmp dword ptr [ebp+8], 1</code>
12	0040101C	7E 17 <code>jle f1+35h (00401035)</code>
		<code>return n*f1(n-1);</code>
13	0040101E	8B 45 08 <code>mov eax, dword ptr [ebp+8]</code>
14	00401021	83 E8 01 <code>sub eax, 1</code>
15	00401024	50 <code>push eax</code>
16	00401025	E8 D6 FF FF FF <code>call f1 (00401000)</code>
		<code>else return 1;</code>
19	00401030	OF AF C1 <code>imul eax, ecx</code>
20	00401033	EB 05 <code>jmp f1+3Ah (0040103a)</code>
		<code>mov eax, 1</code>
21	00401035	B8 01 00 00 00
		<code>}</code>
26	00401040	3B EC <code>cmp ebp, esp</code>
30	0040104A	C3 <code>ret</code>

其中, 机器级代码行包括行号、虚拟地址、机器指令和汇编指令, 计算机 M 按字节编址, `int` 型数据占 32 位。请回答下列问题:

- (1) 计算 $f(10)$ 需要调用函数 $f1$ 多少次? 执行哪条指令会递归调用 $f1$?
- (2) 上述代码中, 哪条指令是条件转移指令? 哪几条指令一定会使程序跳转执行?
- (3) 根据第 16 行的 `call` 指令, 第 17 行指令的虚拟地址应是多少? 已知第 16 行的 `call` 指令采用相对寻址方式, 该指令中的偏移量应是多少 (给出计算过程)? 已知第 16 行的 `call` 指令的后 4 字节为偏移量, M 是采用大端方式还是采用小端方式?
- (3) $f(13)=6227020800$, 但 $f1(13)$ 的返回值为 1932053504, 为什么两者不相等? 要使 $f1(13)$ 能返回正确的结果, 应如何修改 $f1$ 的源程序?
- (5) 第 19 行的 `imul` 指令 (带符号整数乘) 的功能是 $R[ecx] \leftarrow R[ecx] \times R[ecx]$, 当乘法器输出的高、低 32 位乘积之间满足什么条件时, 溢出标志 `OF=1`? 要使 CPU 在发生溢出时转异常处理, 编译器应在 `imul` 指令后应加一条什么指令?

2、【2025 第 44 题】(本题 9 分) 对于题 43 中计算机 M 和程序 P，以下是程序 P

```
int x, d [2048], i;

.....

for( i = 0; i < 2048; i++)

    d[i] = d[i]/x;

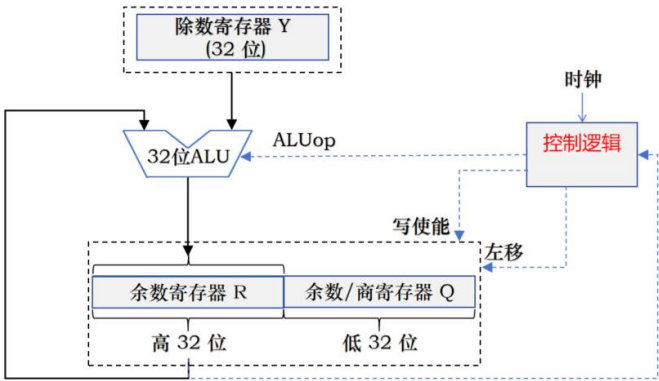
.....
```

假定 P 的部分机器级代码如题 44(a) 图所示，其中，R0~R4 为通用寄存器，SEXT 表示按符号扩展；M 中补码除法器逻辑结构如题 44(b) 图所示。

```
// x 在 R2 中, i 在 R4 中
// 数组 d 的首地址在 R3 中

mov R1, (R3 + R4 * 4)    // R1 ← d[i]
scov R1                  // {R0, R1} ← SEXT(R1)
idiv R2                  // R1 ← ({R0, R1} / R2)
```

题 44(a) 程序代码



题 44(b) 图

请回答下列问题，并说明理由。

- (1) 若执行题 44(a) 图中 `idiv` 指令的除运算时， $d[i]=0x87654321$ ， $x=0xff$ ，则补码除法器中寄存器 R、Q 和 Y 的初始内容分别是什么（用十六进制表示）？题 44(b) 图中哪个部件包含计数器？在补码除法器执行过程中，由 `ALUop` 所控制的 ALU 运算有哪几种？（4 分）
- (2) 假设 `idiv` 指令执行过程中会检测并触发除法异常，则执行 `idiv` 指令时，哪些情况下会发生除法异常（要求给出此时 d 和 x 的十六进制表示机器数）？发生除法异常时，在异常响应过程中 CPU 需要完成哪些操作？（5 分）