digital ic backend design 复习 ！！！

https://blog.csdn.net/weixin_37584728/article/details/135302301 ！！！ **全流程**

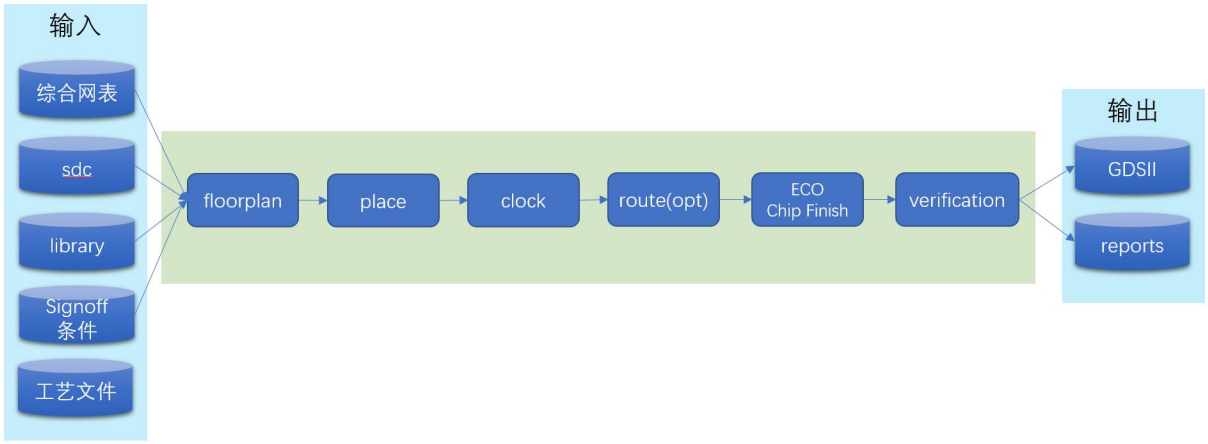
https://www.cnblogs.com/li2000/p/ICdigital-Files.html ！！！每一步骤文件

https://mp.weixin.qq.com/s/kz1J8HGEgzWxoe-csWijjg ！！！ 细节步骤

https://vlsibegin.blogspot.com/p/physical-design.html !! 英文

https://blog.csdn.net/qq_43045275/category_12082114.html !!工具使用

https://blog.csdn.net/weixin_41788560/article/details/123736082 面试题 ！！！！



数字集成电路物理设计 建议书籍

低功耗方法学 建议书籍

数字IC中后端设计实现全流程

pnr后端流程

后端report看什么 PPA(Performance,Power,Area)

DC综合 ：

DC综合简介及基本流程

sdc Synopsys design constraints

library文件.db

sdf ：Standard Delay Format

SVF .svf文件

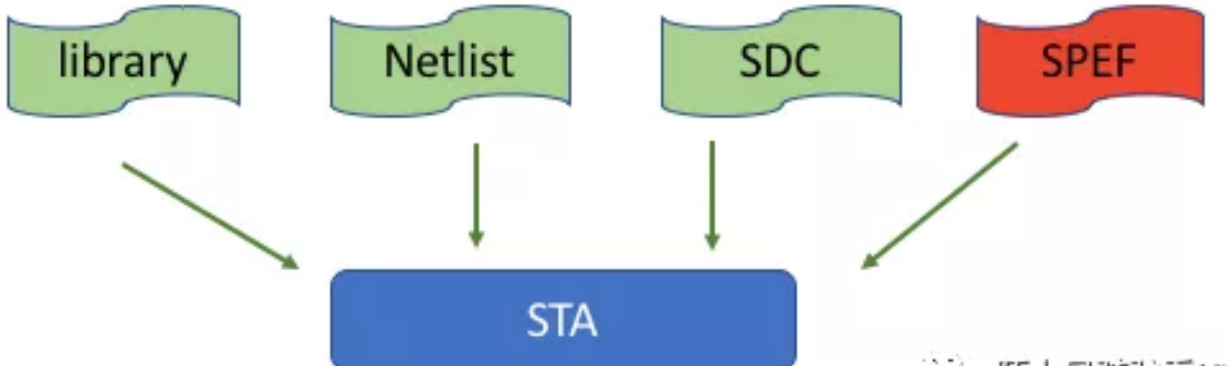
第一次看DC综合报告时看些什么内容

综合常见问题

组合逻辑与时序逻辑的综合

Design Compiler工具学习笔记

sat 静态时序分析



https://blog.csdn.net/sinat_27691203/category_11975181.html

一个corner = library PVT + RC corner + OCV

如何使用PVT、RC、OCV进行STA分析？

PVT corner 每个的影响

逆温效应 Temperature Inversion in VLSI

电压阈值的单元库 HVT/SVT/LVT cell

RC Corner ！！

OCV/ AOCV / POCV / LOCV

cell delay & net delay

Delay Calculation

Interconnect

IR drop

Multi-corner Multi-mode 这是在先进工艺下要使用的一种时序分析模式。

Crosstalk

为什么先进工艺需要check那么多corner？

SAT

STA （not finish）

clock skew

Prime Time 使用

如何看懂一个陌生的timing report

timing borrowing 和 half cycle 的情况

有关建立/保持时间计算练习题

timing optimizations

亚稳态

设计中常见的时序问题

如何修改 setup 和 holdup time violation

优化组合逻辑

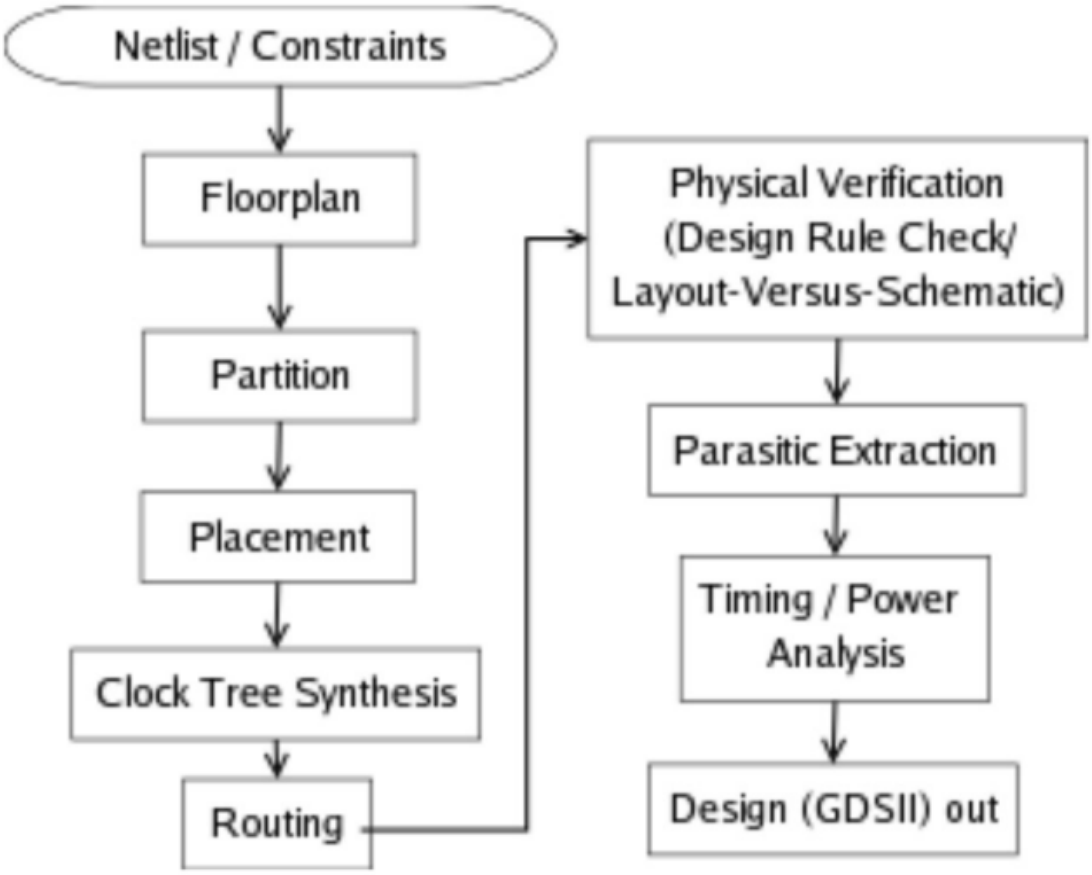
如何fix removal time 和 recovery time

DFT 在综合之后，pnr 之前

Clock uncertainty

形式验证 formality

PnR



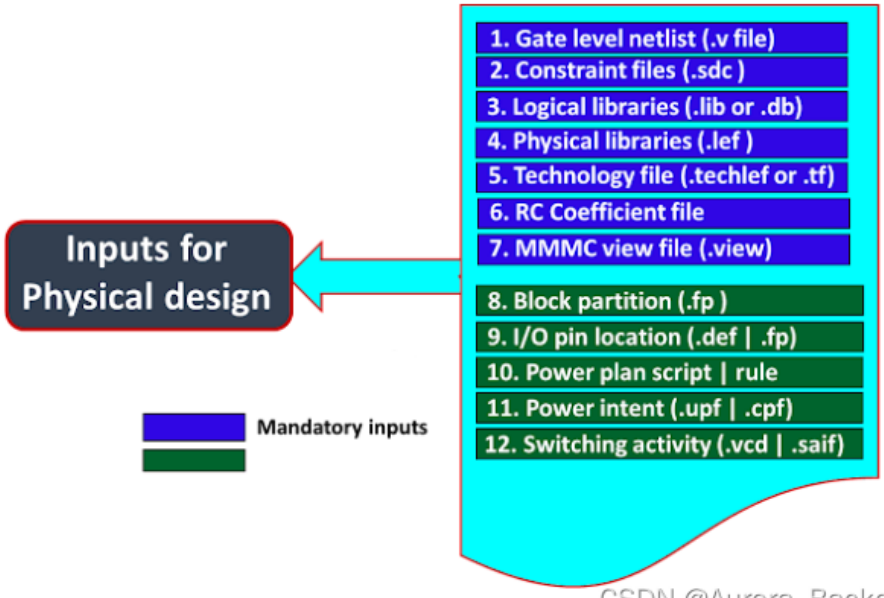


Figure-1: Input for Physical Design

数字后端物理设计输入文件介绍(.v .sdc .lib/.db .lef .tlef/.tf rc corner .view)

Files Required for PnR

- .v file: gate-level netlist from synthesis

  (note not behavioral netlist)

- sdc file: timing related information from synthesis

  (e.g., target frequency, input/output delays)

- lib files: delay file for the technology from PDK

- capacitance table: metal wire delay information

- lef file: layout abstract information for all the STDcells and macros

Stages Summary in Time-Order

- Design import and Floor plan
- Power planning (power ring, stripe, sroute)
- Add wellTap
- Pin placement
- Placement stage
- Filler / DCAP
- Clock tree synthesis stage
- Routing stage
- DRC / LVS check
- Output file generation (lib, sdf, lef, def, gds2, .pnr.v, reports)

pnr数据准备

floorplan：

Floorplan的主要工作就是规划好芯片/子模块的大小，形状，io port摆放，memory，子模块，ip的摆放，endcap cell和tapcell的添加等工作。

floorplan

I/O placement

Power planning (power ring, stripe, sroute)

Add wellTap：

是将衬底接到电源和地网络，避免衬底悬浮 Well tap cells (or Tap cells) are used to prevent the latch-up issue in the CMOS design. Well tap cells connect the nwell to VDD and p-substrate to VSS in order to prevent the latch-up issue.

Pin placement

Add wellTap

数字后端基本概念介绍——Macro

power planning

placement

placement布局

Filler & DCAP 避免ir drop

clock

钟树综合就是建立一个时钟网络，使时钟信号能够传递到各个时序器件

the process of connecting the clock from clock port to the clock pin of sequential cells in the design.

时钟树综合CTS

后端笔记CTS

手把手教你如何在Innovus中分析clock tree质量

【时钟树综合（CTS） - CSDN App】http://t.csdnimg.cn/4oaS5

route ：

这一阶段完成所有节点的连接。布线工具通常将布线分为两个阶段：全局布线与详细布线。

主要任务：完成标准单元的信号线的连接，布线工具会自动进行布线拥塞消除、优化时序、减小耦合效应、消除窜扰、降低功耗、保证信号完整性等问题。

route

Congestion

提取rc

后仿真

后仿真 sdf输入

ECO修改（ECO，Engineering Change Order）

版图物理验证 LVS ， DRC ， ERC

https://vlsibegin.blogspot.com/2018/06/sign-off.html

使用virtuoso和calibre对版图进行DRC& LVS的检查

DRC Design rule check (DRC) Check

Layout vs. Schematic (LVS) Check

功能仿真 Cadence Xcelium

xcelium Cadence

gdsII

report dc report 综合后report 物理设计report

Power Measure with VCD File

TNS＆WNS

Report

Output Files

- Lef file (Library Exchange Format)
  - abstract view of the logic, e.g., pin location, boundary, each metal location
- Def file (Design Exchange Format)
  - complete placement information, e.g., location of each cell, die area, tracks, I/O pins, nets, blockage, metal layers, …
- GDS II file
  - Final outcome of the design
  - entire mask's position, all the metal, poly, n-well, …
- LIB file
  - delay information for all the pin to pin paths
- SDF file
  - delay information for all the paths (even internal) for simulation purpose

功耗问题 lower power & high performance

低功耗设计

clock gating

power 公式

Dynamic Voltage Frequency Scaling

数字后端基础之：芯片的整体功耗是如何计算出来的？

Loop Unrolling

如何估算整个芯片的面积

其他

Hierarchical Synthesis and PnR – Sub-module PNR stage

FD-SOI and finFET Technology

为什么fanout大会导致path的timing变差？

tcl脚本

IC设计中不同eda工具波形文件（wlf/vcd/fsdb/shm/vpd）的区别及生成方法

常见面试题目

难题总结

时序相关问题自测

Lockup Latch