

4.2 主存储器

- 一、概述
- 二、半导体存储芯片简介
- 三、随机存取存储器 (RAM)
- 四、只读存储器 (ROM) 保存系统信息
- 五、存储器与 CPU 的连接
- 六、存储器的校验
- 七、提高访存速度的措施

四、只读存储器（ROM）

- 早期的只读存储器——在厂家就写好了内容
- 改进1——用户可以自己写——一次性
- 改进2——可以多次写——要能对信息进行擦除
- 改进3——电可擦写——特定设备
- 改进4——电可擦写——直接连接到计算机上 （那为什么还叫ROM...）

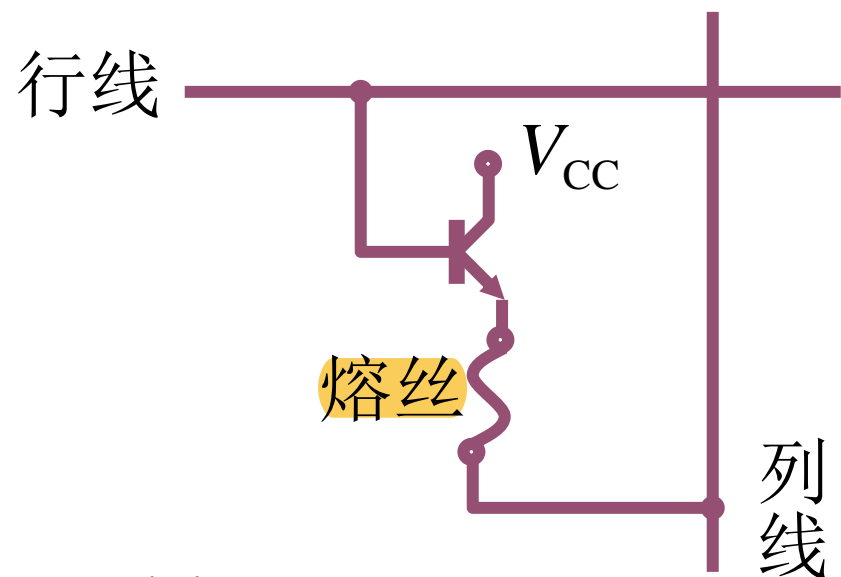
四、只读存储器（ROM）

1. 掩模 ROM (MROM)

行列选择线交叉处有 MOS 管为 “1”

行列选择线交叉处无 MOS 管为 “0”

2. PROM (一次性编程)



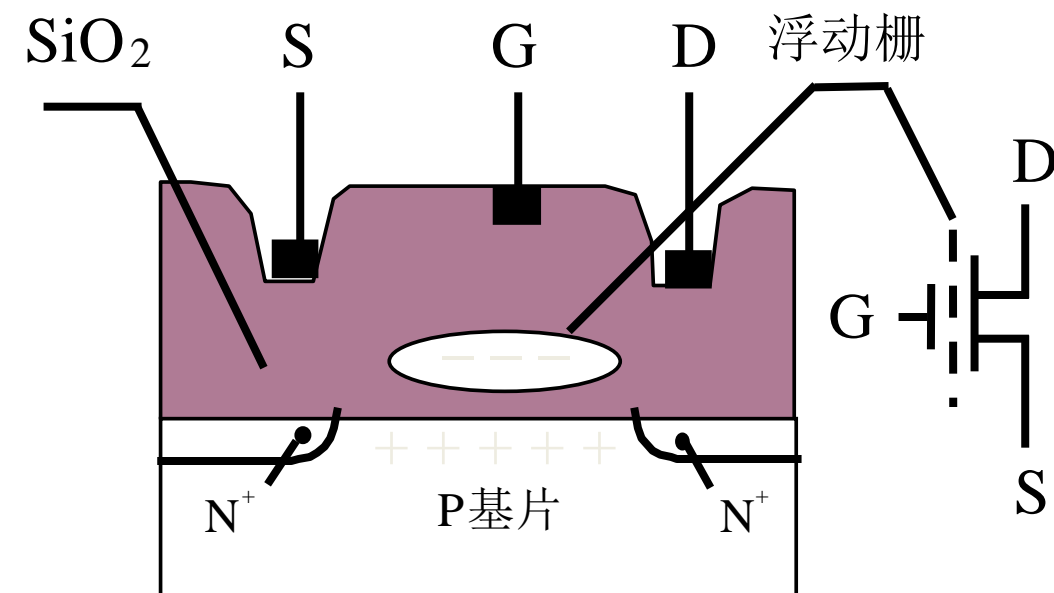
熔丝断 为 “0”

熔丝未断 为 “1”

3. EPROM (多次性编程)

4.2

N型沟道**浮动栅** MOS 电路



G 栅极

S 源

D 漏



紫外线全部擦洗

D 端加正电压

形成浮动栅

S 与 D 不导通为 “0”

D 端不加正电压

不形成浮动栅

S 与 D 导通为 “1”

4. EEPROM (多次性编程)

电可擦写

局部擦写

全部擦写

5. Flash Memory (闪速型存储器)

EPROM 价格便宜 集成度高

EEPROM 电可擦洗重写

Flash 比 EEPROM 快 具备 RAM 功能

4.2 主存储器

- 一、概述
- 二、半导体存储芯片简介
- 三、随机存取存储器 (RAM)
- 四、只读存储器 (ROM)
- 五、存储器与 CPU 的连接
- 六、存储器的校验
- 七、提高访存速度的措施

4.2 主存储器——存储器与 CPU 的连接

- 1. 存储器容量的扩展

- ✓ 位扩展

从CPU引出的线很多，存储器往往需要扩展才能满足CPU需要

- ✓ 字扩展

- ✓ 同时扩展

- 2. 存储器与 CPU 的连接

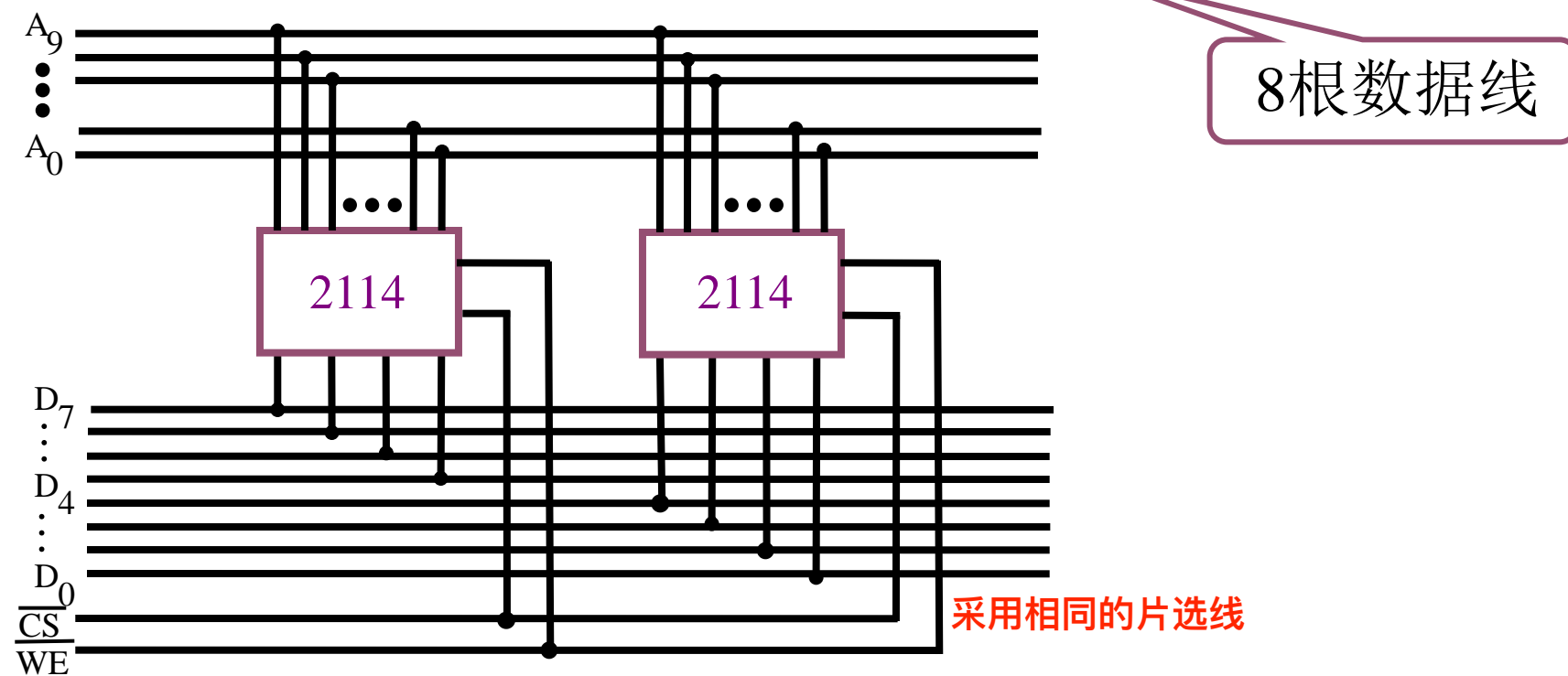
五、存储器与 CPU 的连接

4.2

1. 存储器容量的扩展

(1) 位扩展（增加存储字长）

用 2 片 $1\text{K} \times 4$ 位 存储芯片组成 $1\text{K} \times 8$ 位的存储器



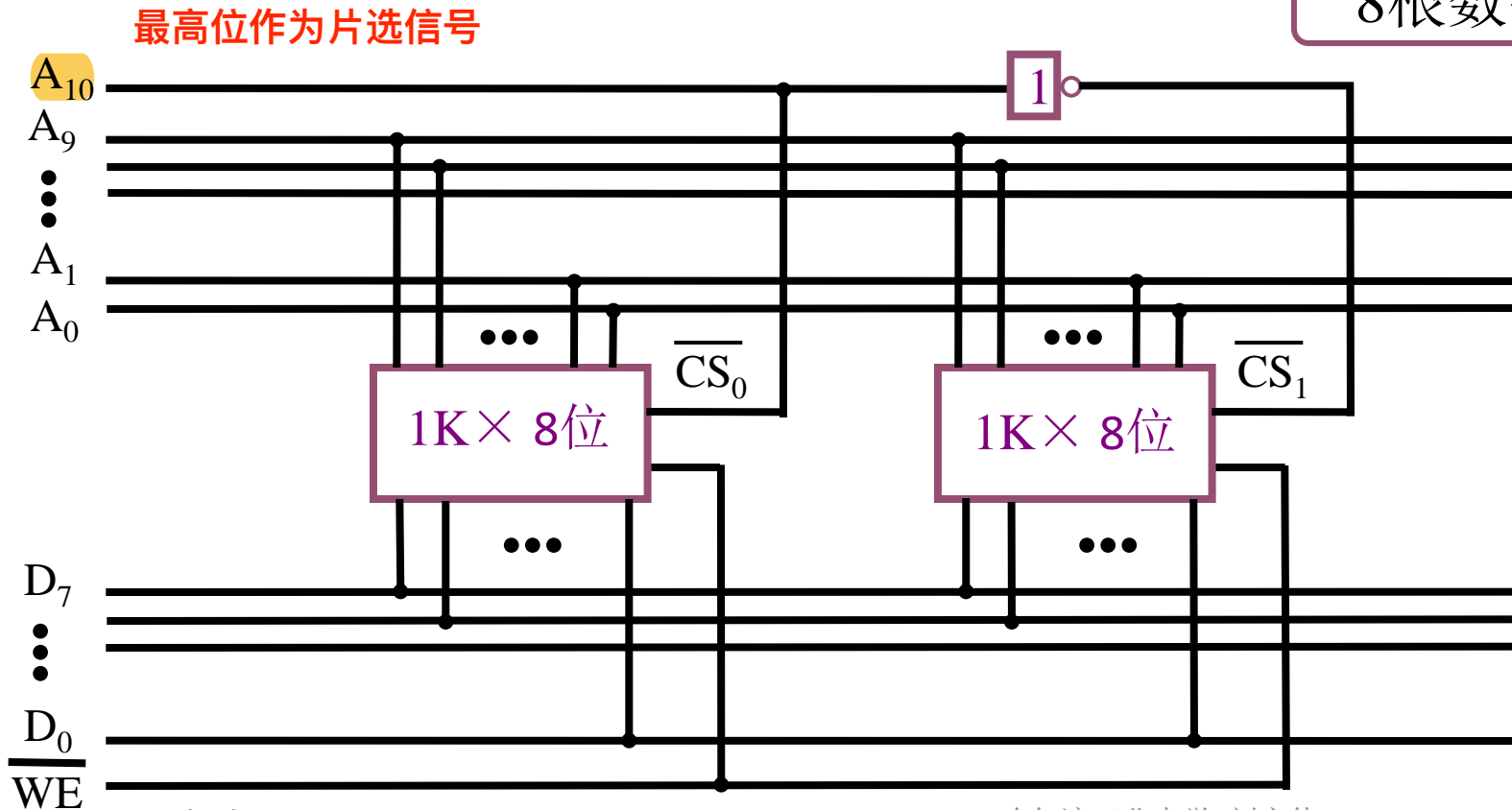
4.2

(2) 字扩展（增加存储字的数量）

11根地址线

用 **2片** $1\text{K} \times 8$ 位 存储芯片组成 $2\text{K} \times 8$ 位 的存储器

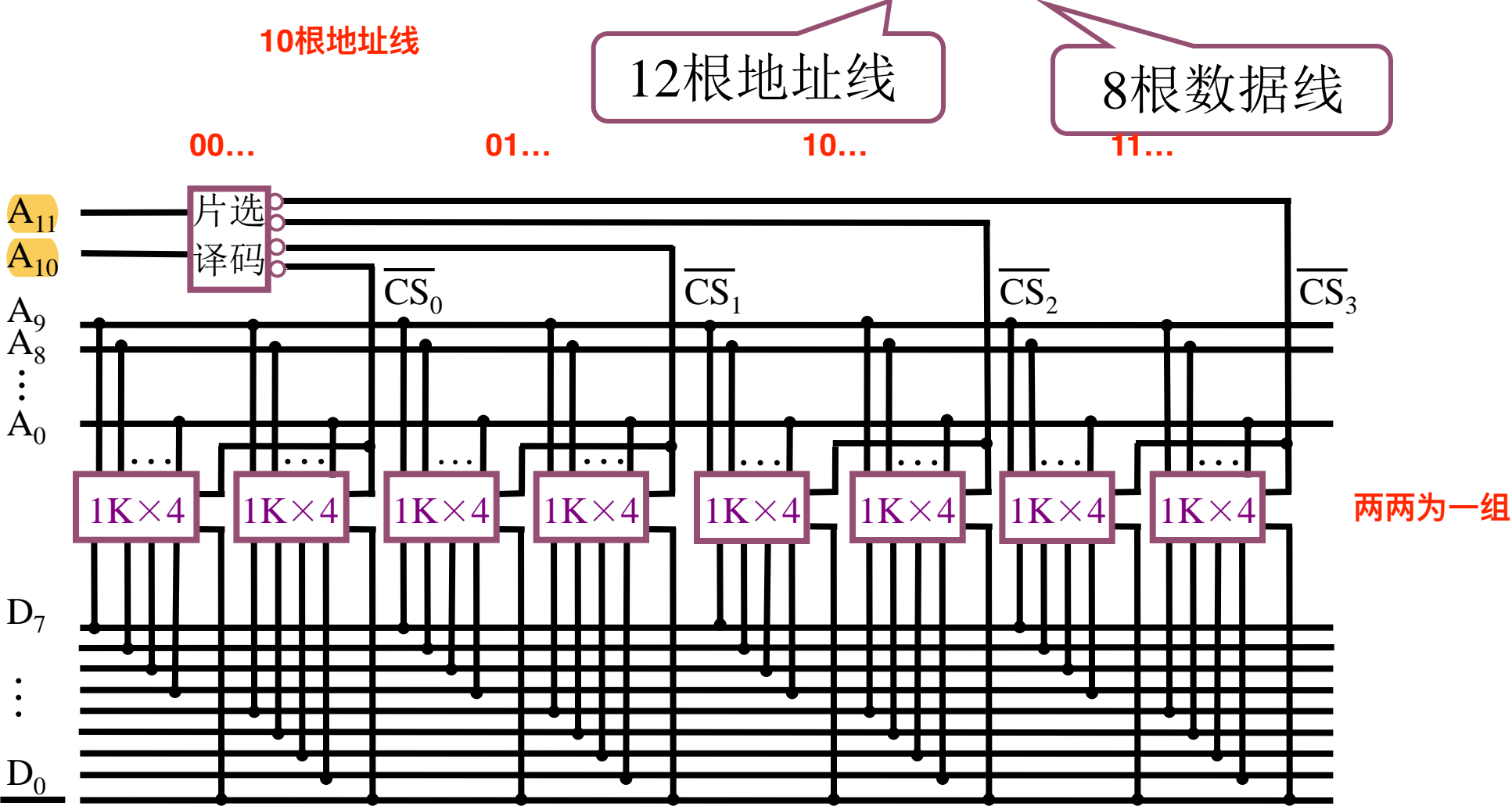
8根数据线



(3) 字、位扩展

4.2

用 8 片 $1\text{K} \times 4$ 位 存储芯片组成 $4\text{K} \times 8$ 位的存储器



4.2 主存储器——存储器与 CPU 的连接

- 1. 存储器容量的扩展
 - ✓位扩展
 - ✓字扩展
 - ✓同时扩展
- 2. 存储器与 CPU 的连接
 - ✓基本方法
 - ✓举例

2. 存储器与 CPU 的连接

(1) 地址线的连接 地址的地位作为存储器地址的输入，高位作为片选信号

(2) 数据线的连接

(3) 读/写命令线的连接

(4) 片选线的连接

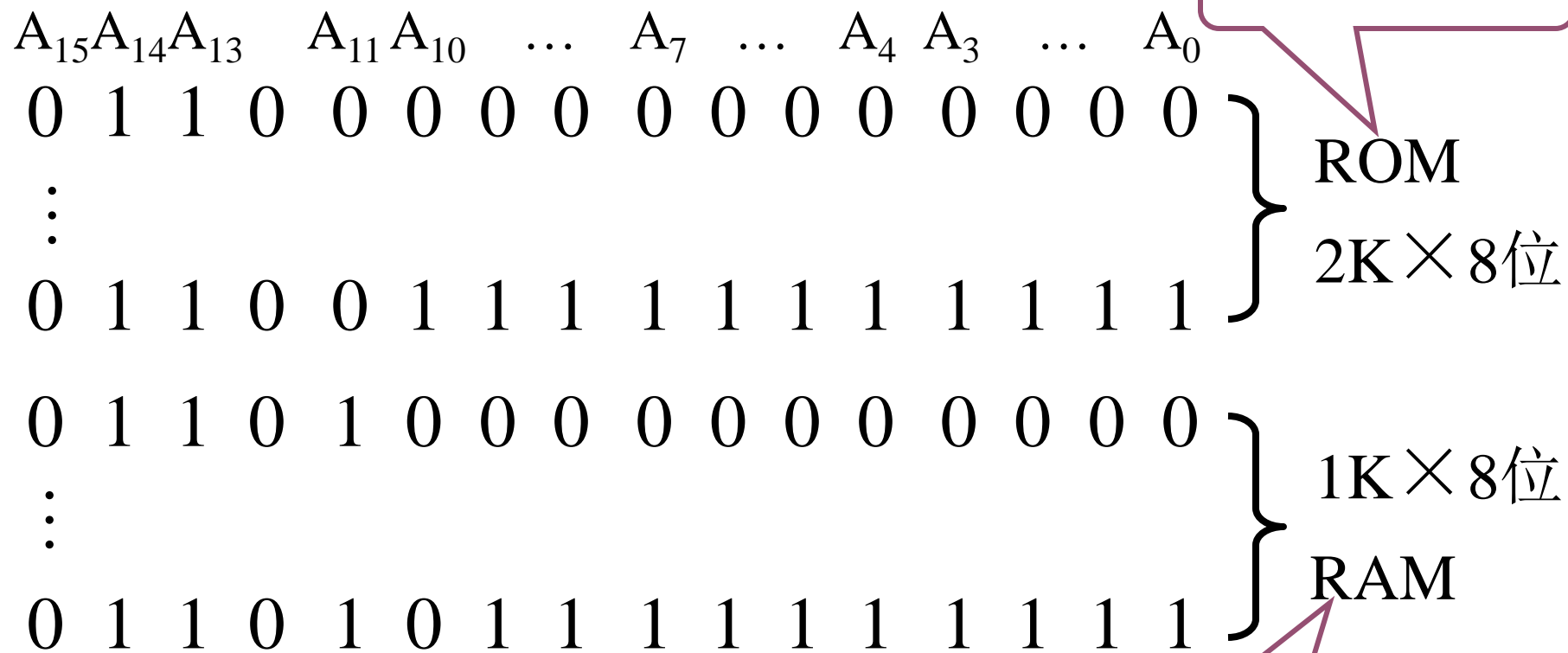
(5) 合理选择存储芯片 保存系统程序和配置信息：常用ROM
用户程序/系统程序运行的区域：RAM

(6) 其他 时序、负载

例4.1 解:

4.2

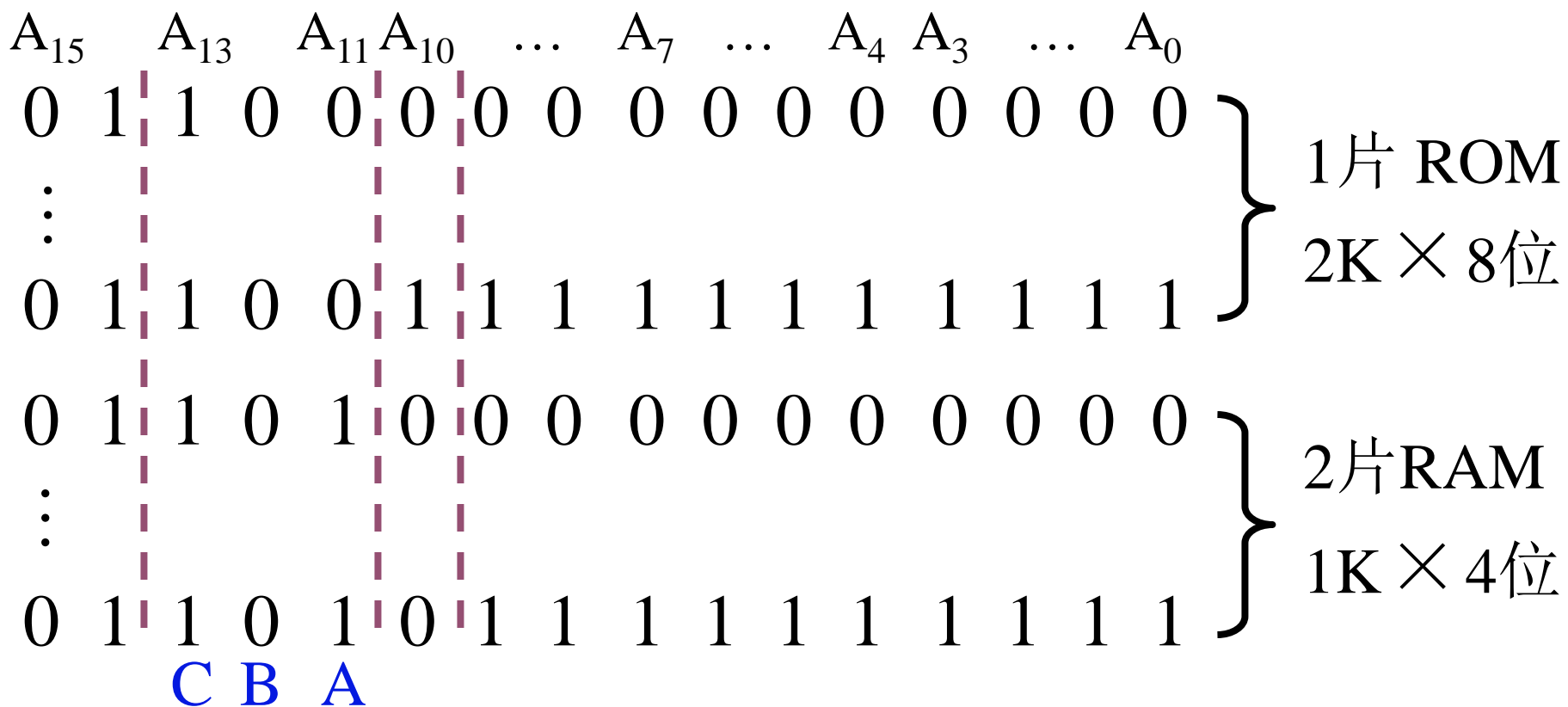
(1) 写出对应的二进制地址码



(2) 确定芯片的数量及类型

(3) 分配地址线

4.2



A₁₀~A₀ 接 2K × 8位 ROM 的地址线

A₉ ~ A₀ 接 1K × 4位 RAM 的地址线

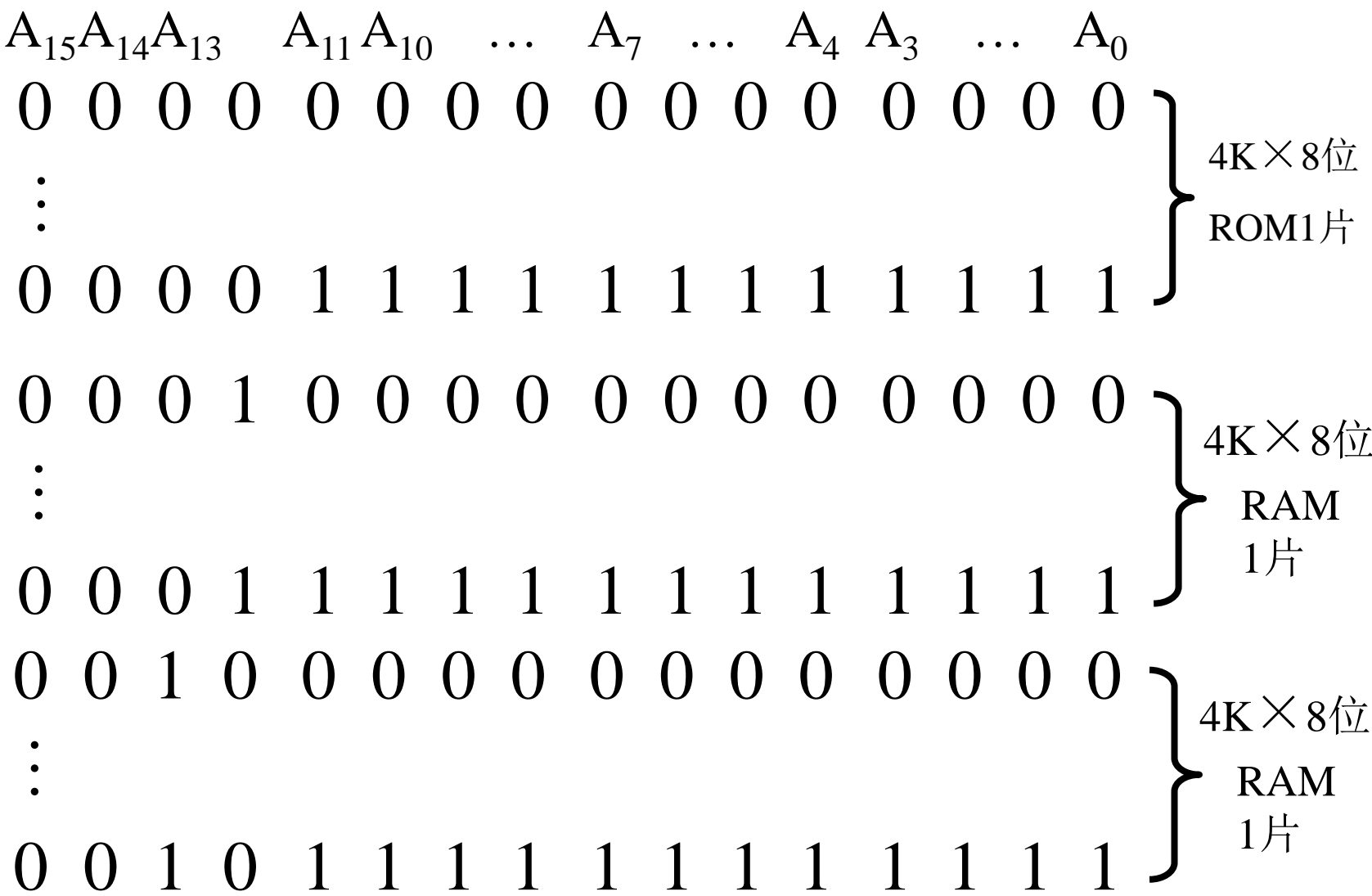
(4) 确定片选信号

例4.2 假设同前，要求最小 4K为系统程序区，相邻 8K为用户程序区。

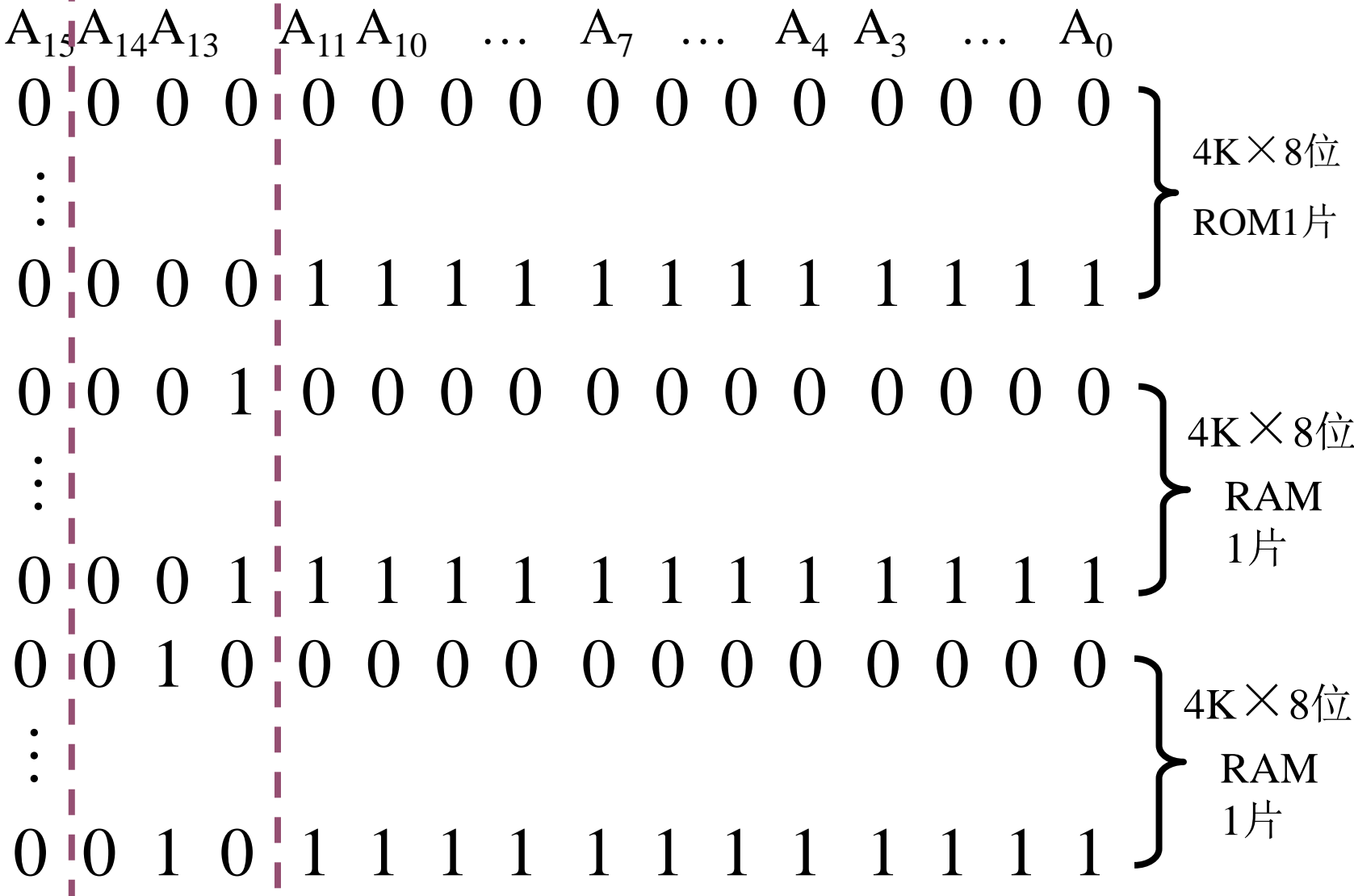
- (1) 写出对应的二进制地址码
- (2) 确定芯片的数量及类型
- (3) 分配地址线
- (4) 确定片选信号
- (5) 确定片选逻辑

例4.2 假设同前，要求最小 4K为系统程序区，相邻 8K为用户程序区。

- (1) 写出对应的二进制地址码
- (2) 确定芯片的数量及类型



(3) 分配地址线

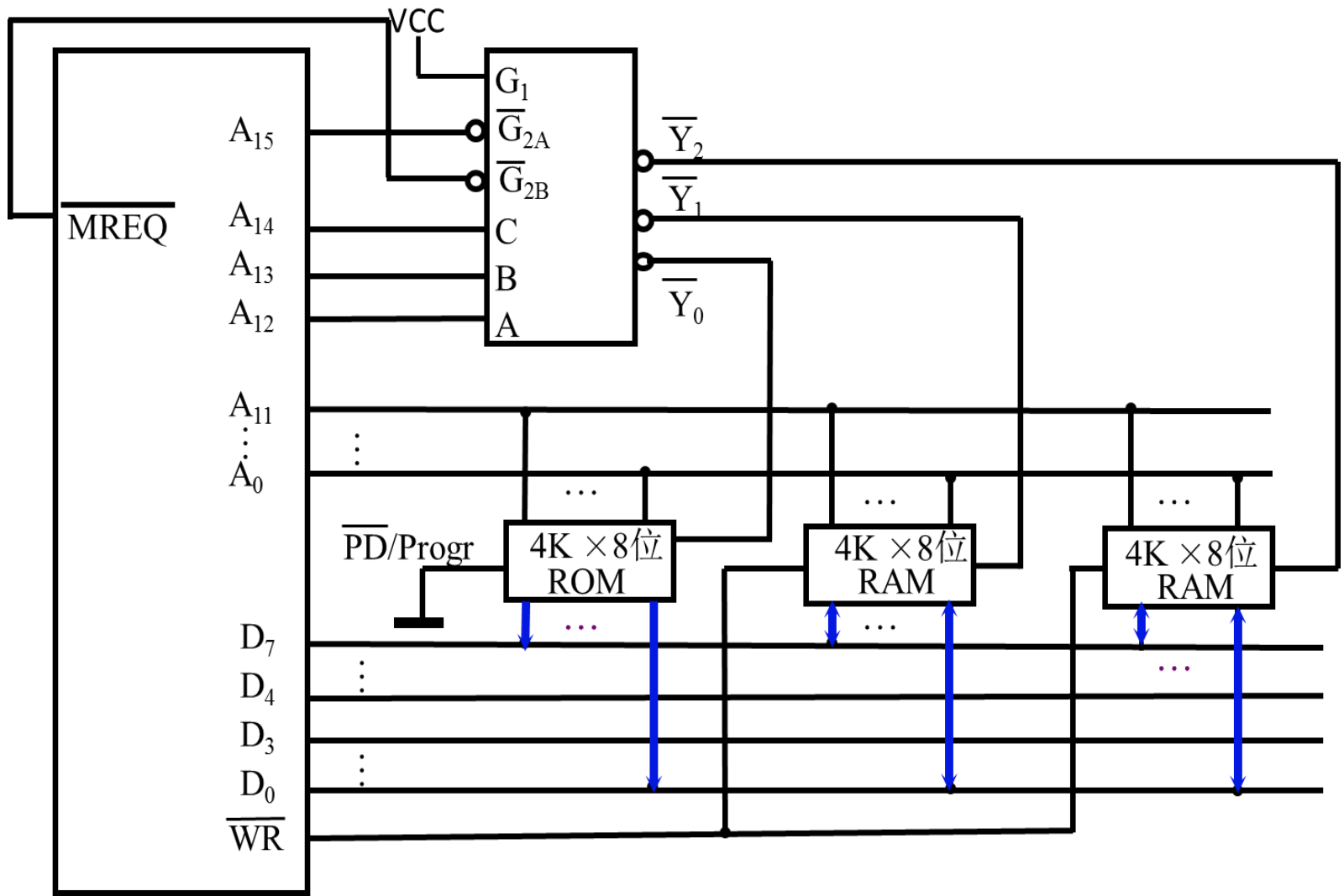


C B A

(4) 确定片选信号

例 4.2 CPU 与存储器的连接图

4.2



4.2 主存储器

- 一、概述
- 二、半导体存储芯片简介
- 三、随机存取存储器 (**RAM**)
- 四、只读存储器 (**ROM**)
- 五、存储器与 **CPU** 的连接
- **六、存储器的校验**
- 七、提高访存速度的措施

4.2 主存储器——存储器的校验

- 1、为什么要对存储器的信息进行校验？
- 2、为了能够校验出信息是否正确，如何进行编码？
- 3、纠错或检错能力与什么因素有关？
- 4、校验出信息出错后是如何进行纠错？
- 5、除了我们教材上讲的校验码，你还知道哪些容错编码？，原理是什么？

4.2 主存储器——存储器的校验

• 合法代码集合

1、{000, 001, 010, 011, 100, 101, 110, 111} 检0位错、纠0位错

2、{000, 011, 101, 110}

↓
100

可以检验出1位错误，
但无法检测出错误在哪里
检1位错，纠0位错

3、{000, 111} 检1位错，纠1位错

↓ ? ↓
100 110

三备份冗余

4、{0000, 1111} 检2位错，纠1位错

1000 1100

5、{00000, 11111} 检2位错，纠2位错

11000 11100

编码的检测能力
和纠错能力和什
么有关呢

任意两组合法
代码之间二
进制位的最
少差异数

六、存储器的校验

4.2

1. 编码的最小距离

任意两组合法代码之间 二进制位数 的 最少差异

编码的纠错、检错能力与编码的最小距离有关

$$L - 1 = D + C \quad (D \geq C)$$

L —— 编码的最小距离 $L = 3$

D —— 检测错误的位数 具有 一位 纠错能力

C —— 纠正错误的位数

汉明码是具有 一位 纠错能力的编码

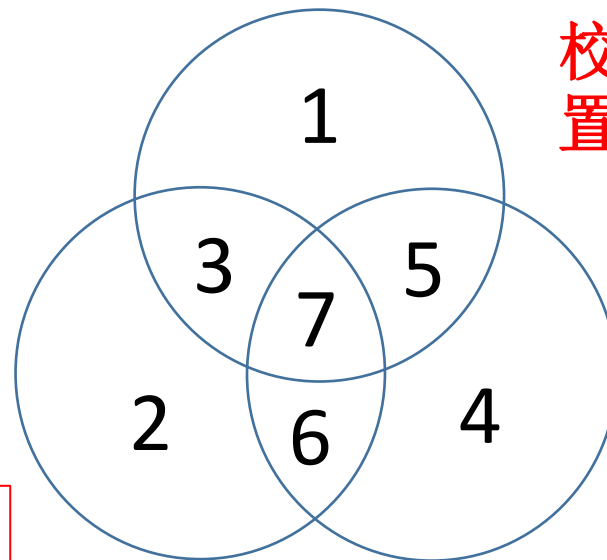
2. 汉明码的组成

4.2

- 汉明码采用奇偶检验
- 汉明码采用分组校验

采用偶校验 校验位 校验位

00100011 100100011 1001000011



校验位应该放在哪些位置呢？ 只校验单独的一组

1, 2, 4, 8
位置放校验码

P₃P₂P₁
0 0 0
0 0 1
1 0 1
1 1 0
1 1 1

无差错
1
5
6
7

给出了出错的位

- 汉明码的分组是一种非划分方式 如何分组的呢？

1	2	3	4	5	6	7
---	---	---	---	---	---	---

分成3组，每组有1位校验位，共包括4位数据位

第1组 XXXX1
第2组 XXX1X
第3组 XX1XX
第4组 X1XXX
第5组 1XXXX

2. 汉明码的组成

4.2

组成汉明码的三要素

汉明码的组成需增添 ? 位检测位

$$2^k \geq n + k + 1$$

检测位的位置 ?

$$2^i \quad (i = 0, 1, 2, 3, \dots)$$

检测位的取值 ?

检测位的取值与该位所在的检测“小组”中
承担的奇偶校验任务有关

各检测位 C_i 所承担的检测小组为

4.2

C_1 检测的 g_1 小组包含第 1, 3, 5, 7, 9, 11, ... 位置的二进制编码为X...XXX1

C_2 检测的 g_2 小组包含第 2, 3, 6, 7, 10, 11, ... 位置的二进制编码为X...XX1X

C_4 检测的 g_3 小组包含第 4, 5, 6, 7, 12, 13, ... 位置的二进制编码为X...X1XX

C_8 检测的 g_4 小组包含第 8, 9, 10, 11, 12, 13, ...

位置的二进制编码为X...1XXX

g_i 小组独占第 2^{i-1} 位 位置的二进制编码为0...10...0

g_i 和 g_j 小组共同占第 $2^{i-1} + 2^{j-1}$ 位

位置的二进制编码为0...010...010...0

g_i 、 g_j 和 g_l 小组共同占第 $2^{i-1} + 2^{j-1} + 2^{l-1}$ 位

位置的二进制编码为0...010...010...010...0

例4.4 求 0101 按 “偶校验” 配置的汉明码

解： $\because n = 4$

根据 $2^k \geq n + k + 1$

得 $k = 3$

汉明码排序如下：

二进制序号	1	2	3	4	5	6	7
名称	C_1	C_2	0	C_4	1	0	1
	0	1		0			

\therefore 0101 的汉明码为 0100101

练习1 按配偶原则配置 0011 的汉明码 4.2

解： $\because n = 4$ 根据 $2^k \geq n + k + 1$

取 $k = 3$

二进制序号	1	2	3	4	5	6	7
名称	C_1	C_2	0	C_4	0	1	1
	1	0		0			

$$C_1 = 3 \oplus 5 \oplus 7 = 1$$

$$C_2 = 3 \oplus 6 \oplus 7 = 0$$

$$C_4 = 5 \oplus 6 \oplus 7 = 0$$

\therefore 0011 的汉明码为 1000011

3. 汉明码的纠错过程

4.2

形成新的检测位 P_i ，其位数与增添的检测位有关，
如增添 3 位 ($k=3$)，新的检测位为 $P_4 P_2 P_1$ 。

以 $k=3$ 为例， P_i 的取值为

$$P_1 = \overset{C_1}{1} \oplus 3 \oplus 5 \oplus 7$$

$$P_2 = \overset{C_2}{2} \oplus 3 \oplus 6 \oplus 7$$

$$P_4 = \overset{C_4}{4} \oplus 5 \oplus 6 \oplus 7$$

对于按“偶校验”配置的汉明码

不出错时 $P_1=0, P_2=0, P_4=0$

例4.5 已知接收到的汉明码为 0100111

(按配偶原则配置) 试问要求传送的信息是什么?

解: 纠错过程如下

$$P_1 = 1 \oplus 3 \oplus 5 \oplus 7 = 0 \quad \text{无错}$$

$$P_2 = 2 \oplus 3 \oplus \boxed{6} \oplus 7 = 1 \quad \text{有错}$$

$$P_4 = 4 \oplus 5 \oplus \boxed{6} \oplus 7 = 1 \quad \text{有错}$$

$$\therefore P_4 P_2 P_1 = 110$$

第 6 位出错, 可纠正为 0100101,
故要求传送的信息为 0101。

练习2 写出按偶校验配置的汉明码

0101101 的纠错过程

$$P_4 = 4 \oplus 5 \oplus 6 \oplus 7 = 1$$

$$P_2 = 2 \oplus 3 \oplus 6 \oplus 7 = 0$$

$$P_1 = 1 \oplus 3 \oplus 5 \oplus 7 = 0$$

是校验位

$\therefore P_4 P_2 P_1 = 100$ 第4位错，可不纠

练习3 按配奇原则配置 0011 的汉明码

配奇的汉明码为 0101011

4.2 主存储器

- 一、概述
- 二、半导体存储芯片简介
- 三、随机存取存储器 (**RAM**)
- 四、只读存储器 (**ROM**)
- 五、存储器与 **CPU** 的连接
- 六、存储器的校验
- 七、提高访存速度的措施

七、提高访存速度的措施

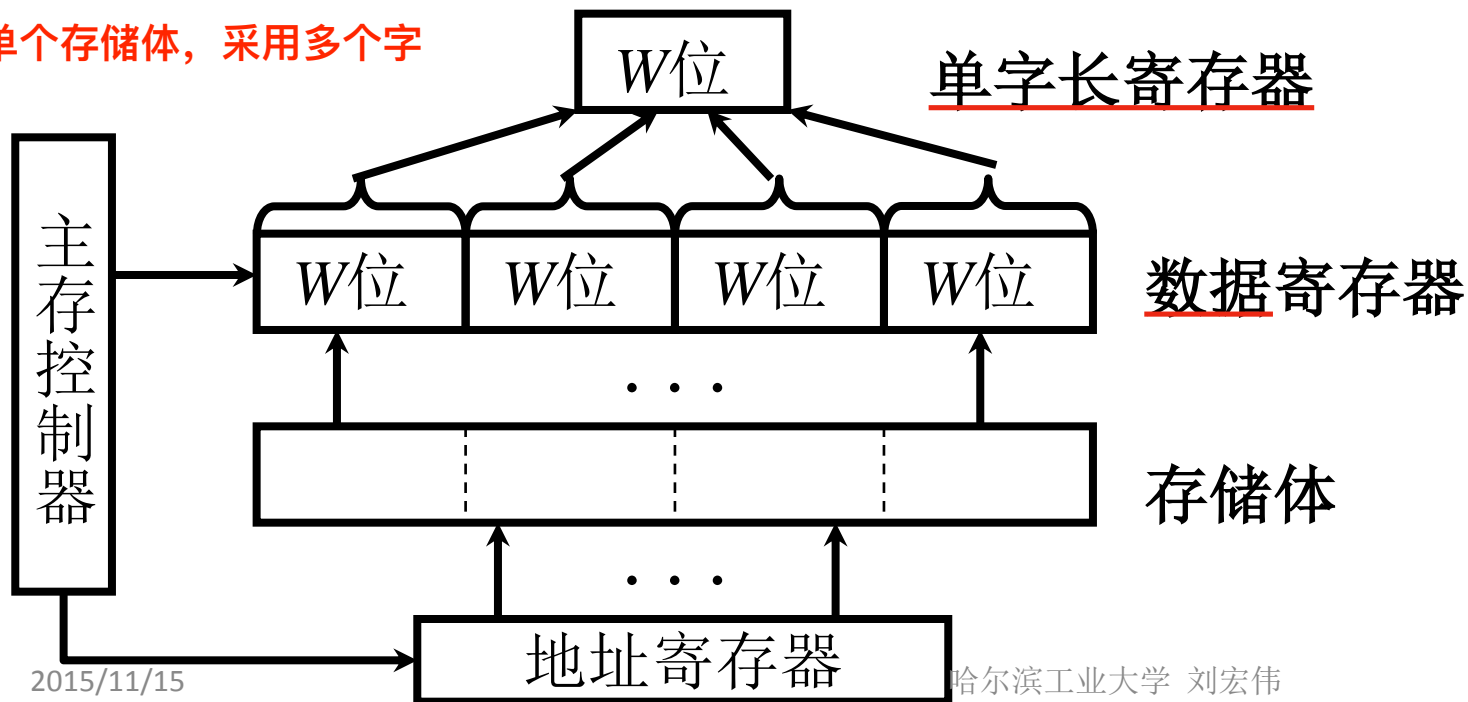
4.2

- 采用高速器件
- 采用层次结构 Cache – 主存
- 调整主存结构

1. 单体多字系统

增加存储器的带宽

单个存储体，采用多个字



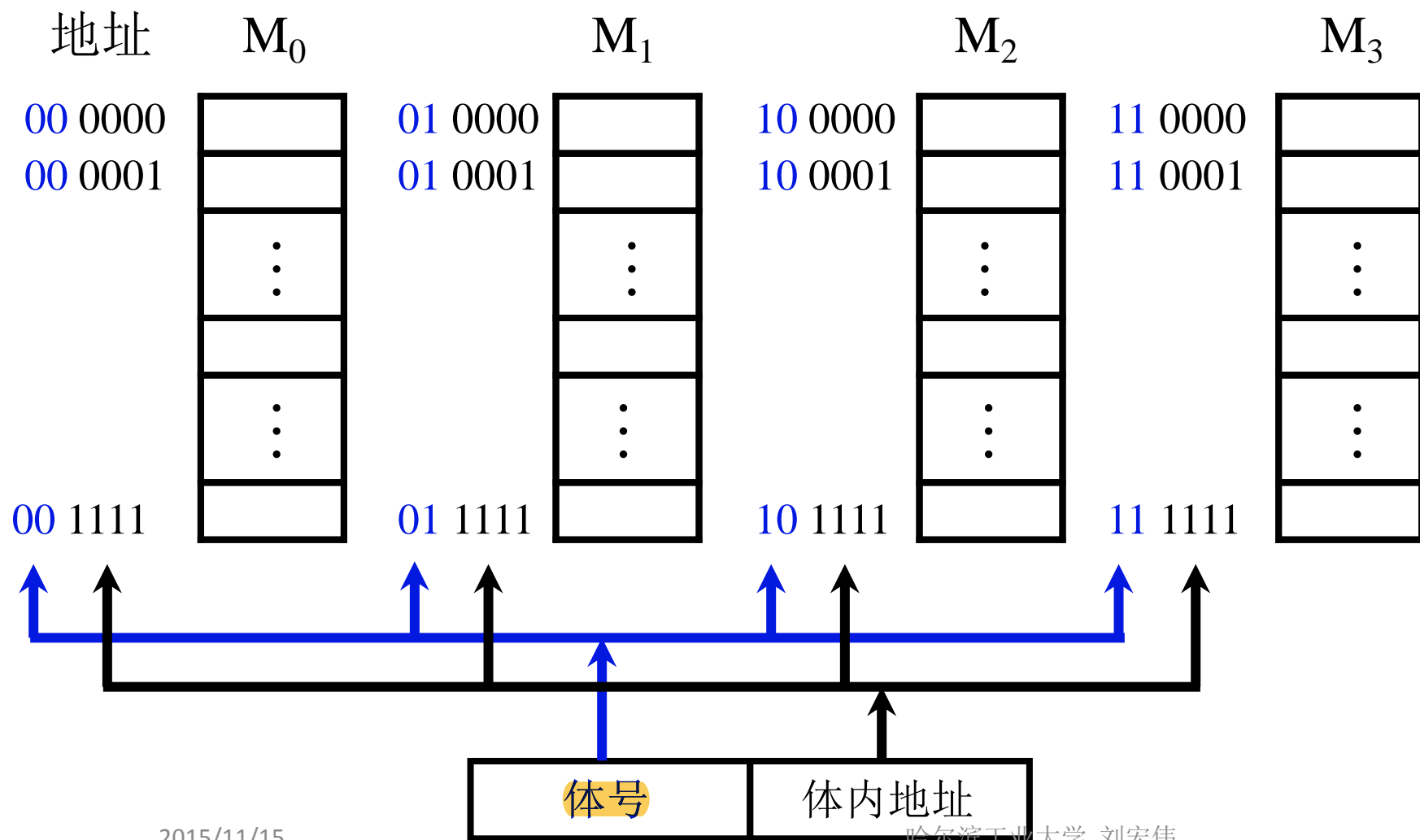
CPU写入存储字的时候可能出错
(好多位都没给确定的值)

可能取出了许多没用的指令

2. 多体并行系统 多个存储体一起使用

4.2

(1) 高位交叉 顺序编址

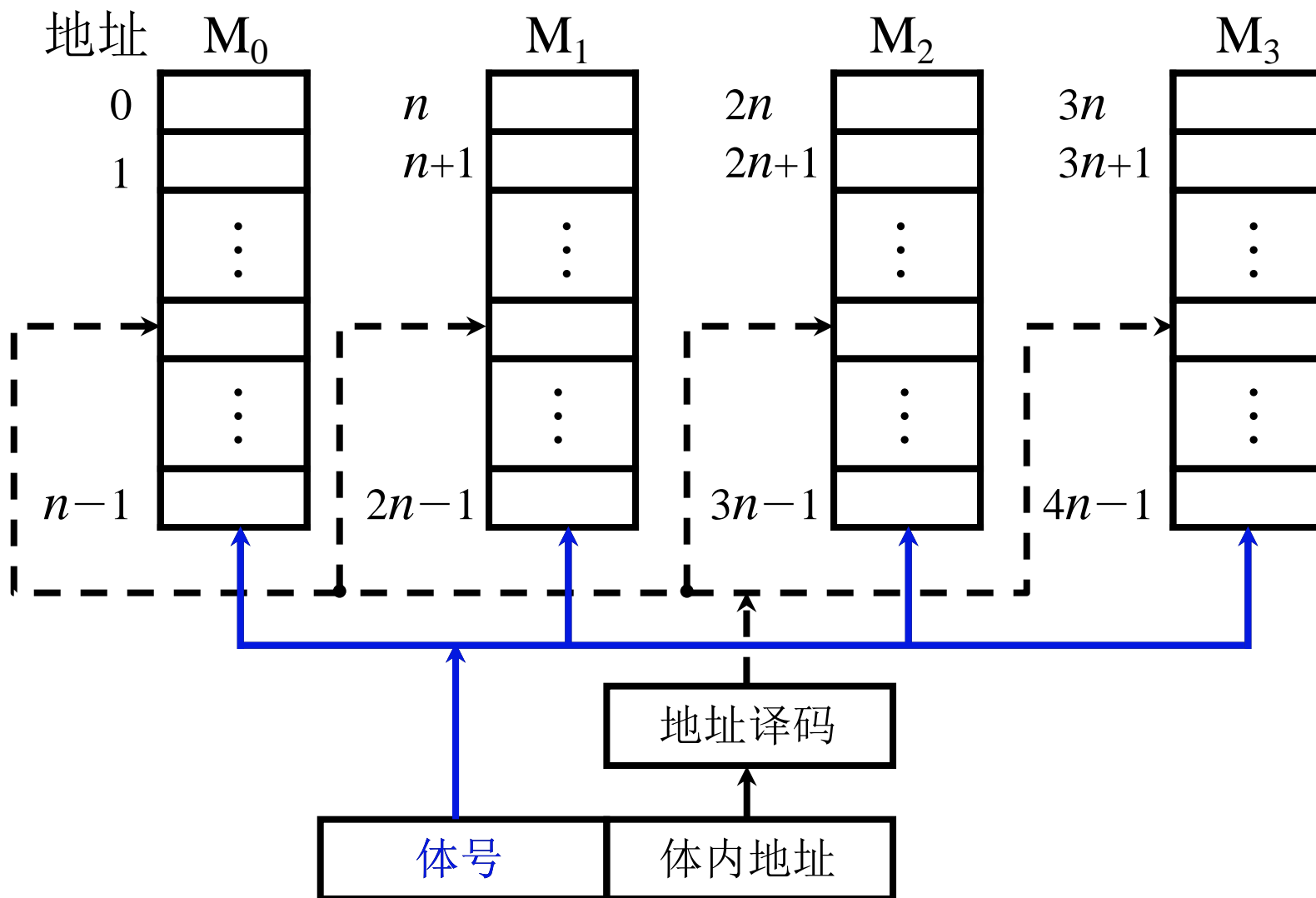


适合存储器容量扩展,
不适合提高速度

(1) 高位交叉

各个体并行工作

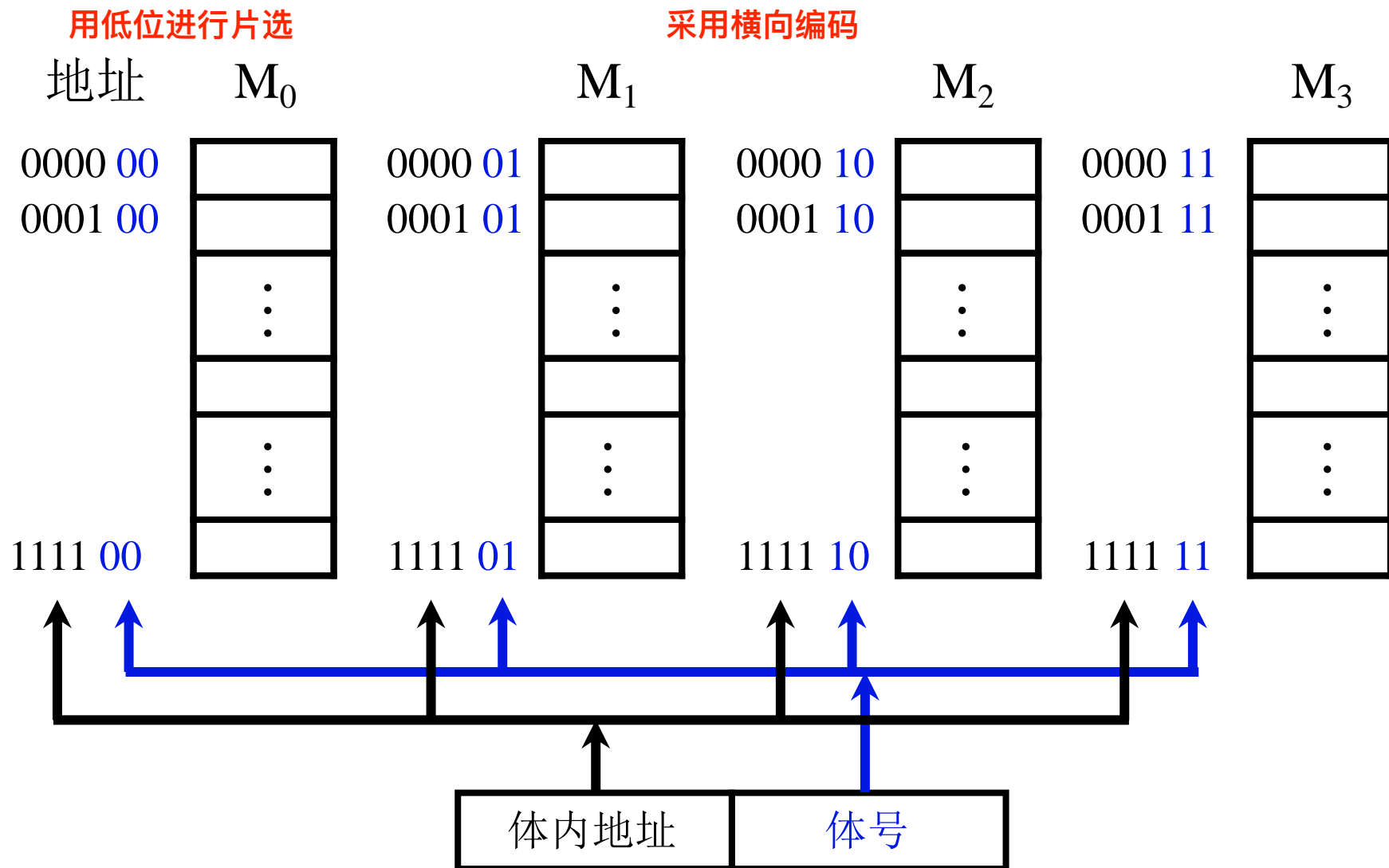
4.2



(2) 低位交叉

各个体轮流编址

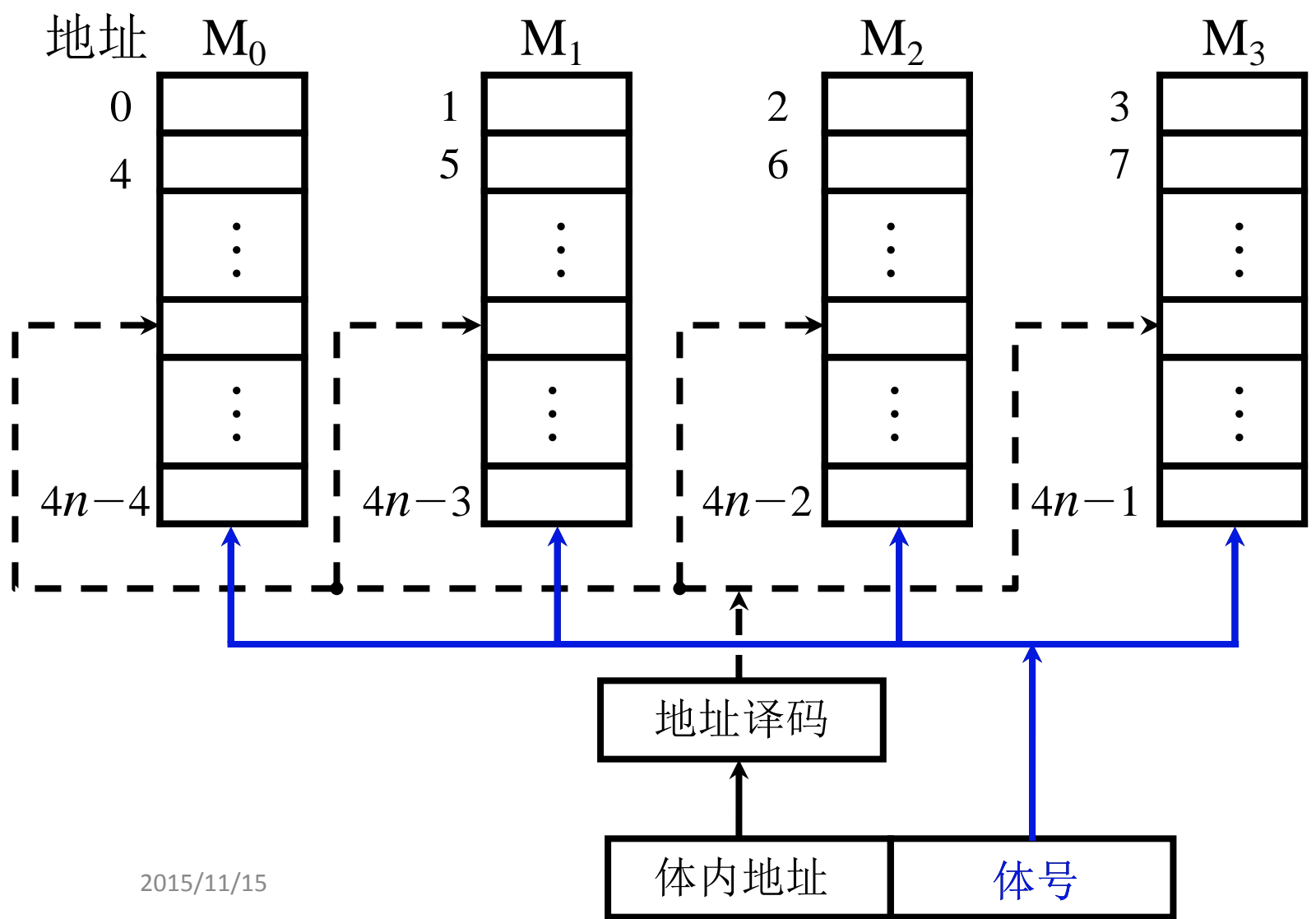
4.2



可以在其中一个存储体索存的时候
继续向其他存储体发布索存命令
可以提高存储器带宽

(2) 低位交叉 各个体轮流编址

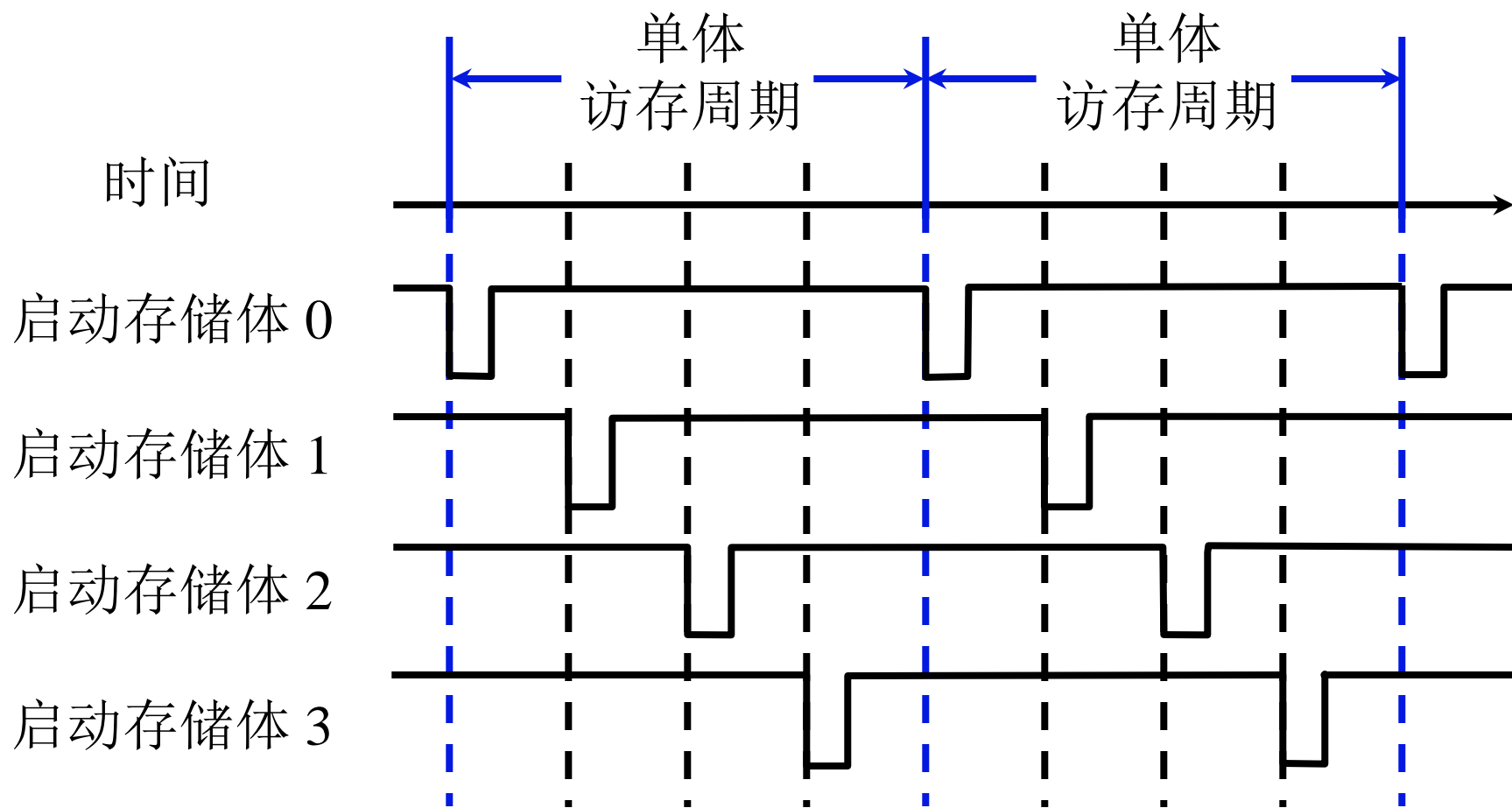
4.2



低位交叉的特点

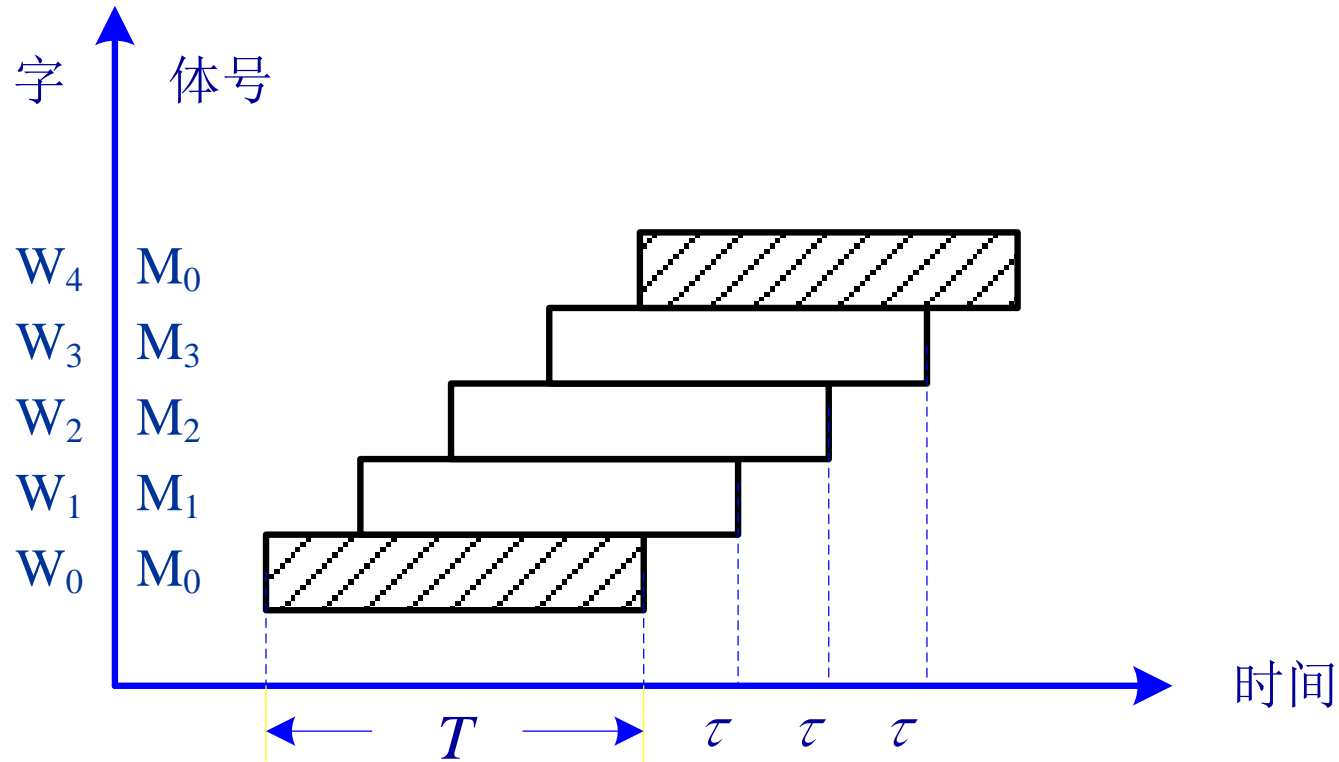
4.2

在不改变存取周期的前提下，增加存储器的带宽



4.2

设四体低位交叉存储器，存取周期为 T ，总线传输周期为 τ ，为实现流水线方式存取，应满足 $T = 4\tau$ 。



连续读取 4 个字所需的时间为 $T + (4 - 1)\tau$

3.高性能存储芯片

4.2

(1) SDRAM (同步 DRAM)

在系统时钟的控制下进行读出和写入

CPU 无须等待 需要存储器速度非常快

(2) RDRAM

由 Rambus 开发，主要解决 存储器带宽 问题

(3) 带 Cache 的 DRAM

在 DRAM 的芯片内 集成 了一个由 SRAM 组成的

Cache，有利于 猝发式读取 “冲激函数”