

INSTITUTO TECNOLÓGICO DE COSTA RICA  
ESCUELA DE INGENIERÍA ELECTRÓNICA  
EL3313 TALLER DE DISEÑO DIGITAL  
PROF. M.SC. KALEB ALFARO BADILLA  
GRUPO 20  
I SEMESTRE 2024

---

Laboratorio 1: Introducción al diseño digital con HDLs y herramientas EDA de síntesis

---

### CUESTIONARIO PREVIO

Realizado por:

Anthony Artavia Salazar  
Yailyn Priscilla Campos Zamora  
Samuel Montenegro Gómez

15/02/2024

## ÍNDICE

1	Pregunta 1	3
2	Pregunta 2	3
3	Pregunta 3	4
4	Pregunta 4	4
5	Pregunta 5	5
6	Pregunta 6	5
7	Pregunta 7	5
8	Pregunta 8	6
9	Pregunta 9	6
10	Pregunta 10	7
11	Pregunta 11	8
12	Pregunta 12	9
13	Pregunta 13	11
14	Pregunta 14	12
15	Pregunta 15	13

## 1. PREGUNTA 1

**Investigue las características de las familias TTL bajo las series 74 \* xx en particular las diferencias entre las variantes  $* \in \{L, LS, HC\}$ .**

La *static discipline* requiere que, dadas entradas lógicamente válidas, cada elemento del circuito produzca salidas lógicamente válidas. Todas las compuertas que se comunican deben tener niveles lógicos compatibles. Por lo tanto, las compuertas se agrupan en familias lógicas de forma que todas las compuertas de una familia lógica obedezcan la disciplina estática (para evitar que las entradas caigan en la zona prohibida, las compuertas lógicas digitales están diseñadas para ajustarse a la disciplina estática) cuando se utilizan con otras puertas de la familia.

Las cuatro principales familias lógicas que predominaron desde la década de 1970 hasta la de 1990 son la lógica de transistores (TTL), CMOS, Lógica TTL de bajo voltaje (LVTTTL) y Lógica CMOS de bajo voltaje (LVCMOS). Muchos sistemas digitales se construían a partir de simples chips, cada uno con un compuesto de varias compuertas lógicas. Por ejemplo, el chip 7404 contiene seis compuertas NOT, el 7408 contiene cuatro compuertas AND, y el 7474 contiene dos flip-flops. Estos chips se denominan colectivamente lógica de la serie 74xx.

Los chips lógicos de la serie 74xx se han fabricado utilizando muchas diferentes tecnologías, denominadas familias lógicas, que ofrecen distintos niveles de velocidad. Otros chips suelen diseñarse para ser compatibles con algunas de estas familias lógicas. Los chips originales, como el 7404, se construían utilizando transistores bipolares en una tecnología Lógica Transistor-Transistor (TTL).

Los avances en los circuitos bipolares y en la tecnología de procesos dieron lugar a las familias *Schottky* (S) y *Low Power Schottky* (LS). Ambas son más rápidas que TTL. Además, Schottky consume más energía, mientras que el Schottky de baja potencia consume menos. Estas familias proporcionan más corriente para las salidas LOW que para las HIGH y, por tanto, tienen niveles lógicos asimétricos.

A medida que los circuitos CMOS maduraron en las décadas de 1980 y 1990, se hicieron populares porque consumen muy poca corriente de alimentación o de entrada. El High Speed CMOS (HC) casi no consumen energía estática.

La lógica de la serie 74xx es de muy bajo costo. Las nuevas familias lógicas a menudo son más baratas que las obsoletas. La familia LS está ampliamente disponible y robusta y es una opción popular para proyectos de laboratorio o hobby que no tienen requisitos especiales de rendimiento.

## 2. PREGUNTA 2

**Investigue las características de la familia CMOS 4000.**

Acorde a [1], las características más significativas de la familia CMOS 4000 son:

- Tensión de alimentación variable de 3 V hasta 18 V.
- Rango de temperatura comprendido de  $-40^{\circ}\text{C}$  y  $85^{\circ}\text{C}$ .
- *Fan-out* (número máximo de entradas que es posible conectar) generalmente superior a 50.
- Niveles de tensión (para una tensión alimentaria de 5 V):
  - $V_{IH\min} = 3.5V$
  - $V_{IL\max} = 1.5V$
  - $V_{OH\min} = 4.95V$
  - $V_{OL\max} = 0.05V$

- Gran inmunidad al ruido, ya que no le afectan impulsos del 30 por 100 de la tensión de alimentación.
- Los tiempos de propagación varían inversamente a la tensión de alimentación, siendo de 125 ns para 5 V y de 45 ns para 15 V.
- La potencia disipada por puerta es de 10 nW.

### 3. PREGUNTA 3

#### **Investigue qué cuidados deben tenerse al manipular las tecnologías CMOS.**

Como se menciona en [2], los primeros dispositivos CMOS presentaron un serio problema de descargas electrostáticas (ESD). Debido a esto los fabricantes tuvieron que tomar medidas para evitar que se dañaran los circuitos integrados. Dicha tarea la llevaron a cabo al incluir diodos internos que limitan las posibles corrientes que se puedan generar al aplicar una carga estática de gran valor de tensión, sin embargo, hay dos formas para evitar esta clase de problemas:

- Trabajar con tensiones de alimentación que no superen los 15 V.
- Asegurarse que las entradas nunca excedan al valor de la tensión de alimentación.

Además, se deben considerar las siguientes reglas de manipulación de circuitos integrados CMOS:

- Los dispositivos CMOS suelen embalarse dentro de sobres, vainas de material antiestático o insertando sus terminales en espuma conductora. Para retirarlos, se debe tener la precaución de no tocar los pines con los dedos.
- Cuando se retiran, deben colocarse sobre una superficie metálica con los terminales haciendo contacto sobre ella. Nunca se ubica un circuito integrado sobre material de poliestireno o plástico.
- Todas las herramientas e instrumental de prueba debe estar conectado a una tierra común.
- Es recomendable que el operador tenga una pulsera antiestática conectada en su muñeca y haciendo contacto a una tierra eléctrica a través de una resistencia de alto valor, a fin de protegerse ante un posible shock eléctrico en caso de que la tierra no esté perfectamente aislada de la tensión de alimentación domiciliar (debido a fugas, conexión errónea, etc.).
- No se debe insertar dispositivos CMOS en un circuito impreso que tenga conectada la tensión de alimentación.
- En caso de querer retirar un chip CMOS de un impreso, hay que asegurarse que la tensión de alimentación sea nula. Hay que considerar que algunas fuentes de alimentación tienen capacitores de filtrado de muy alto valor, por lo que después de retirar la tensión de alimentación pueden tardar varios segundos en descargarse.
- Todas las entradas de dispositivos CMOS (salvo especificación contraria por el fabricante) deben conectarse a algún nivel de tensión adecuado  $V_{DD}$  o  $V_{SS}$ . Dejar terminales flotantes puede hacer que adquieran carga electrostática o que tomen por ruido inducido valores de tensión que hagan que el circuito funcione indebidamente.
- Los circuitos impresos con componentes CMOS que se deban guardar van a tener las entradas y salidas conectadas con resistencias de alto valor a algún terminal de alimentación  $V_{DD}$  o  $V_{SS}$ .

### 4. PREGUNTA 4

#### **Investigue el significado de los parámetros $V_{IL}$ , $V_{IH}$ , $V_{OL}$ , $V_{OH}$ , $V_{IK}$ , $V_{OK}$ .**

Son parámetros que ya vienen establecidos por el diseño del componente, para acceder a ellos es necesario tener acceso a la hoja de datos del componente, a continuación el significado de cada parámetro:

- $V_{IH}$ : High-level input voltage
- $V_{IL}$ : Low-level input voltage
- $V_{OH}$ : High-level output voltage
- $V_{OL}$ : Low-level output voltage
- $I_{IK}$ : DC Input Diode Current
- $V_{OK}$ : DC output Diode Current

## 5. PREGUNTA 5

**Investigue qué son los tiempos de propagación  $t_{PD}$ ,  $t_{PLH}$  y  $t_{PHL}$  y los tiempos de transición  $t_t$ ,  $t_r$  y  $t_f$ .**

El retardo de propagación o *propagation delay*  $t_{PD}$ , es el tiempo máximo desde que alguna entrada cambia hasta que la salida/s alcanzan su valor final. Este retardo es característico de la lógica combinacional [3]. El tiempo de retardo de propagación bajo-alto o *low to high propagation delay*  $t_{PLH}$ , es el tiempo entre un punto de referencia en el impulso de entrada y el punto de referencia correspondiente en el impulso de salida, cuando la salida cambia del nivel alto (H) al nivel bajo (L). El tiempo de retardo de propagación alto-bajo o *high to low propagation delay*  $t_{PHL}$ , es el tiempo entre un punto de referencia en el impulso de entrada y el punto de referencia correspondiente en el impulso de salida, cuando la salida cambia del nivel bajo (L) al nivel alto (H) [4]. El tiempo de transición o transition time  $t_t$  es el tiempo que se requiere para cambiar de un nivel lógico a otro. El tiempo de subida o *rise time*  $t_r$  es el tiempo que se requiere para que un impulso digital pase desde su nivel bajo hasta su nivel alto. El tiempo que se requiere para la transición del nivel alto al nivel bajo es el tiempo de bajada o *fall time*  $t_f$ . El nivel alto corresponde a un 1 binario y el nivel bajo a un 0 binario [4].

## 6. PREGUNTA 6

**Investigue qué significa el término *fan-out* y cuáles valores típicos se encuentran en las familias TTL y CMOS.**

El término *fan-out* se refiere al número de transistores conectados a una salida [5]. El *fan-out* para TTL estandar es de 10, para TTL 74L es de 10 y para TTL schottky de baja potencia (LS) es de 20. Para CMOS 74HC el *fan-out* de 100 y para Fairchild 4000B CMOS es de 50.

## 7. PREGUNTA 7

**Para cada una de las variantes TTL y CMOS especifique en una tabla:**

- (a) **rango de tensión eléctrica de alimentación  $V_{CC}$  o  $V_{DD}$ ,  $V_{SS}$**
- (b) **rango de tensiones de entrada y salida**
- (c) **tiempos de propagación y transición**

Characteristic	Bipolar / TTL						CMOS		CMOS / TTL Compatible	
	TTL	S	LS	AS	ALS	F	HC	AHC	HCT	AHCT
$t_{pd}$ (ns)	22	9	12	7.5	10	6	21	7.5	30	7.7
$V_{IH}$ (V)	2	2	2	2	2	2	3.15	3.15	2	2
$V_{IL}$ (V)	0.8	0.8	0.8	0.8	0.8	0.8	1.35	1.35	0.8	0.8
$V_{OH}$ (V)	2.4	2.7	2.7	2.5	2.5	2.5	3.84	3.8	3.84	3.8
$V_{OL}$ (V)	0.4	0.5	0.5	0.5	0.5	0.5	0.33	0.44	0.33	0.44
$I_{OH}$ (mA)	0.4	1	0.4	2	0.4	1	4	8	4	8
$I_{OL}$ (mA)	16	20	8	20	8	20	4	8	4	8
$I_{IL}$ (mA)	1.6	2	0.4	0.5	0.1	0.6	0.001	0.001	0.001	0.001
$I_{IH}$ (mA)	0.04	0.05	0.02	0.02	0.02	0.02	0.001	0.001	0.001	0.001
$I_{DD}$ (mA)	33	54	6.6	26	4.2	15	0.02	0.02	0.02	0.02
$C_{Pd}$ (pF)	n/a						20	12	20	14
cost* (US \$)	obsolete	0.63	0.25	0.53	0.32	0.22	0.12	0.12	0.12	0.12

\*Per unit in quantities of 1000 for the 7408 from Texas Instruments in 2012.

Figura 7.1: Tabla con valores CMOS y TTL [3].

## 8. PREGUNTA 8

**Revise la hoja de datos de los circuitos integrados 74\*00, 74\*02, 74\*04, 74\*14, 4001, 4011, 4069 y 40106. Resuma para qué sirve cada uno.**

- 74\*00 (NAND Gate): Combina dos entradas mediante una operación NAND lógica, generando una salida lógica
- 74\*02 (NOR Gate): Realiza una operación NOR lógica en dos entradas, lo que produce una salida lógica correspondiente.
- 74\*04 (Inverter): Actúa como un inversor, cambiando la lógica de la entrada (0 a 1 o 1 a 0) en la salida.
- 74\*14 (Schmitt Trigger Inverter): Inversor con un disparador de Schmitt, útil en aplicaciones de osciladores y para eliminar ruido.
- 4001 (Quad 2-input NOR Gate): Compuesto por cuatro puertas NOR de dos entradas cada una, esto genera mayor facilidad para operaciones lógicas complejas.
- 4011 (Quad 2-input NAND Gate): Incluye cuatro puertas NAND de dos entradas, permitiendo combinaciones lógicas y funciones booleanas.
- 4069 (Hex Inverter): Diseñado para ofrecer seis inversores independientes, útiles en aplicaciones de amplificación y conversión de señales.
- 40106 (Hex Schmitt Trigger): Ofrece seis inversores Schmitt Trigger con la capacidad de generación de ondas cuadradas y aplicaciones en osciladores.

## 9. PREGUNTA 9

**Revise la estructura básica, a nivel de transistores, de una compuerta NAND en circuitos integrados CMOS.**

La estructura de la figura 9.1 consiste de dos transistores nMOS (N1 y N2) conectados en serie; para que la salida del circuito se conecte a tierra es necesario que los dos transistores estén activados (tensión en el gate igual a 1). Los transistores pMOS (P1 y P2) están conectados en paralelo; con un transistor pMOS activado (tensión en el gate igual a 0) es suficiente para que la salida se conecte a la tensión de drenador [3]. En la figura 9.2 se muestra la tabla de verdad que describe el comportamiento de una compuerta NAND.

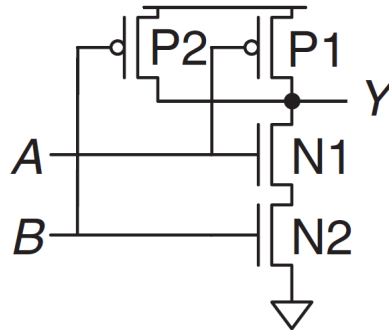


Figura 9.1: Esquemático de la compuerta NAND CMOS de dos entradas [3].

A	B	Pull-Down Network	Pull-Up Network	Y
0	0	OFF	ON	1
0	1	OFF	ON	1
1	0	OFF	ON	1
1	1	ON	OFF	0

Figura 9.2: Tabla de verdad para la compuerta NAND de dos entradas [3].

## 10. PREGUNTA 10

**Investigue sobre el concepto y el uso de los de circuitos *pull-up* y *pull-down* en electrónica digital.**

Los circuitos de *pull-up* y *pull-down* recibe su nombre debido al uso de una resistencia, por consiguiente, son mejor conocidos como resistencia de *pull-up* y *pull-down*. En [4], se establece que una resistencia de *pull-up* se utiliza para mantener un determinado punto de un circuito a nivel ALTO cuando se encuentra en estado inactivo. De manera similar, una resistencia de *pull-down* se utiliza para mantener un determinado punto de un circuito a nivel BAJO cuando se encuentra en estado inactivo. Los circuitos corresponden a los siguientes:

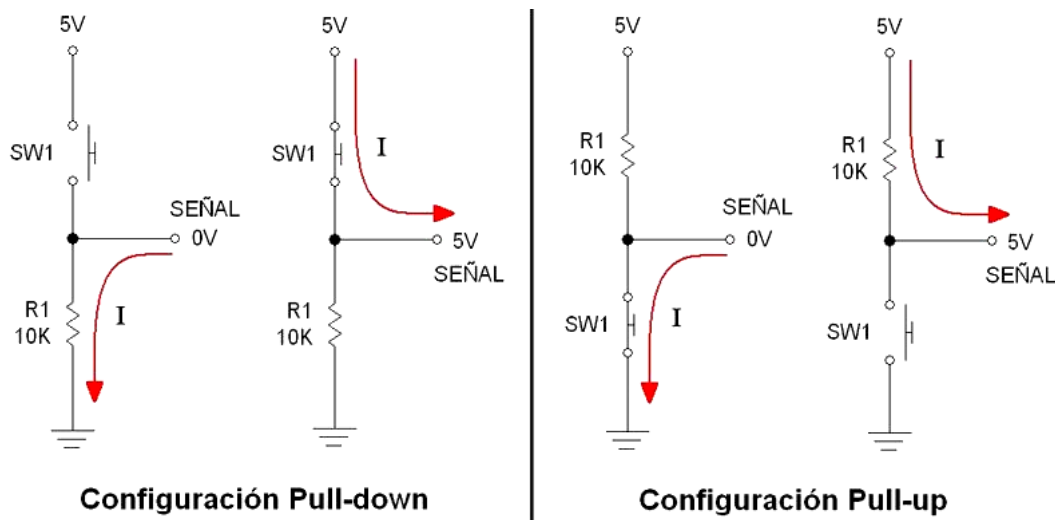


Figura 10.1: Configuraciones *pull-up* y *pull-down* [6]

## 11. PREGUNTA 11

**Investigue qué es un circuito disparador Schmitt (*Schmitt trigger*). Revise las características técnicas del circuito 74 \* 14.**

Un disparador Schmitt o *Schmitt trigger* es un circuito básico que convierte un voltaje variante en una señal estable (VDD o GND). La principal diferencia entre este circuito y un comparador se relaciona con las características de transferencia CD. Un comparador solo tienen un umbral de conmutación, el disparador Schmitt tiene diferentes umbrales de conmutación para señales de entrada positivas y negativas. Esta característica se llama histéresis. Si la magnitud del ruido en la señal de entrada es menor que la diferencia en los umbrales de conmutación, el disparador Schmitt no responde, lo que lo hace inmune al ruido no deseado. Este circuito se usa para mejorar el control encendido/apagado, y para reducir la sensibilidad a ruidos y perturbaciones [7].

El circuito 7414, específicamente el SN74LS14, contiene seis inversores cada uno con disparadores Schmitt. En las figuras 11.1, 11.2 y 11.3 se resumen las características técnicas de este dispositivo.

GUARANTEED OPERATING RANGES					
Symbol	Parameter	Min	Typ	Max	Unit
$V_{CC}$	Supply Voltage	4.75	5.0	5.25	V
$T_A$	Operating Ambient Temperature Range	0	25	70	°C
$I_{OH}$	Output Current – High			–0.4	mA
$I_{OL}$	Output Current – Low			8.0	mA

Figura 11.1: Rangos de operación garantizados del SN74LS14 [8].



**DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE** (unless otherwise specified)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
$V_{T+}$	Positive-Going Threshold Voltage	1.5		2.0	V	$V_{CC} = 5.0$ V
$V_{T-}$	Negative-Going Threshold Voltage	0.6		1.1	V	$V_{CC} = 5.0$ V
$V_{T+} - V_{T-}$	Hysteresis	0.4	0.8		V	$V_{CC} = 5.0$ V
$V_{IK}$	Input Clamp Diode Voltage		-0.65	-1.5	V	$V_{CC} = \text{MIN}$ , $I_{IN} = -18$ mA
$V_{OH}$	Output HIGH Voltage	2.7	3.4		V	$V_{CC} = \text{MIN}$ , $I_{OH} = -400$ $\mu$ A, $V_{IN} = V_{IL}$
$V_{OL}$	Output LOW Voltage		0.25	0.4	V	$V_{CC} = \text{MIN}$ , $I_{OL} = 4.0$ mA, $V_{IN} = 2.0$ V
			0.35	0.5	V	$V_{CC} = \text{MIN}$ , $I_{OL} = 8.0$ mA, $V_{IN} = 2.0$ V
$I_{T+}$	Input Current at Positive-Going Threshold		-0.14		mA	$V_{CC} = 5.0$ V, $V_{IN} = V_{T+}$
$I_{T-}$	Input Current at Negative-Going Threshold		-0.18		mA	$V_{CC} = 5.0$ V, $V_{IN} = V_{T-}$
$I_{IH}$	Input HIGH Current		1.0	20	$\mu$ A	$V_{CC} = \text{MAX}$ , $V_{IN} = 2.7$ V
				0.1	mA	$V_{CC} = \text{MAX}$ , $V_{IN} = 7.0$ V
$I_{IL}$	Input LOW Current			-0.4	mA	$V_{CC} = \text{MAX}$ , $V_{IN} = 0.4$ V
$I_{OS}$	Short Circuit Current (Note 1)	-20		-100	mA	$V_{CC} = \text{MAX}$ , $V_{OUT} = 0$ V
$I_{CC}$	Power Supply Current		8.6	16	mA	$V_{CC} = \text{MAX}$
	Total, Output HIGH					
	Total, Output LOW		12	21		

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

Figura 11.2: Características DC sobre el rango de temperatura de funcionamiento del SN74LS14 [8]

**AC CHARACTERISTICS** ( $T_A = 25^\circ\text{C}$ )

Symbol	Parameter	Max	Unit	Test Conditions
$t_{PLH}$	Propagation Delay, Input to Output	22	ns	$V_{CC} = 5.0$ V $C_L = 15$ pF
$t_{PHL}$	Propagation Delay, Input to Output	22	ns	

Figura 11.3: Características CA del SN74LS14 [8].

## 12. PREGUNTA 12

**Investigue qué es el efecto de rebote y típicos circuitos anti-rebote (*debouncing circuits*).**

Cuando se presiona un interruptor, este hace contacto con la otra parte metálica por una fracción de un microsegundo. Luego vuelve a hacer contacto por un periodo un poco más largo y así continúa, hasta que el interruptor se cierra completamente. Se dice que el interruptor rebota entre “en contacto” y “fuera de contacto”. “Cuando el interruptor está cerrado, los dos contactos en realidad se separan y se vuelven a conectar, normalmente de 10 a 100 veces en un período de aproximadamente 1 ms” [9]. Este es el efecto de rebote o *switch bounce*. En la figura 12.1 se ilustra este fenómeno.

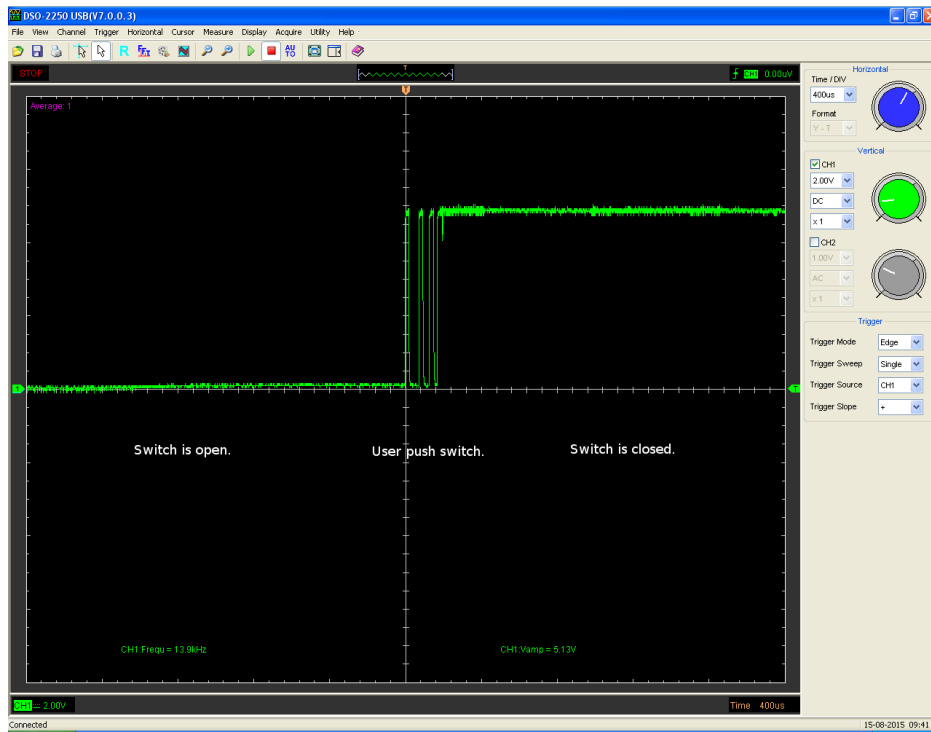


Figura 12.1: Efecto rebote de un interruptor [9].

Para lidiar con el efecto de rebote se pueden emplear soluciones de *hardware* y de *software*. Soluciones de *hardware* típicas son el *SR Latch* y los *RC circuits* [10].

El *SR Latch* es el circuito anti-rebote clásico, formado por dos compuertas NAND conectadas de forma cruzada, un interruptor de doble tiro y dos resistores generan un uno lógico para las compuertas. El switch conecta una de las entradas a tierra. En la posición de la figura 12.2 la salida de la compuerta NAND superior es un uno, sin importar el valor de la otra entrada. Este uno y el uno generado por el resistor inferior, hacen que la compuerta NAND inferior tenga como salida un cero, que ingresa a la compuerta NAND superior. Si el interruptor se mueve entre los dos contactos y se suspende por un tiempo en el espacio entre estos, el *latch* mantiene su estado debido al cero enciclado desde la compuerta NAND inferior. El interruptor se puede mover entre los contactos por lo que puede rebotar un poco, pero nunca alcanzará de nuevo el otro contacto, así se garantiza que la salida del *latch* es libre de rebote [10].

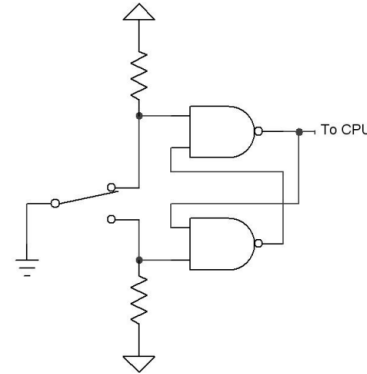


Figura 12.2: Circuito anti-rebote *SR debouncer* [10].

El circuito *RC debouncer* típico se muestra en la figura 12.3. En la posición de la figura, se le interruptor justo se abrió, el voltaje en el capacitor es cero, pero empieza a aumentar una tasa definida por los valores de las resistencias y la capacitancia. El rebote de los contactos disminuye el voltaje y la carga del capacitor, pero con la elección adecuada para los valores de los tres elementos pasivos, se puede conseguir que el voltaje se mantenga por debajo del uno lógico para la compuerta hasta que se detenga el rebote. De esta forma, la salida en la compuerta está libre de rebote [10].

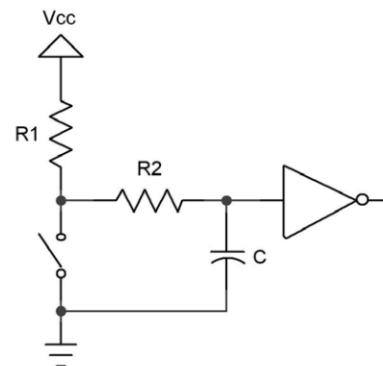


Figura 12.3: Circuito anti-rebote *RC debouncer* [10].

Si se supone que el interruptor ha estado abierto por un rato, el capacitor está completamente cargado. Al cerrar el interruptor, el capacitor se descarga a través del resistor R2. Lentamente el voltaje disminuye y la compuerta continúa viendo un uno lógico por un tiempo. Puede que los contactos se cierren y abran un poco, pero cuando se abren, los resistores recargan el capacitor manteniendo el uno lógico en la compuerta. Para esto se eligen los valores adecuados para los elementos [10].

### 13. PREGUNTA 13

**Explique qué es el modelado de comportamiento y de estructura en diseño digital. Brinde un ejemplo de cada uno.**

El modelado de comportamiento se usan para describir el comportamiento del sistema en su totalidad. Existen varios métodos por los cuáles se puede realizar esta clase de modelado, por ejemplo, los modelos más utilizados son los de flujo de datos y los de máquinas de estados [11].

Por otro lado, en [11] se menciona que el modelado de estructura consta de los objetos del sistema y de las relaciones estáticas que existen entre ellos. Los grupos de objetos se pueden dividir en paquetes o subsistemas. Los diagramas de modelo de objeto definen el modelo estructural.

## 14. PREGUNTA 14

**Explique el proceso de síntesis lógica en el diseño de circuitos digitales, tanto para el desarrollo de un ASIC como para una FPGA.**

Application-specific integrated circuits (ASIC) son chips diseñados para un fin concreto. Los aceleradores gráficos, los chips de interfaz y de telefonía móvil son ejemplos habituales de ASIC. En el diseño de ASIC se colocan transistores para formar puertas lógicas y conectar las puertas entre sí. Como función específica, suele ser varias veces más rápido que un FPGA y ocupa un orden de magnitud menos de área de chip (y, por tanto, coste) que un FPGA con la misma función. Sin embargo, las máscaras que especifican la ubicación de los transistores y los cables en el chip cuestan cientos de miles de dólares.

Si se descubren errores una vez fabricado el ASIC, el diseñador debe solucionar el problema, generar nuevas máscaras y esperar a que se fabrique otro lote de chips. Por tanto, los ASIC sólo son adecuados para productos que se fabricarán en grandes cantidades y cuya función esté bien definida de antemano.

La verificación lógica es especialmente importante porque la corrección de errores una vez fabricadas las máscaras es costosa. La síntesis genera una lista de redes compuesta por compuertas lógicas y conexiones entre ellas. Las compuertas en esta netlist se colocan, y los cables se enrutan entre las compuertas. Cuando el diseño es satisfactorio, se generan máscaras y se utilizan para fabricar el ASIC.

Una field programmable gate array (FPGA) consiste en matrices de elementos lógicos configurables (LE). El diseño suele especificarse con un lenguaje de descripción de hardware (HDL), aunque algunas herramientas FPGA también admiten esquemas. A continuación, se simula el diseño. Se aplican las entradas y se comparan las salidas esperadas para verificar que la lógica es correcta. Suele ser necesario realizar un debugging. Posteriormente, la síntesis lógica convierte la HDL en funciones booleanas. Las buenas herramientas de síntesis producen un esquema de las funciones, y el diseñador examina estos esquemas, así como cualquier advertencias producidas durante la síntesis, para asegurarse de que la lógica deseada fuera producida.

Cuando los resultados de síntesis son buenos, la herramienta FPGA asigna las funciones a las LEs de un chip específico.

La herramienta de lugar y ruta determina qué funciones van en cada tabla de consulta y cómo se conectan entre sí. El retardo del cableado aumenta con la longitud, por lo que los circuitos críticos deben colocarse cerca unos de otros. Si el diseño es demasiado grande para caber en el chip, hay que rediseñar. El análisis de temporización compara las restricciones de temporización con los retardos reales del circuito e informa de cualquier error.

Cuando el diseño es correcto, se genera un archivo especificando el contenido de todas las LEs y la programación de todos los cables de la FPGA. Muchas FPGAs almacenan esta información de configuración en la RAM estática que debe recargarse cada vez que se enciende la FPGA.

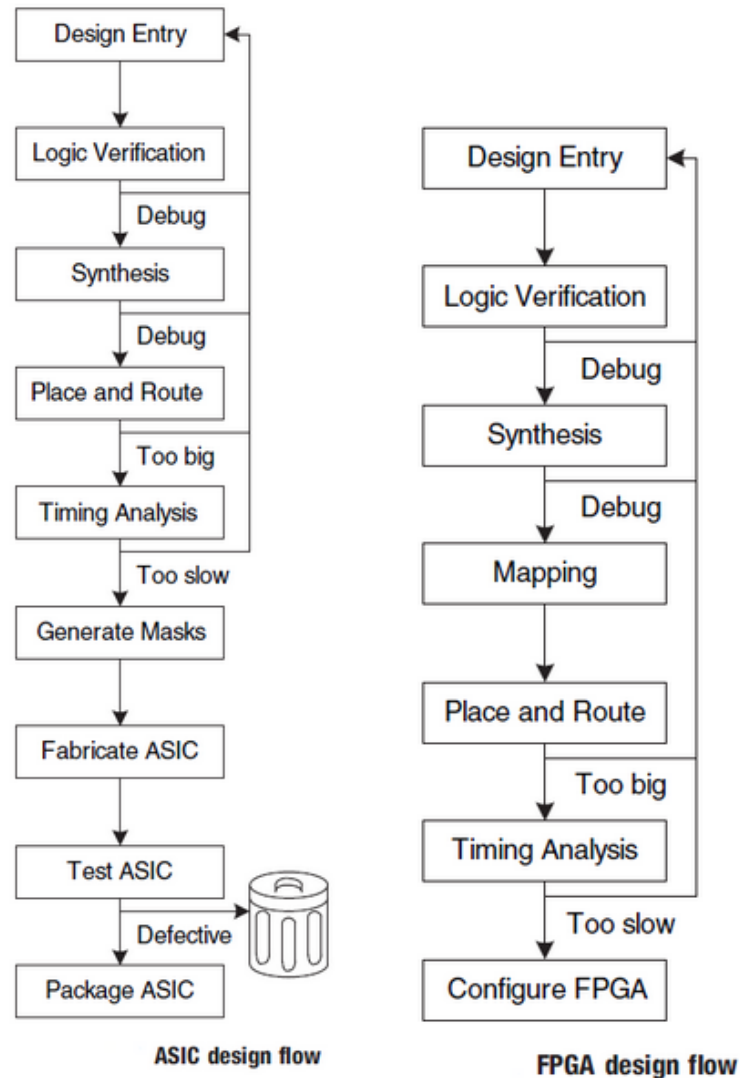


Figura 14.1: Síntesis de diseño [3].

## 15. PREGUNTA 15

**Investigue sobre la tecnología de FPGAs. Describa el funcionamiento de la lógica programable en general, así como los componentes básicos de una.**

Una FPGA (*field programmable gate array*) es un dispositivo semiconductor que contiene componentes lógicos programables e interconexiones programables entre ellos. Los componentes lógicos programables pueden ser programados mediante HDLs para duplicar la funcionalidad de puertas lógicas básicas tales como AND, OR, XOR, NOT o funciones combinacionales más complejas tales como decodificadores o simples funciones matemáticas. En muchas FPGAs, estos componentes lógicos programables (o bloques lógicos, según el lenguaje comúnmente usado) también incluyen elementos de memoria, los cuales pueden ser simples flip-flops o bloques de memoria más complejos [12].

Los tres elementos básicos en una FPGA son el bloque lógico configurable (CLB, *Configurable Logic Block*), las

interconexiones y los bloques de entrada/salida (E/S) [13].

## REFERENCIAS

- [1] A. J Gil Padilla, *Electrónica General*, Mc Graw Hill, 1989.
- [2] S. Noriega, *Familia Lógica CMOS*, Buenos Aires, Argentina: Ministerio de Educación, Ciencia y Tecnología de la Nación. Instituto Nacional de Educación Tecnológica, 2006.
- [3] S. Harris and D. Harris, *Digital design and computer architecture: RISC-V Edition*. Oxford, England: Morgan Kaufmann, 2021.
- [4] Floyd, *Fundamentos de Sistemas Digitales 9 Edicion*. Pearson Educacion, 2007.
- [5] D. A. Patterson and J. L. Hennessy, *Computer Organization and Design MIPS Edition: The Hardware/Software Interface*, 5th ed. Oxford, England: Morgan Kaufmann, 2013.
- [6] A. Hernández, *Resistencias de pull-up y pull-down en circuitos digitales*, 2017. [Online]. Available: <https://tallerelectronica.com/2017/03/13/resistencias-pull-uppull-down-en-circuitos-digitales/>. [Accessed: 14-Feb-2024].
- [7] A. Marzaki, V. Bidal, R. Laffont, W. Rahajandraibe, J.-M. Portal, and R. Bouchakour, *New Schmitt trigger with controllable hysteresis using dual control gate-floating gate transistor (DCG-FGT)*, Int. J. Reconfigurable Embed. Syst. (IJRES), vol. 2, no. 1, 2013.
- [8] ON Semiconductor, *Schmitt Triggers Dual Gate/Hex Inverter*, SN74LS14 datasheet, Jun. 2006.
- [9] J. Christoffersen, *Switch Bounce and How to Deal with It*, All About Circuits, 03-Sep-2015. [Online]. Available: <https://www.allaboutcircuits.com/technical-articles/switch-bounce-how-to-deal-with-it/>. [Accessed: 12-Feb-2024].
- [10] J. G. Ganssle, *A Guide to Debouncing*, Ganssle Group, August 2004. [PDF]. Available: <https://cseweb.ucsd.edu/classes/sp07/cse40L/debounce.pdf>. [Accessed: 13-Feb- 2024].
- [11] IBM, *Generación de código C en Rhapsody*, 2023. [Online]. Available: <https://www.ibm.com/docs/es/engineering-lifecycle-management-suite/design-rhapsody/9.0.1?topic=model-c-code-generation-in-rhapsody>. [Accessed: 14-Feb-2024].
- [12] J. M. Marín de la Rosa, *FIELD PROGRAMMABLE GATE ARRAY (FPGA)*. [PDF]. Available: <https://biblus.us.es/bibing/proyectos/abreproy/11375/fichero/MEMORIA%252FFPGAs.pdf>. [Accessed: 14-Feb- 2024].
- [13] Universidad Estatal de Milagro, *Sistemas Digitales*, 2019. [PDF]. Available: [https://sga.unemi.edu.ec/media/recursotema/Documento\\_202042716190.pdf](https://sga.unemi.edu.ec/media/recursotema/Documento_202042716190.pdf). [Accessed: 14-Feb- 2024].