

Digital Circuits and Systems*

Lab Report I ℒ_Tℒ_X

* Teacher: Song Zhou. TA: Yuan Xu

实验3 时序电路实验

张逸凯 171840708 (转专业到计科, 非重修)

Department of Computer Science and Technology

Nanjing University

zykhelloha@gmail.com

一、实验目的：

- 1.熟悉并掌握各种触发器的特性和功能测试方法。
- 2.学会正确使用触发器集成芯片。
- 3.了解不同触发器之间的相互转换。

二、实验原理：

时序电路设计

三、实验器件：

- 1.数字电路实验箱 1 个
- 2.万用表 1 台
- 3.集成电路
74HC00 与非门 2 片
74HC74 双 D 触发器 2 片
74HC10 3 路 3 输入与非门 2 片
74HC20 2 路 4 输入与非门 2 片

四、实验步骤：

(一) 利用 74HC00 中的与非门设计 D 触发器，并验证逻辑功能：

1.参考下面的电路原理图，利用 Logisim 设计带使能端的 D 锁存器，并通过 D 锁存器构建主从式 D 触发器，首先在 Logisim 中验证其功能，导出主从式 D 触发器的电路设计图。

在面包板实验箱中验证主从式 D 触发器的功能。输入端 D 接到面包板的逻辑开关，使能端 C 先接到逻辑开关，主锁存器的输出 Q_m、从锁存器的输出 Q 分别接到 LED 指示灯上，改变输入端 D 的赋值；观察实验结果。其它保持不变，将使能端接到单步脉冲上升沿输出端，改变输入端 D 的赋值；观察实验结果。

电路原理图：

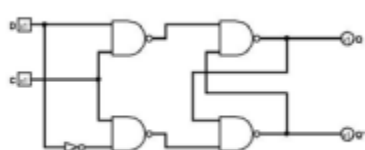


图 1: D 锁存器

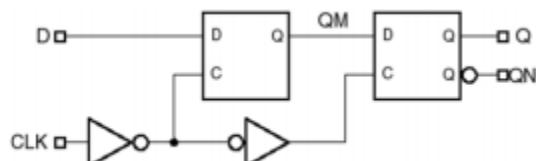
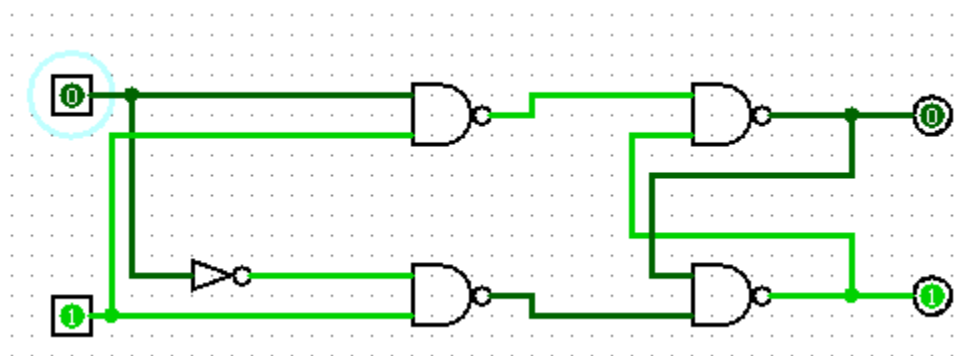
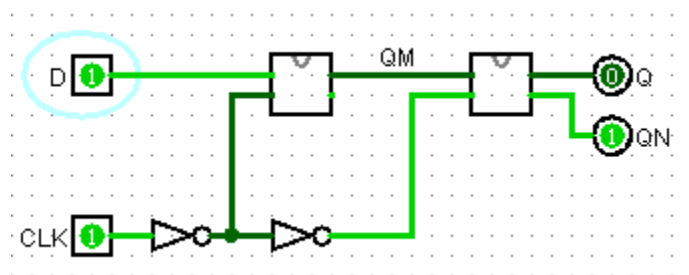


图 2: 主从式 D 触发器

Logisim 验证截图:



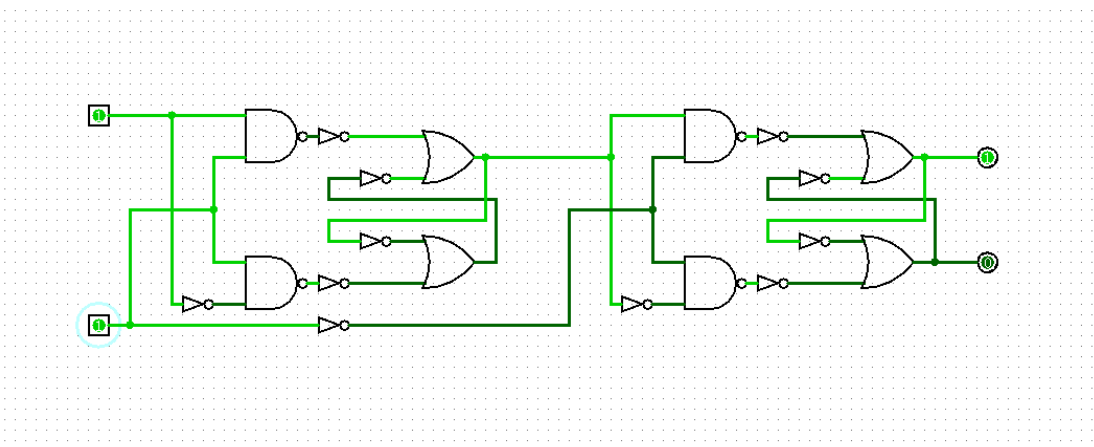
上面是 D 锁存器



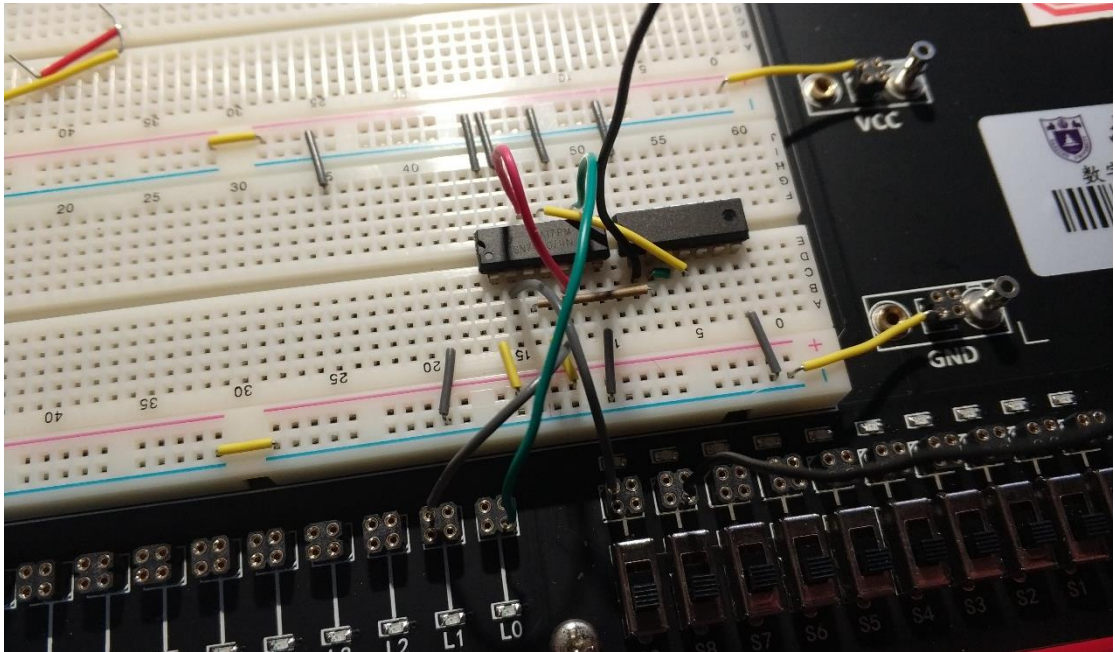
上面是主从式 D 触发器

其中使用了子电路的方式设计

不使用子电路就是这样:



面包板验证照片：



实验数据：

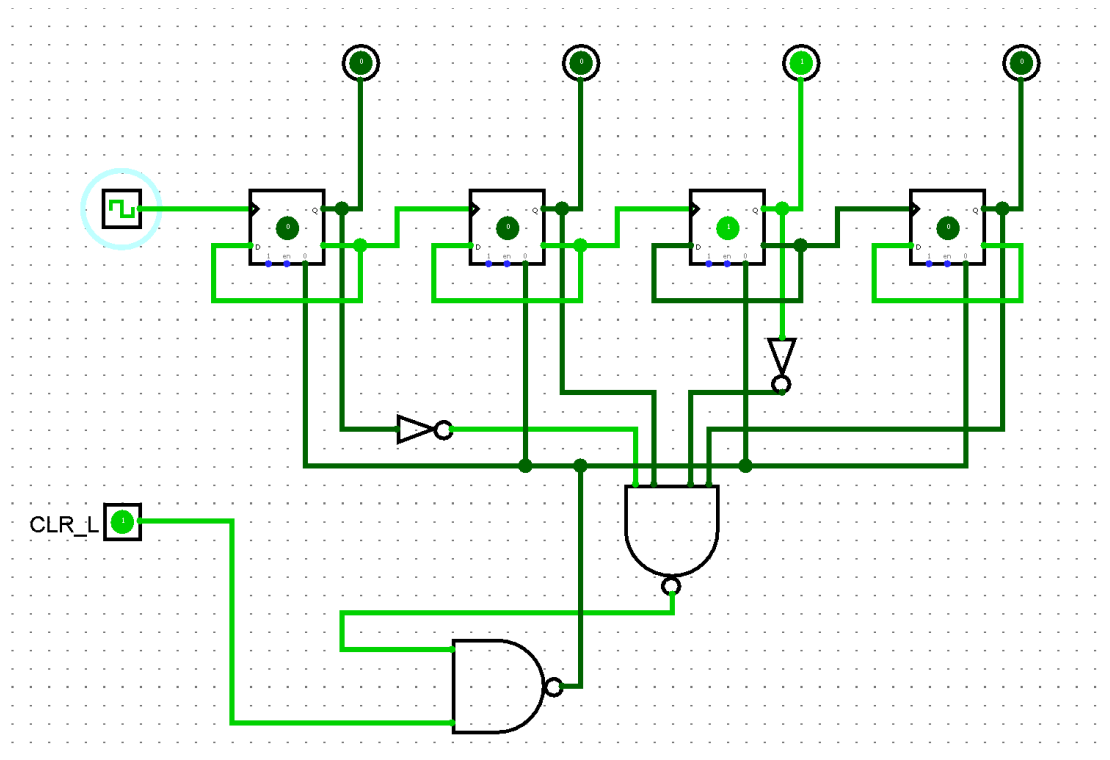
C	D	Q	$Q_m^{\wedge *}$	$Q^{\wedge *}$
0	0	0	0	0
		1	0	1
0	1	0	1	0
		1	1	1
1	0	0	0	0
		1	1	1
1	1	0	0	0
		1	1	1
上升沿 ↑	0	0	0	0
		1	0	0
上升沿 ↑	1	0	1	1
		1	1	1

(二) 时序电路设计-模 10 的 二进制可逆计数器 (已验收)

1.利用 74HC74 中的 D 触发器，设计一个模 10 的二进制可逆计数器。要求带有置数端和清零端，当置数端有效时，在下一个时钟周期后读入 D 输入端的数值。当清零端有效时，D 触发器的状态输出为 0。计数一个计数周期后，输出为 1。将时钟端接单步脉冲源，输出端 Q3、Q2、Q1、Q0 分别接逻辑指示灯的输入端和七段数码管的输入端。

系统加电后，逐步单击单次脉冲，观察并列表记录 Q3 ~ Q0 的状态。

电路原理图：

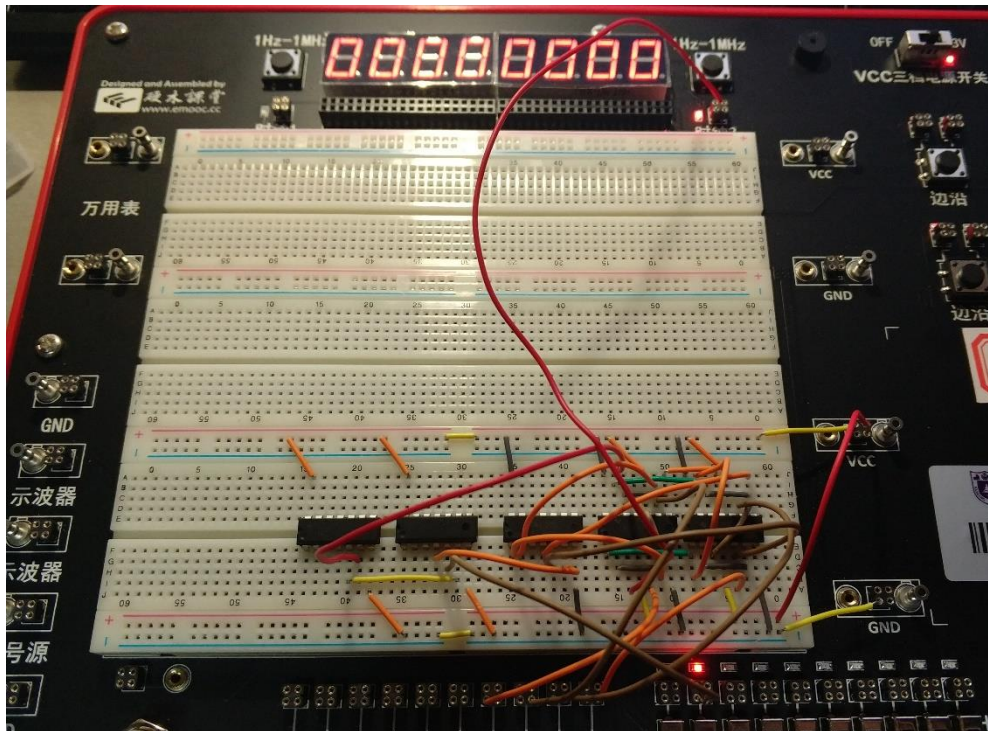


这里 D 触发器的 Q' 连接自己的 D 输入端，可以实现 01 变化循环更新(在时钟端变化的时候)，而且上一个 Q' 连接下一个 D 端，当且仅当更低位从 1 变为 0 时，当前位需要取反。

Q3~Q0 的变化就是计数器加的过程，为每一位的频率都是 2^k 递减，这样正好是数不断加的过程模拟。

面包板验证照片：

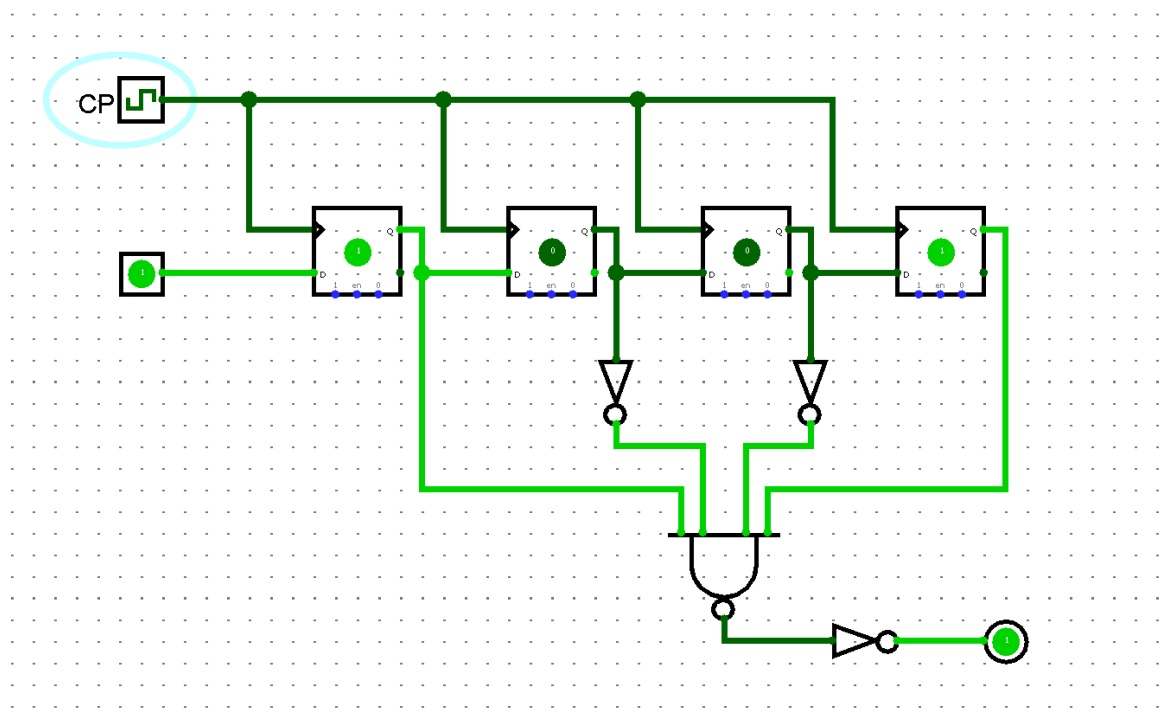
下面是在宿舍插好的电路，检查时忘记向助教哥展示清零端了。



(三) 时序电路设计-串行二进制数检测器（密码锁）（已验收）

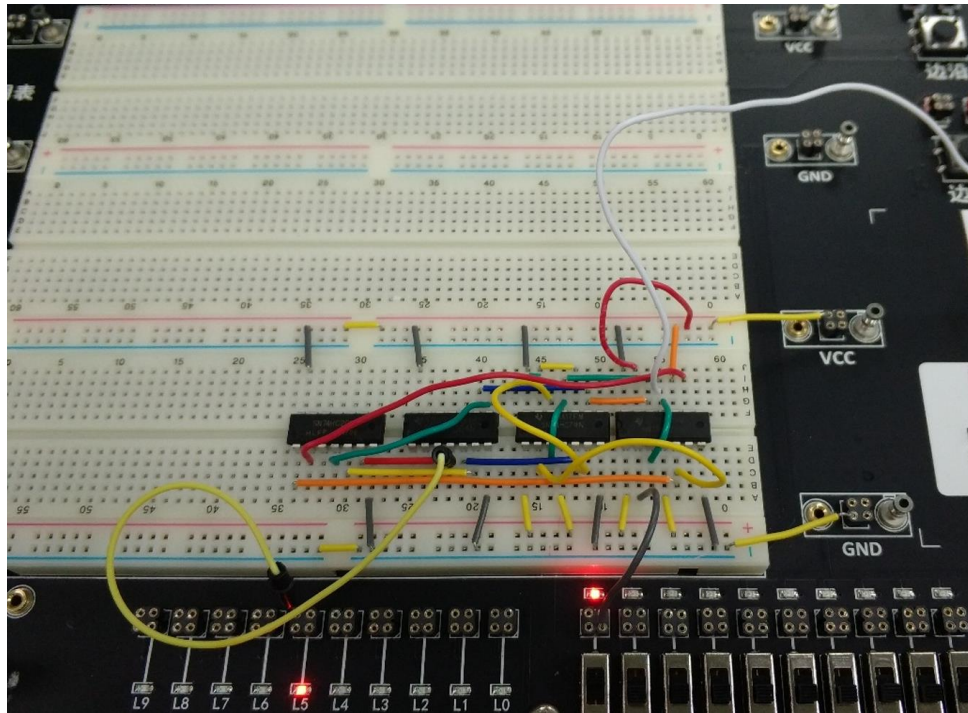
1. 利用 74HC74，设计一个“1001...”序列检测器，用来检测串行二进制序列，要求每当输入 4 位二进制数为“1001”时，检测器输出为 1，否则输出为 0。输入端接到某个逻辑开关上，输出端分别接到输出指示电平，CP 使用连续脉冲计数，记录各触发器输出状态。

电路原理图：



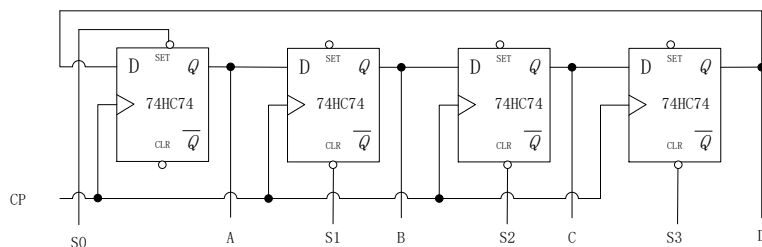
左边的那个是输入，输入位输入到第一个的 D 端，然后接下来每一个 D 触发器的 D 端连接上一个的 Q 端，这样每一个上升沿到来，输入端的数值都可以传递一个 D 触发器，这样就可以更新整个系统里的输入。

面包板实现照片：

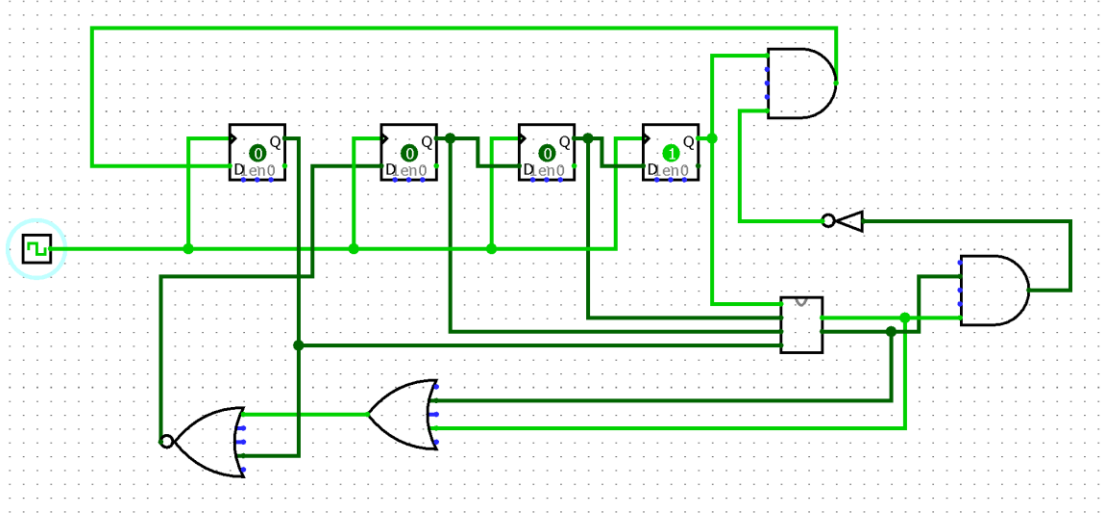
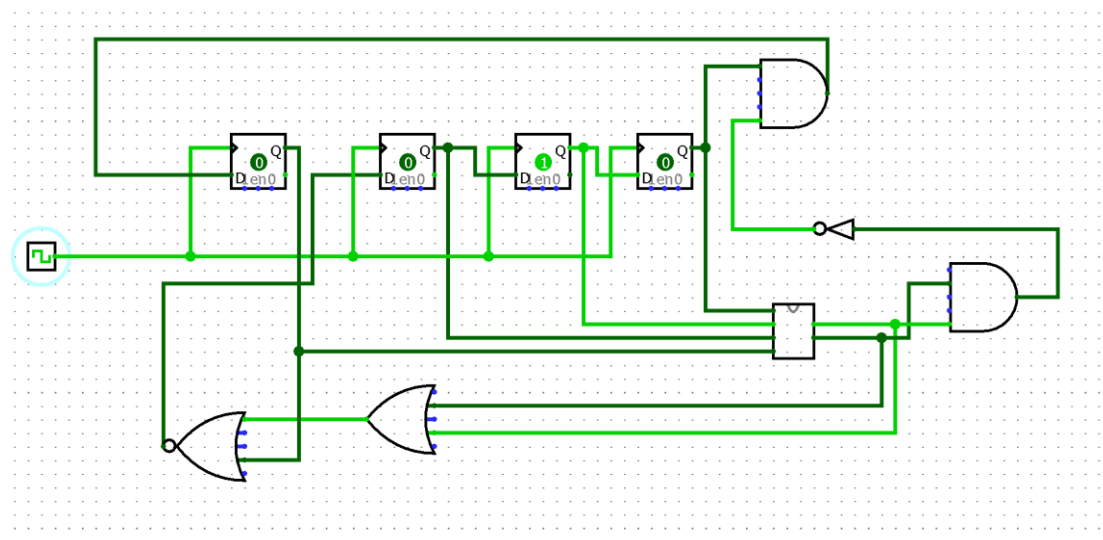
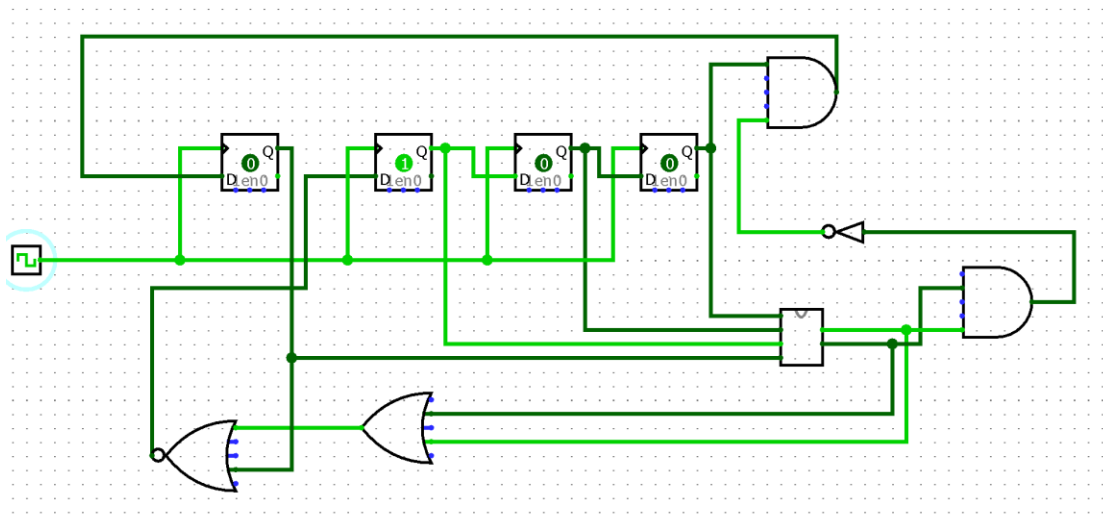


4、触发器的应用-自循环移位寄存器（选做）

利用 2 片 74HC74，按下图接线，分别通过置位和清零端将四个 D 触发器的初值置为 1000，四个输出 A、B、C、D 分别接到输出指示电平，CP 使用连续脉冲计数，记录各触发器输出状态。



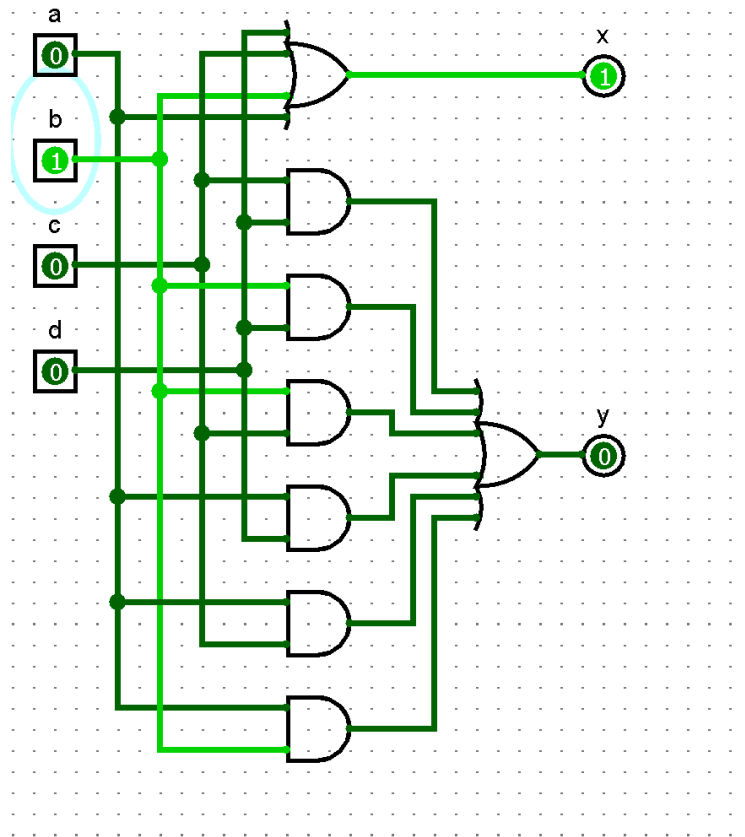
请添加必要的门电路，使得无论触发器的初始值是什么，都能实现电路的自启动，经过一段周期后，输出始终在“1000-0100-0010-0001”之间循环。画出电路图，设置有干扰的初始值，观察并记录计数器输出的状态变化。



还有几个状态同理可推得.

其中那个方块是一个封装好的子电路, 如果输入只有一个 1 的时候输出为 10, 多于

一个 1 的时候将输出两个一，全部为 0 时输出两个零，化简卡诺图之后可以这样实现：

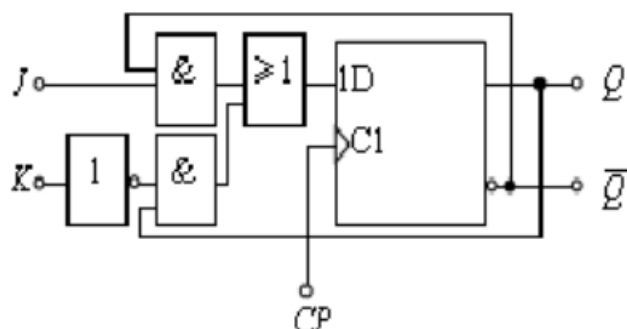


这题如何思考呢？其实入手点就是在如何从 1000 \rightarrow 0100(因为显然 0000 \rightarrow 1000 是容易想到的), 0100 需要在 1000 时刻喂给第二个 D 触发器的值是 1, 喂给其他 D 触发器的输入都是 0, 所以我接了一个带有两个或门的电路来实现状态的转移(如上实现图).

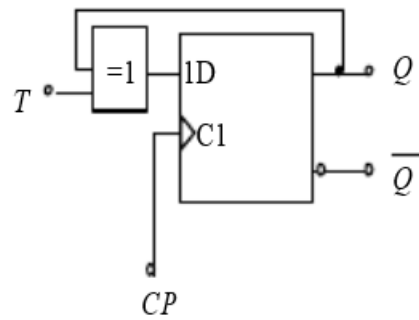
五、思考题

1. 画出触发器相互转换的逻辑电路。

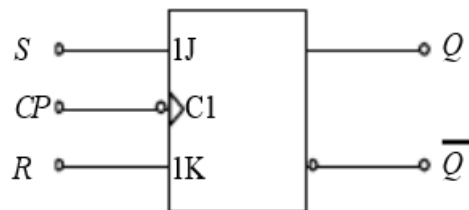
(1) D 触发器 \rightarrow JK 触发器



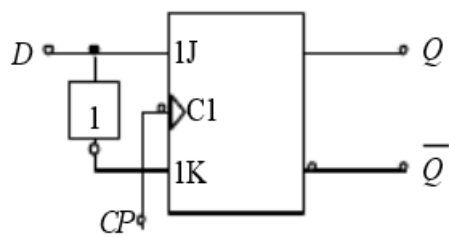
(2) D 触发器转换为 T 触发器



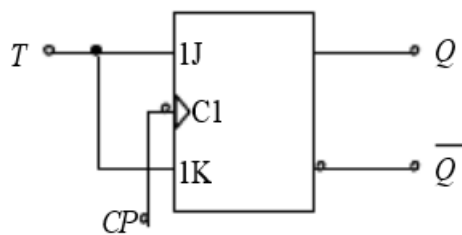
(3) JK 触发器转换成 SR 触发器



(4) JK 触发器转换成 D 触发器



(5) JK 触发器转换成 T 触发器



2. 总结置位、复位端的作用：

在面包板上实验后发现，当置位端输入电平有效时，输出端输出为 1；复位端输入电平有效时，输出端输出为 0。 并且处理 CMOS 电路是悬空时，会给芯片带来错误输出。

3. 总结 D 触发器的状态变化与时钟的关系：

时钟端输入有效时，触发器输出为输入端的状态；时钟端输入无效时，触发器输出不变。只在控制时钟上升沿到来的时刻采样 D 输入信号，并且据此改变 Q 和 QN 输出；

CLK	主锁存器	从锁存器
L	写入	不变
上升沿	锁存	开始写入
H	不变	写入

附录：

思考与分析过程：

第二题实现可逆计数器部分

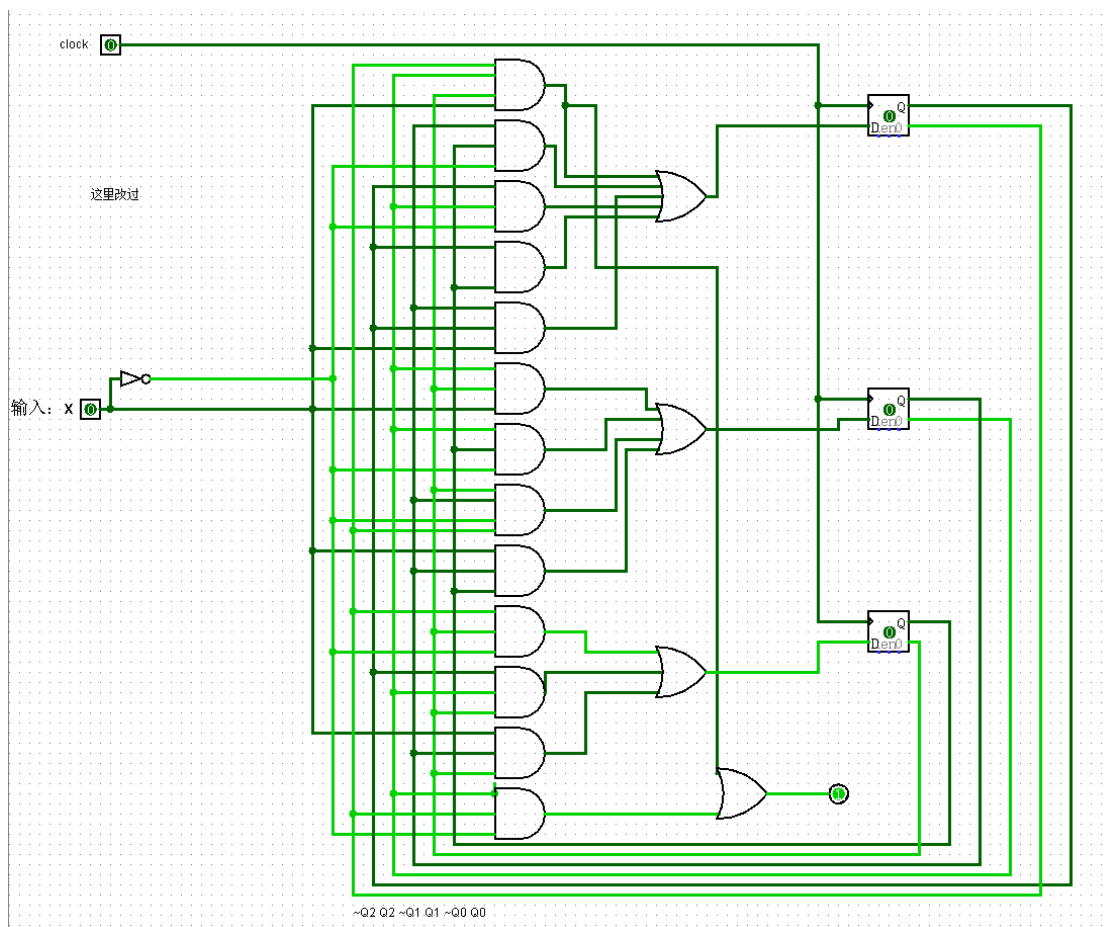
注意：这是不太好的一些复杂但是正确的思路，虽然不好实现，但也是一种思考。这题之前按照 PPT 里的思路，逻辑抽象：将文字描述转化成原始的状态图/表。状态化简：寻找等价状态，去除冗余状态，得到最小状态表。状态赋值：得到最小状态表后，给每个状态分配一个唯一的二进制编码；根据状态赋值方案生成 状态转换表，生成次态方程和输出方程；根据次态方程和触发器特征方程，生成激励方程；

做了一个很复杂的版本：从状态图开始推导激励方程，可以列出如下真值表：

Q3Q2Q1Q0	X = 0		X = 1	
	(*)Q3Q2Q1Q0	Z	(*)Q3Q2Q1Q0	Z
0000	0001	0	1001	1
0001	0010	0	0000	0
0010	0011	0	0001	0
0011	0100	0	0010	0
0100	0101	0	0011	0
0101	0110	0	0100	0
0110	0111	0	0101	0

0111	1000	0	0110	0
1000	1001	0	0111	0
1001	0000	1	1000	0

由此我们可以对 $XQ_3Q_2Q_1$ 五个变量分别对应的 Q_i^* 列卡诺图(五变量卡诺图), 表达出 Q_i^* , 因为选择 D 触发器, 我们可以得到特征方程: $Q^*=D$; 由此就可以求出 D 触发器输入端和 Q_i^* 的关系, 下面是一个复杂的例子(不是最好的, 最好的答案在上面):



显然这样的电路在面包板上是无法实现的.
说多了都是泪

后来才通过二进制从 0000 开始加一, 最低位是每加一次变化一次, 次低位每加两次变化一次, 依次类推到最高位, 由此可以设计类似级联的从低到高的 D 触发器进行操作, 电路图画出来后很酥服.

同样第三题我也使用了如上步骤, 同样设计了一个正确但是相当复杂的电路:

