Architecture des ordinateurs haute performance

Soraya Zertal

Laboratoire Li-PaRAD, Université de Versailles
E-mail: soraya.zertal@uvsq.fr

Cours 4 : Pipeline d'exécution

Pipeline

Définition :
Un pipeline est un ensemble de tâches indépendantes à exécuter en séquence pour réaliser une fonction globale.
Chaque tâche est associée à un étage du pipeline et disposent de ressources pour s'executer.

Les ressources des étages doivent être différentes pour assurer l'exécution simultanée des différentes tâches au sein des différents étages.

Pipeline d'exécution

Un pipeline d'exécution est obtenu par la décomposition de l'exécution d'une instruction en plusieurs étapes (tâches) consécutives, disposant chacune des ressources necéssaires à son exécution. Ces étapes se déroulent en même temps mais sur des instructions différentes.

Exemple pratique :
Chaîne de montage de voitures avec des postes dédiés à des fonctions précises, différentes et complètement indépendantes qui opèrent simulatnément sur des voitures differentes. Au bout de la chaîne (fin du pipeline) la voiture est construite (eq. l'instruction est exécutée).

Pipeline d'exécution DLX

Fonctionnement : Exécution d'une instruction en 5 étapes

1. IF : Instruction Fetch ou LI pour lecture instruction
2. ID/RF : Instruction decode/registers fetch ou DI pour décodage d'instruction
3. EX : Execution (dans le sens calcul)
4. MEM : Memory access (éventuellement)
5. WB : Write back

Pipeline d'exécution DLX

Etape 1 : IF

– Lecture de l'adresse contecnue dans le CP (Compteur de programme).

– Chargement de l'instruction depuis la mémoire à cette adresse, dans le registre instruction RI.

– Incrémentation du PC (passage à l'instruction suivante).

– Etape commune à toutes les instructions.

Pipeline d'exécution DLX

Etape 1 : IF

```
RI := memoire[CP]
NCP := CP + 4    // 4 octets : taille du mot
```

Composants participants :
Mémoire, Registre instruction, PC et NPC.

Pipeline d'exécution DLX

Etape 2 : ID/RF

– Activation des signaux de contrôle depuis le registre instruction à partir de l'opcode.

– Accès aux opérandes qu'ils soient dans les registres du banc de registres ou bien des offsets à compléter dans le registre instruction (mode immédiat et indexé).

– Etape commune à toutes les instructions.

Pipeline d'exécution DLX

Etape 2 : ID/RF

```
A   := Banc_Regs[RI 6..10]
B   := Banc_Regs[RI 11..16]
Imm := extension avec le bit du signe de val imm
```

Composants participants :
Registre instruction , Banc de registres et autres circuits combinatoire d'extension et de décalage.

Pipeline d'exécution DLX

Etape 3 : EX

Exécution de l'instruction dans le sens du calcul en passant par l'unité arithmétique et logique Alu. l'opération effectuée peut être arithmétique ou logique ou bien un calcul d'adresse.
Etape commune à toutes les instructions sauf le LHI, J et JR.

Composants participants :

Alu.

Pipeline d'exécution DLX

Etape 3 : EX

Selon que le calcul concerne une opération arithmétique ou logique sur registres ou immédiat ou bien un calcul d'adresse, la sortie de l'ALU sera respectivement :

```
sortie ALU := A op B
sortie ALU := A op Imm
sortie ALU := A + Imm
```

Pipeline d'exécution DLX

Etape 4 : MEM

Accès éventuel à la mémoire (Lw/Sw et leurs variantes). Le calcul de l'adresse se fait dans le phase précédente. La mise à jour du PC se fait dans cette phase.

Composants participants :

Mémoire.

Pipeline d'exécution DLX

Etape 4 : MEM

Selon que l'accès mémoire soit un chargement ou un rangement, l'adresse d'accès provient de la sortie de l'ALU.

```
DMC := Memoire[sortie ALU]
// DMC Reg. Données Mémoire Chargées

Memoire[sortie ALU] := B
```

Pipeline d'exécution DLX

Etape 4 : MEM

La mise à jour du PC se fait dans cette phase car la condition (si instruction de brachement) a été calculée dans la phase précédente.

Si la condition est satisfaite,
le CP est remplacé par l'adresse de destination de branchement (registre sortie ALU)
sinon
le CP est remplacé par le contenu du NCP.

Pipeline d'exécution DLX

Etape 5 : WB

Ecriture éventuelle du résultat dans un registre.
Etape commune à toutes les instructions sauf les branchements et le rangement.
Deux possiblités : chargement ou résultat d'une opération.

Composants participants :

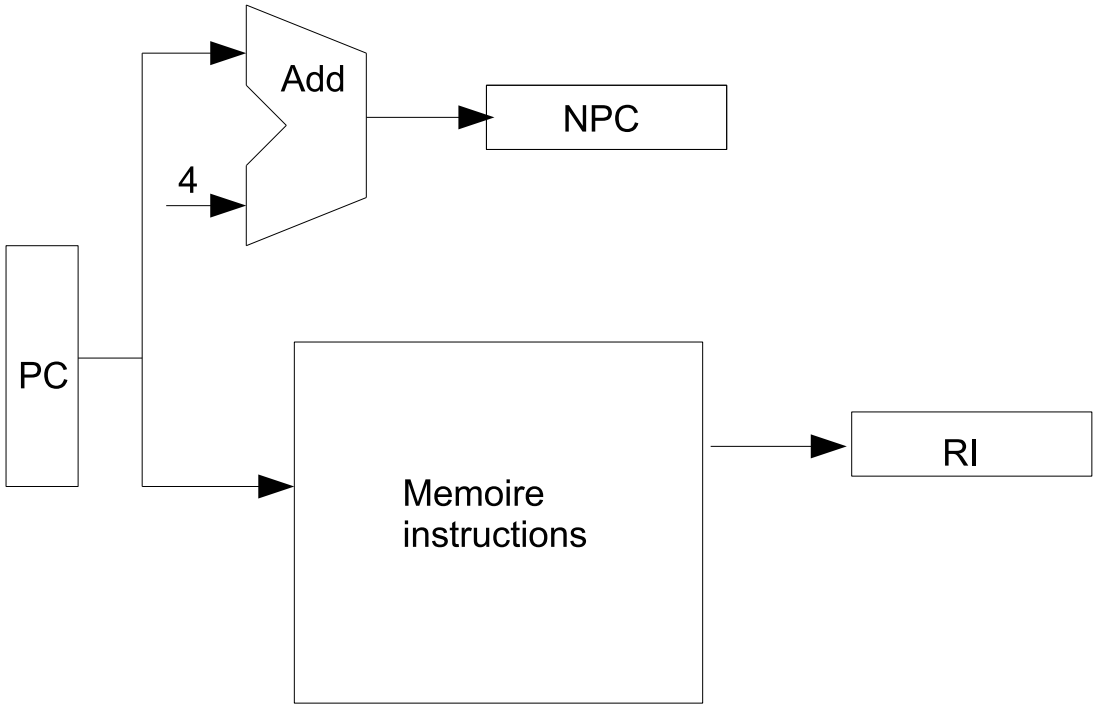
Banc de registres.

Pipeline d'exécution DLX

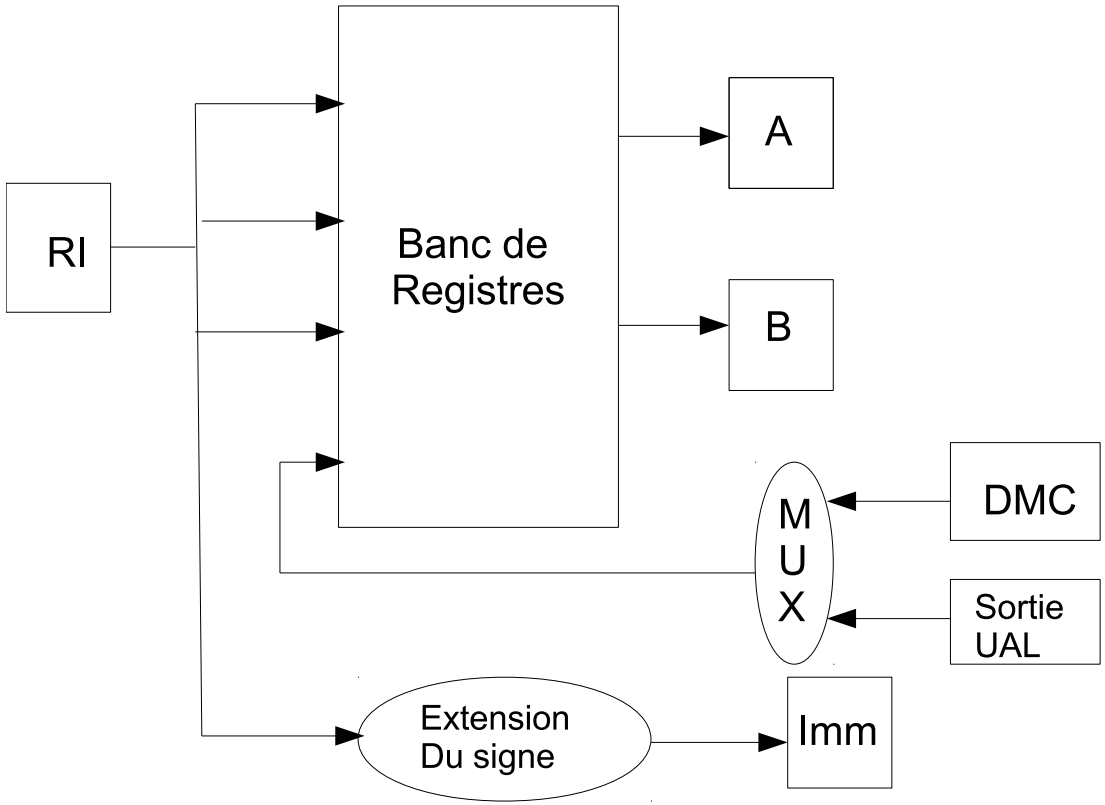
Etape 5 : WB

```
Operation  ALU reg to reg :
Regs[RI 16 .. 20] := sortie ALU

Operation  ALU immediate :
Regs[RI 11 .. 15] := sortie ALU

Chargement :
Regs[RI 11 .. 15] := DMC // Données Mémoire chargées
```

Pipeline DLX : Etage 1



Pipeline DLX : Etage 2



Pipeline DLX : Organisation en étages

L'indépendance des étages entraîne plusieurs contraintes :

1. Le banc de registres sera supposé être capable de supporter simultanément dans le même cycle 2 lectures et 1 écriture. Il faut noter que la lecture et l'écriture du même registre dans le même cycle peut poser problème.
2. La mémoire sera organisée en deux blocs: Instructions et données

Remarque : Pour remédier au problème du banc de registres, une technique classique consiste à diviser le cycle en deux sous cycles C1 et C2 tel que C1 est réservé à l'écriture et C2 à la lecture.

Pipeline DLX : durée du cycle

La durée du cycle du pipeline ou le timming des phases est fixé par la phase la plus longue.
Hypothèse : tous les accès mémoire (données et instructions) sont supposès être des cache hits.
Pour chaque phase i et pour chaque instruction I_j, les durées d'exécution (notées $T_i(I_j)$) sont à priori différentes.
Une première opération fondamentale dans la mise en oeuvre consiste à les uniformiser en considérant le pire des cas.

Le temps de cycle du pipeline sera défini par :
$T_{cycle} = MAX_{i,j}(T_i(I_j))$
Pour chaque instruction et pour chaque phase, le timing d'exécution sera aligné sur T_{cycle} permettant de garantir que dans tous les cas , la phase i de l'instruction I_j puisse avoir le temps de s'exécuter.

Timing des phases - Exemple

	Arithmétiques & logiques	Accès mémoire	Branchements
IF	5ns	5ns	5ns
ID	2ns	3ns	3ns
EX	4ns	4ns	4ns
MEM		5ns	
WB	2ns	2ns	2ns

$T_{cycle} = 5ns$ la durée de l'accès mémoire