

# 计算机组成原理研讨课实验报告

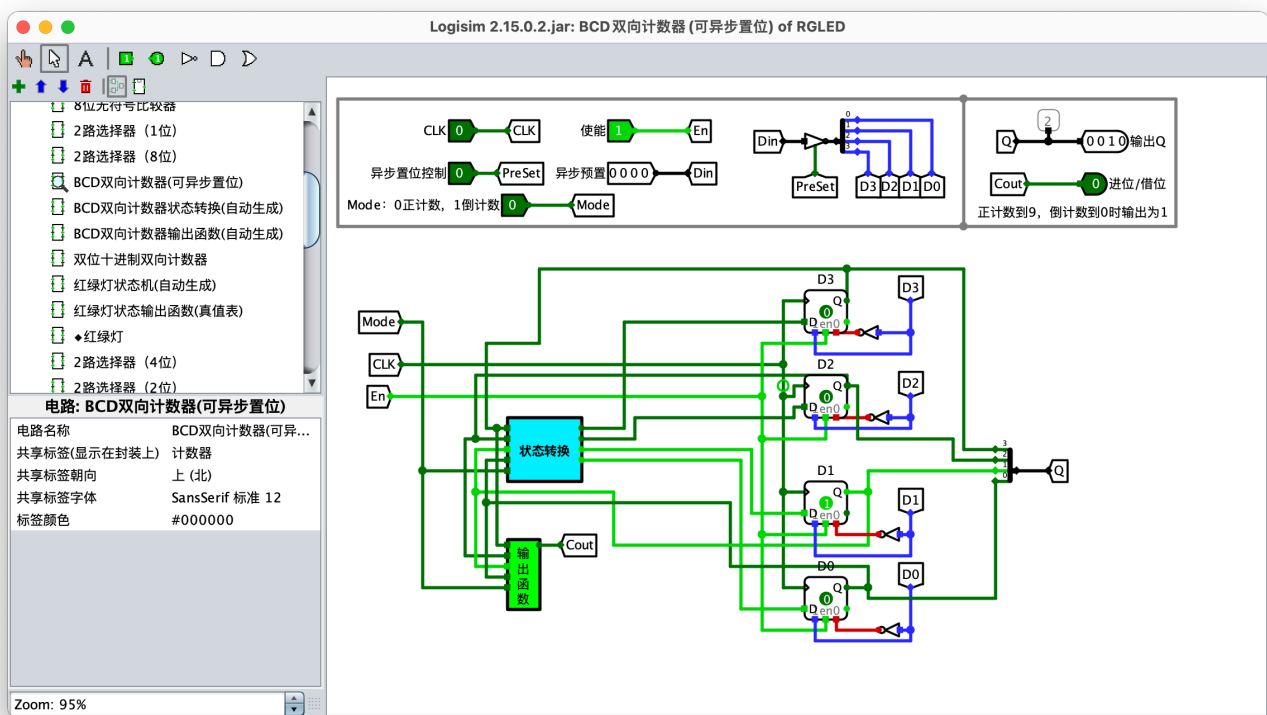
学院：网络空间安全学院

实验序号：01 实验名称：logisim入门实验

## 一、电路图/Verilog代码

### 双向BCD计数器

介绍双位BCD双向计数器之前，首先介绍单位的BCD双向计数器。



图中最主要的两个模块是状态转换模块，以及由四个D触发器构成的时钟指令反馈模块。

### 状态转换模块

是“双向BCD计数器状态机设计”中构建的计数模块，根据Mode信号在每一次时钟上升沿到来时自增或自减。此模块连接Mode信号决定自增还是自减，CLK时钟信号触发动作，并且将当前状态连接到输出函数决定Cout进位的值。

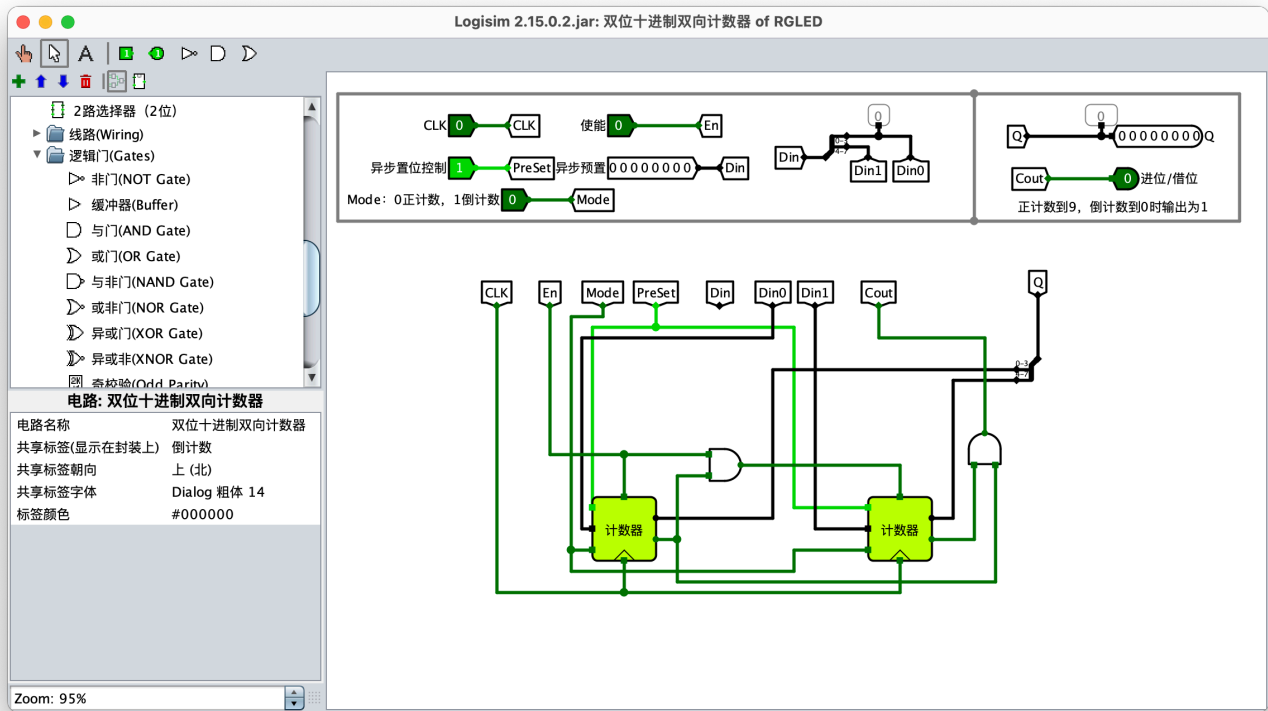
### 基于D触发器的反馈模块

状态转换模块需要D触发器的输出作为输入值，因为只有D触发器的输出能够实现要求的异步预置功能。D触发器的功能，是在使能信号En为高电平的前提下，在每次时钟信号CLK上升沿到来的时候，将输出Q置为输入信号，直观地理解也就是一个水管阀门的作用，在每次CLK上升沿的时刻将输入信号“放”到输出信号。这部分电路需要连接输入中的使能信号En，时钟信号CLK，以及四位的异步预置输入Din。对于Din，题目中已经事先通过分线器将4位宽的数据分为四个1位宽的数据 $D_i$ 。

连接CLK, En, Cin后，需要连接D触发器的输入和输出。此处需要和状态转换模块形成一个环的结构，也就是把状态转换的输出作为D触发器的输入，D触发器的输出作为状态转换的输入。这样的环结构可以在CLK信号的控制下，实现上一轮输出对下一轮输入的反馈，从而实现每次的累加或递减。

而整个电路的输出计数Q，也就是D触发器的输出部分。它可以忽略CLK信号，被异步置位为Cin值。

## 双位BCD双向计数器设计



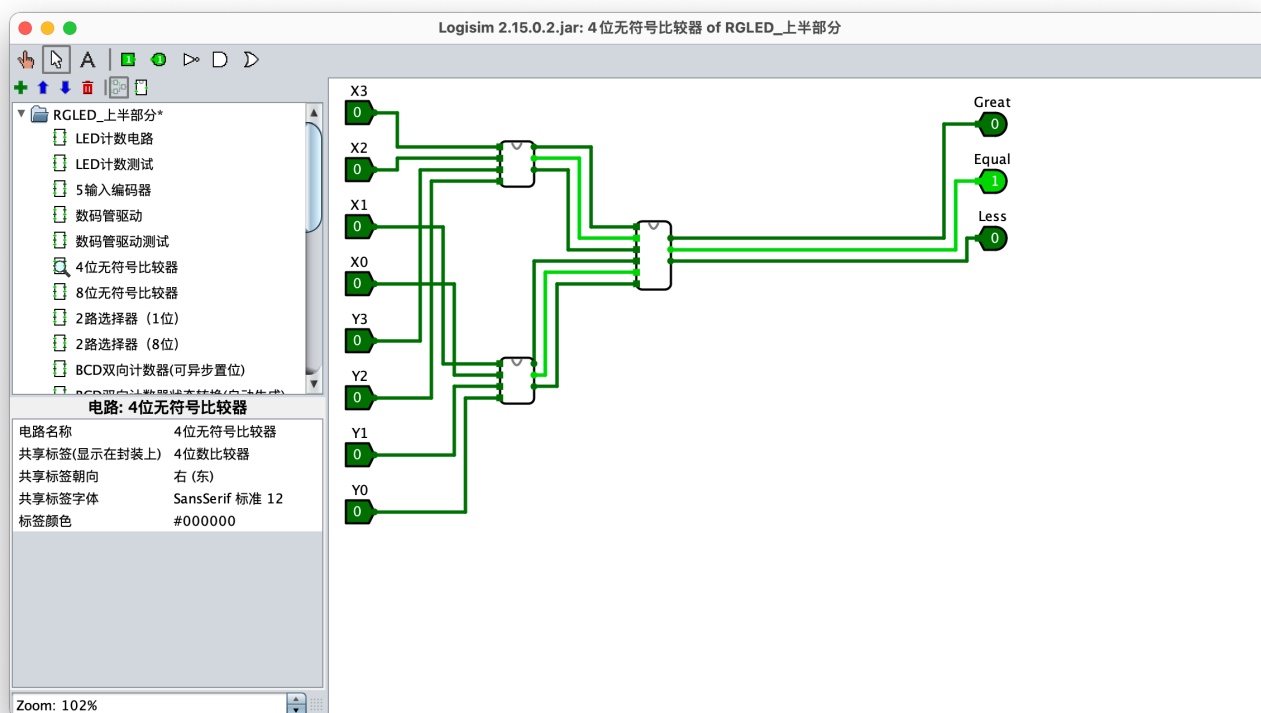
在设计出双向BCD计数器之后，双位的BCD计数器设计是很自然的。

思路很清晰，在每次低位计数器达到进位的时候，将高位的BCD计数器计数一次，两个计数器输出合并即为总输出Q。

具体到操作，首先将CLK, En, Mode, PreSet等信号按照端口连接好，然后将第一个计数器的进位输出Cout1与上使能信号En作为第二个计数器的使能输入。进位信号Cout仅在输出的十进制为99也即两个计数器都发生进位信号的时候产生，因此为两个进位信号的与。输出信号Q使用8位宽2端口分线器将两个计数器的输出合并即为答案。

## 4位无符号比较器设计

本题虽然名为选做题，但只是操作上略繁琐而已（也就花了笔者三分之一的实验课时间导致没做完课上作业，嗯）。



本题的关键在于将问题划分为更小规模的子问题，以及将如何将子问题的解合并。

具体来说，题目要求实现4位无符号比较器，那么首先考虑2位无符号如何比较大小，将其封装为一个模块电路，再考虑把低位和高位的大小关系合并成整个4位数的大小关系。后者在下一关8位无符号比较器的设计中是同样适用的。

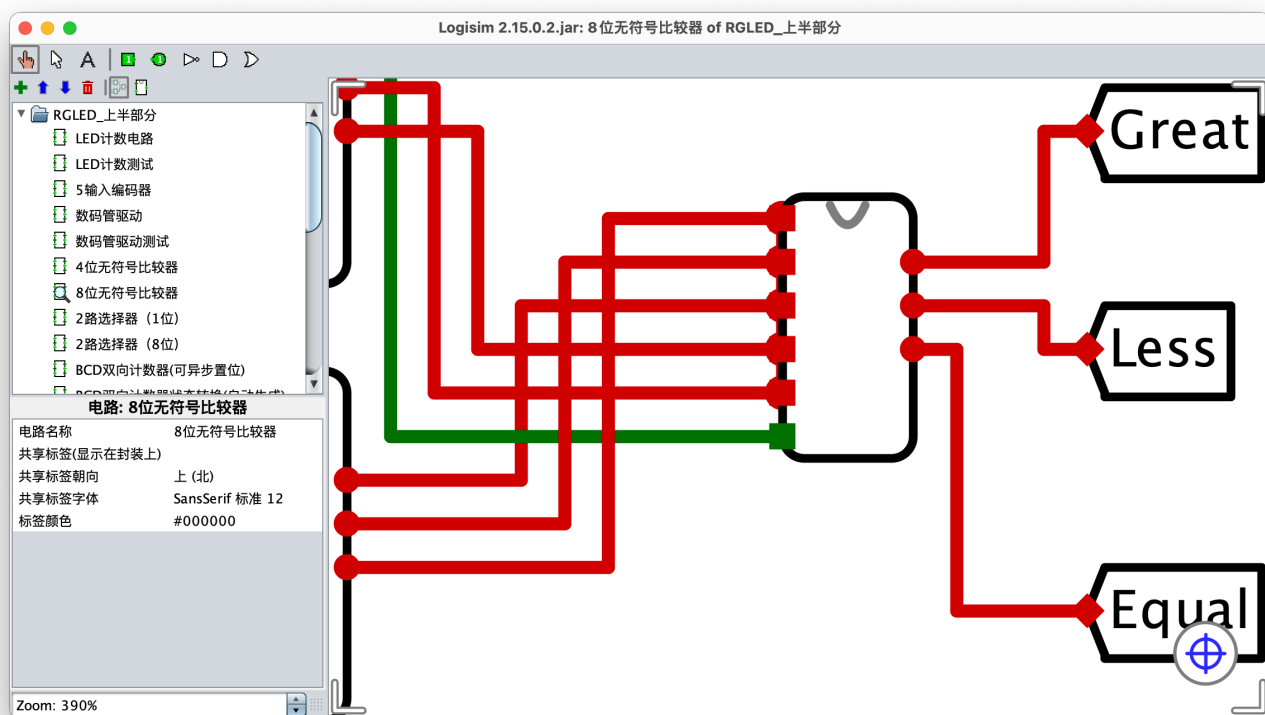
对于2位无符号数，问题的规模小很多，处理的方法多了很多选择余地。可以通过真值表枚举 $2^2 \times 2^2$ 的大小情况，也可以再次划分问题为1位二进制数的大小比较问题再合并。

## 二、实验中遇到的问题

### 隐藏连线问题

课堂上在做“4位无符号比较器设计”的时候，调试了很久代码，总是会出现预期外的电路行为。

偶然之间笔者注意到了这样一个情况：



细心的读者可以发现，有的连线端口是圆点，而有点连线端口似乎是圆点和正方形的叠加。移动电路模块会发现：这是由于操作时不小心拖动到了垂直方向上的电路，导致输入端口相连，进而产生了不可预期的结果。

解决方法是将多余的连线删除，重新连接输入端口。

### 三、实验心得

- logism实验很有趣，图形化的界面便于快速上手，有直观的反馈，比verliog代码更利于直观理解门级电路。
- 头歌平台的Online Judge方便测试所制作电路的正确性，比本地写完缺少验证要好。
- 写实验报告的过程也很有意思，下次还会再来👏。