

计算机组成原理研讨课实验报告

学院：网络空间安全学院

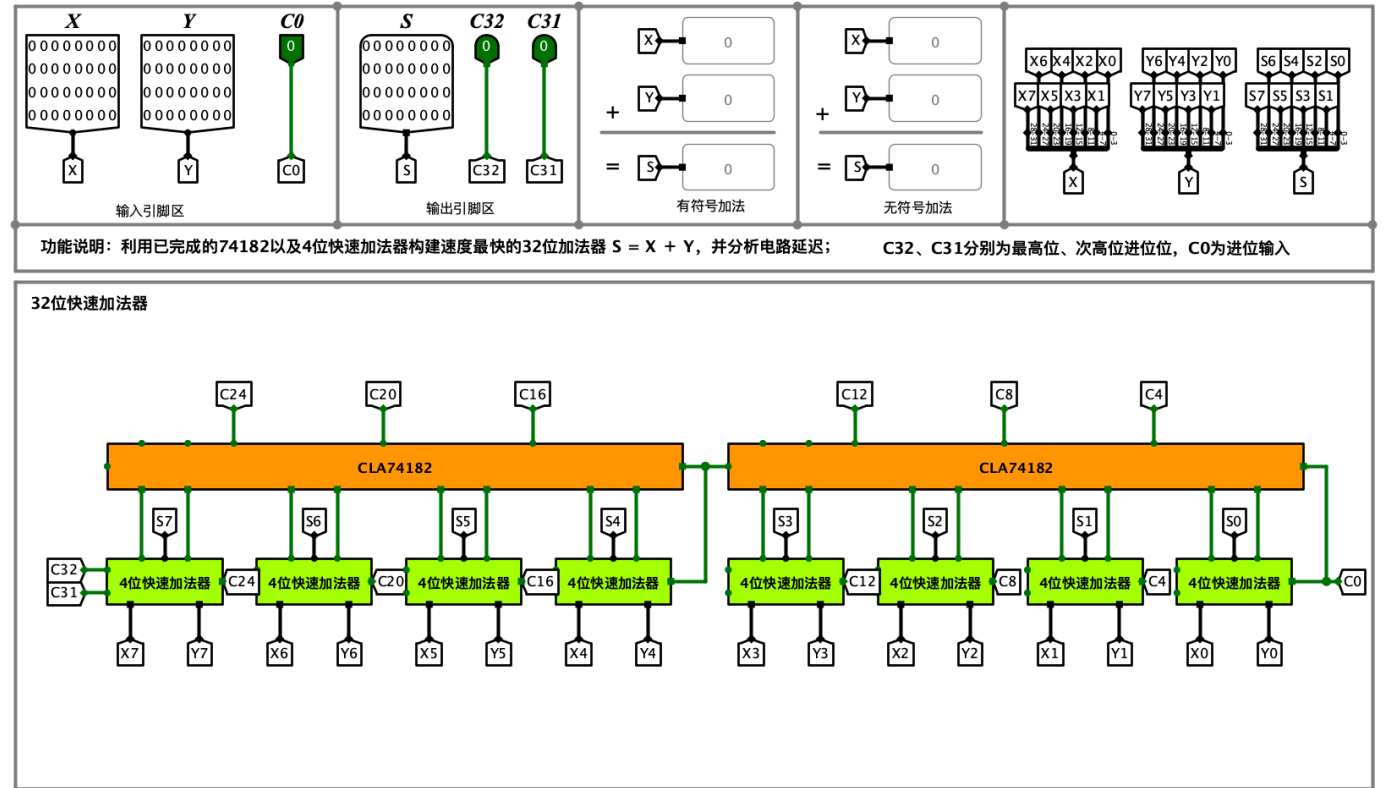
实验序号：03 实验名称：运算器实验

一、电路图/Verilog代码

实验主要的电路图（如果电路图很多，就放两到三个你觉得最重要的电路图，并用你自己的话，简单阐述下电路的原理。

如果是verilog实验就放实验的主要代码，简单阐述下代码的实现。

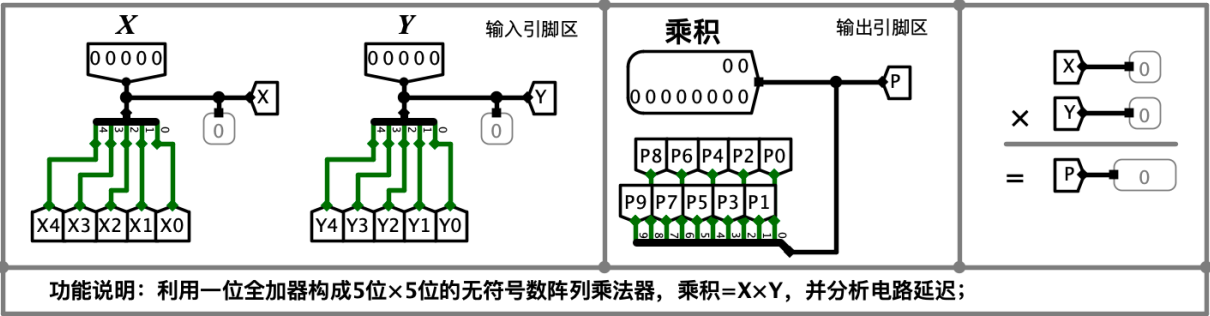
32位快速加法器



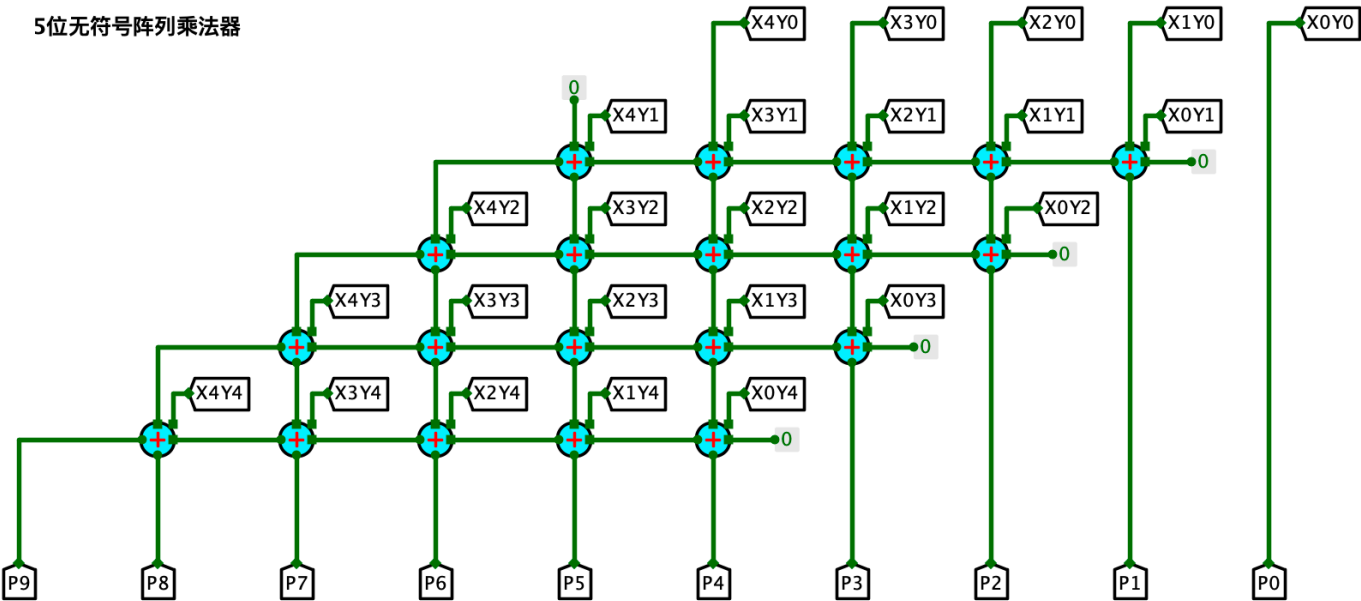
图：32位快速加法器

采用两级74182芯片级联的方式。优点在于连线简单，缺点在于第二级74182需要第一级74182芯片的成组进位输入给进位输入才能进行后16位的运算。

5位阵列乘法器



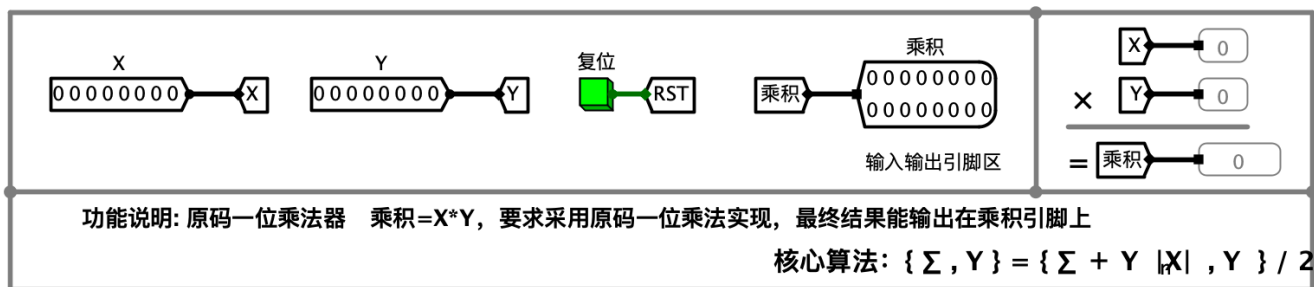
5位无符号阵列乘法器



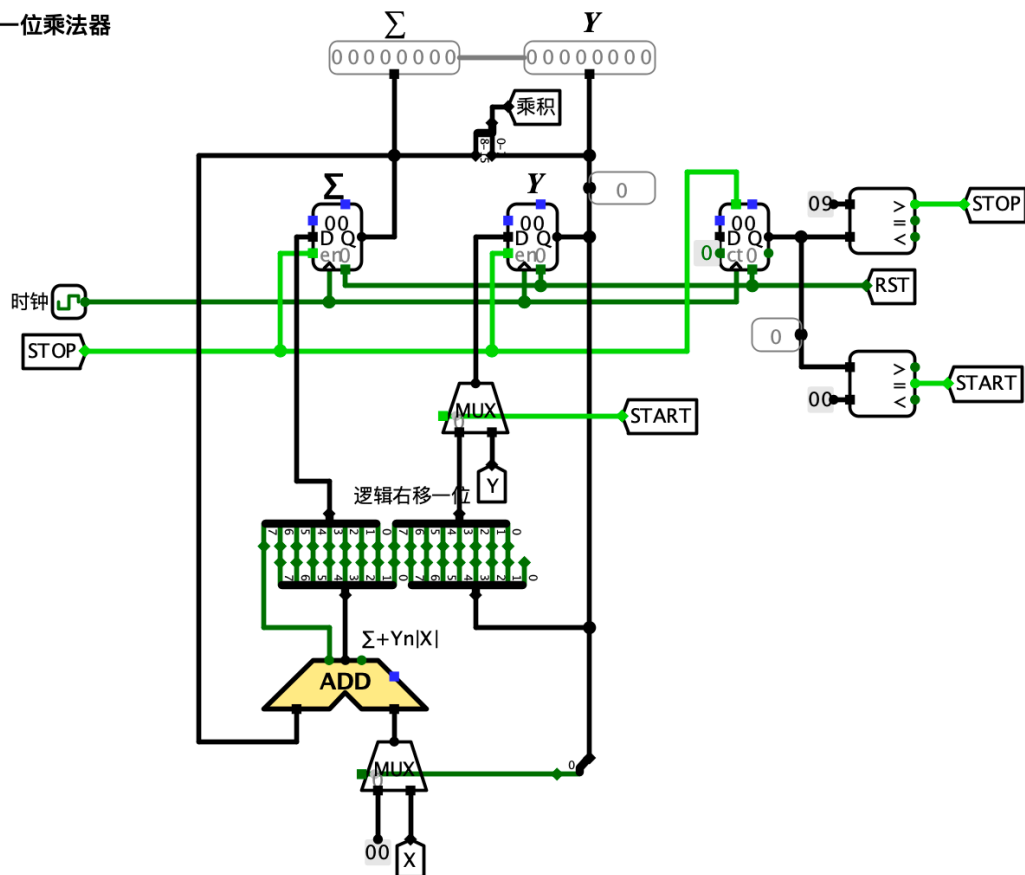
图：5位阵列乘法器

编写过程中，对乘法阵列器有了更深入的理解。从名字听起来，会以为是很复杂的结构。实际上手会发现逻辑清晰易懂，完全模拟的就是手工加法的过程。

原码一位乘法器



8位无符号一位乘法器

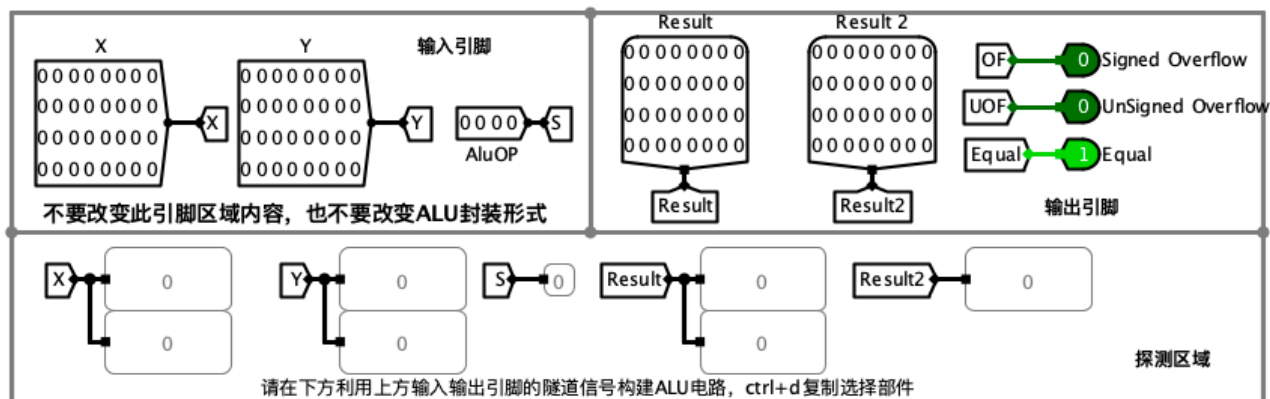


后续所有实验中凡是涉及存储器件, 如寄存器、计数器、RAM等, 必须增加统一的复位信号RST, 方便系统复位

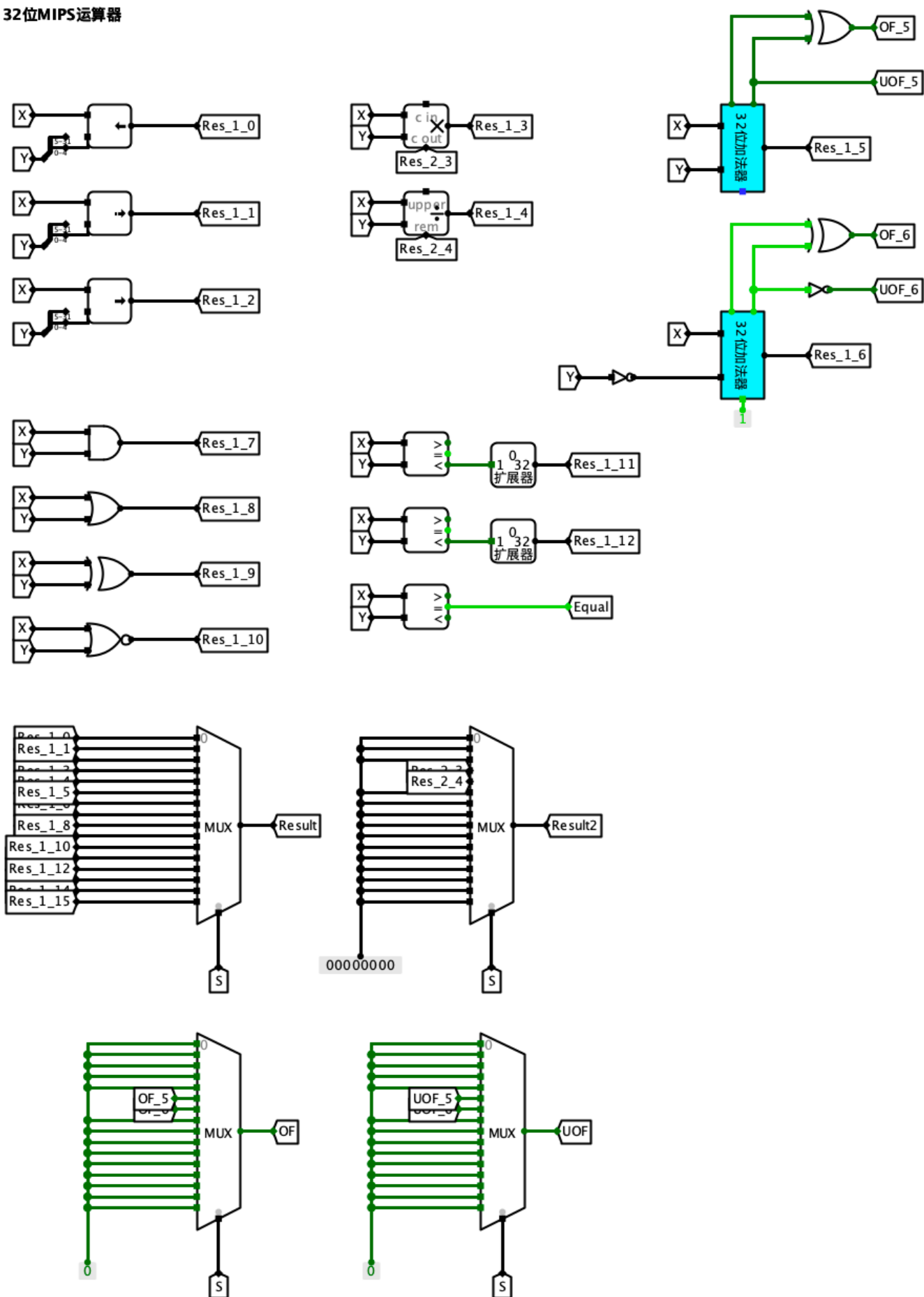
图: 原码一位乘法器电路图

需要特别注意的是计数器和两个多路选择器的设置。

MIPS运算器设计



32位MIPS运算器



图：MIPS运算器设计电路图

本题是一道综合应用题，通过ALU将几个基本运算都回顾了一遍。

本题思维难度不大，主要需要细致认真。在可复用的模块中注意不要忽略了特殊性。

二、实验中遇到的问题

模块复用：注意普遍与特殊性

模块复用的普遍性指对于重复的结构，可以一次Ctrl+D复制一个，再一次全选Ctrl+D复制两个，重复此过程，只需要 $\log(n)$ 次操作就可以连接n个相同的模块。

特殊性指在相似的结构之外，还有需要单独改变连线的地方。本次实验中，在做最后一个“MIPS运算器设计实验”的时候，就是在Results2的多路选择器、ALU_OP=0110也即第六个操作的溢出标记上，忽略了有端口没有连线的情况，导致调试了有一段时间。

三、实验心得

1. 课内的实验中，第一个疑惑为什么平台在“CLA182四位先行进位电路设计实验”中特别强调传输进位P要求异或操作。事实上，处理分组传输进位和生成进位时，“异或和或”两种操作对于74281芯片来说没有区别，因为虽然传输进位的 $1 \text{ xor } 1 = 0$ ，但是此时生成进位为1，故进位一定会被体现出来。后了解到只是平台测试设计如此。
2. 课内的实验中，第二个疑惑为什么74182芯片要分别输出最高进位和次高进位，直到做最后一个ALU实验的时候才明白，这是为了处理有符号和无符号两种情况下的溢出符号位。如果最高位和次高位都有进位，那么说明是有符号补码操作时的预期内行为，而不是结果溢出。
3. 建议实验报告截止时间改为晚上11:55分（狗头）。本次完成平台实验后，留给撰写实验报告的时间还是相当仓促了。