

**БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ  
ИНФОРМАТИКИ и РАДИОЭЛЕКТРОНИКИ**

**Факультет КСиС**

**Кафедра ЭВМ**

**Контроль и диагностика средств  
вычислительной техники**

**Лабораторная работа  
Часть 1**

**Синтез комбинационной схемы  
и построение теста контроля  
Вариант № 15**

**Выполнил:  
Ст. гр. 350501  
Пашковский А.А**

**Проверила:  
Доц. Золоторевич Л. А.**

**Минск 2016**

Ч1.

X <sub>4</sub>	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
X <sub>3</sub>	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
X <sub>2</sub>	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
X <sub>1</sub>	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
Y	0	0	1	1	1	0	0	0	1	0	1	1	0	1	0	0

ДНФ:

$$y = \overline{x_1} * x_2 * \overline{x_3} * \overline{x_4} + x_1 * x_2 * \overline{x_3} * \overline{x_4} + \overline{x_1} * \overline{x_2} * x_3 * \overline{x_4} + \overline{x_1} * \overline{x_2} * \overline{x_3} * x_4 + \overline{x_1} * x_2 * \overline{x_3} * x_4 + x_1 * x_2 * \overline{x_3} * x_4 + x_1 * \overline{x_2} * x_3 * x_4$$

Карта Карно:

X <sub>4</sub> X <sub>3</sub> \ X <sub>1</sub> X <sub>2</sub>	00	01	11	10
00	0	1	0	1
01	1	1	0	0
11	1	1	0	0
10	0	0	1	0

Минимизированная функция:

$$y = x_2 * \overline{x_3} + \overline{x_1} * \overline{x_2} * x_3 * \overline{x_4} + \overline{x_1} * x_3 * x_4 + x_1 * \overline{x_2} * x_3 * x_4$$

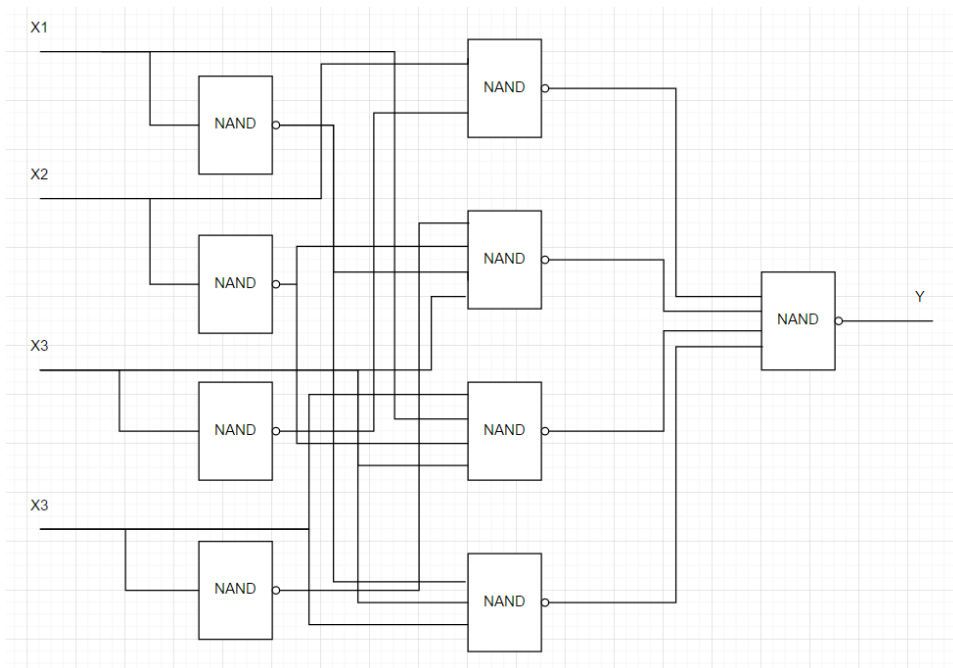
Представление в базисе Шеффера (И-НЕ):

$$y = (\overline{x_2 * \overline{x_3}}) * (\overline{\overline{x_1} * \overline{x_2} * x_3 * \overline{x_4}}) * (\overline{\overline{x_1} * x_3 * x_4}) * (\overline{x_1 * \overline{x_2} * x_3 * x_4})$$

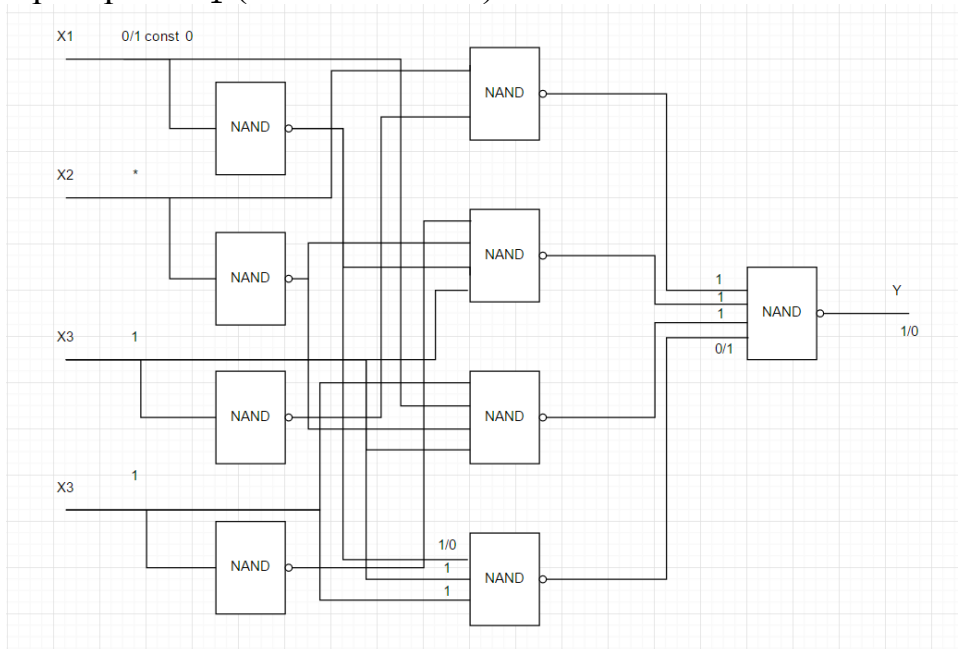
Представление в базисе Вебба (ИЛИ-НЕ):

$$y = (\overline{x_2 + x_3}) + (\overline{x_1 + x_2 + \overline{x_3} + x_4}) + (\overline{x_1 + \overline{x_3} + \overline{x_4}}) + (\overline{\overline{x_1} + x_2 + \overline{x_3} + \overline{x_4}})$$

Составление списка тестовых наборов для схемы, выполненной в базисе Шеффера.  
Схема:

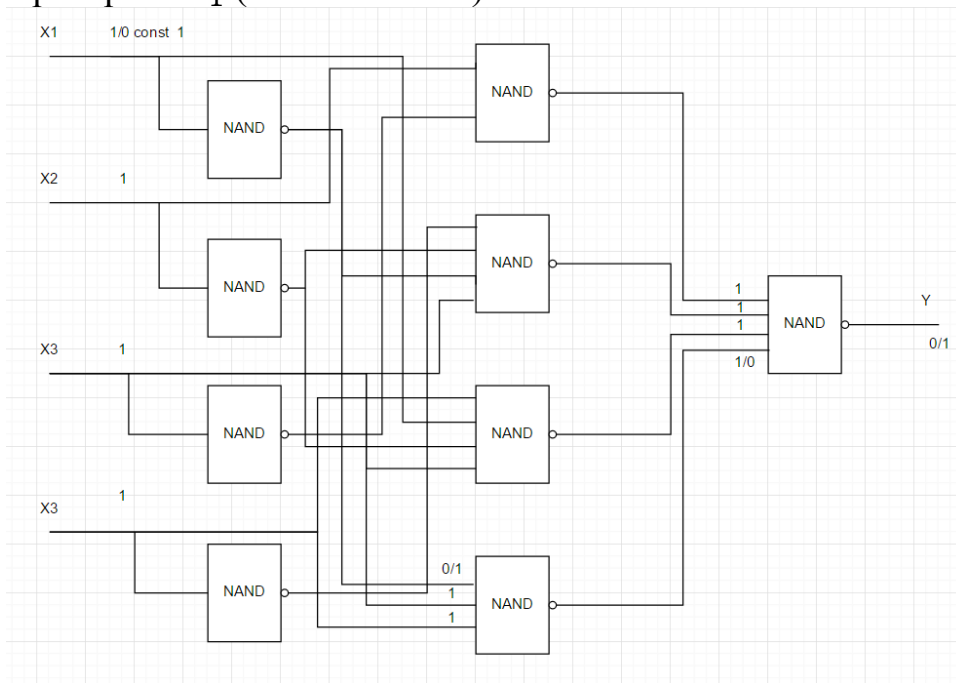


Проверяем  $x_1$  (константный 0):



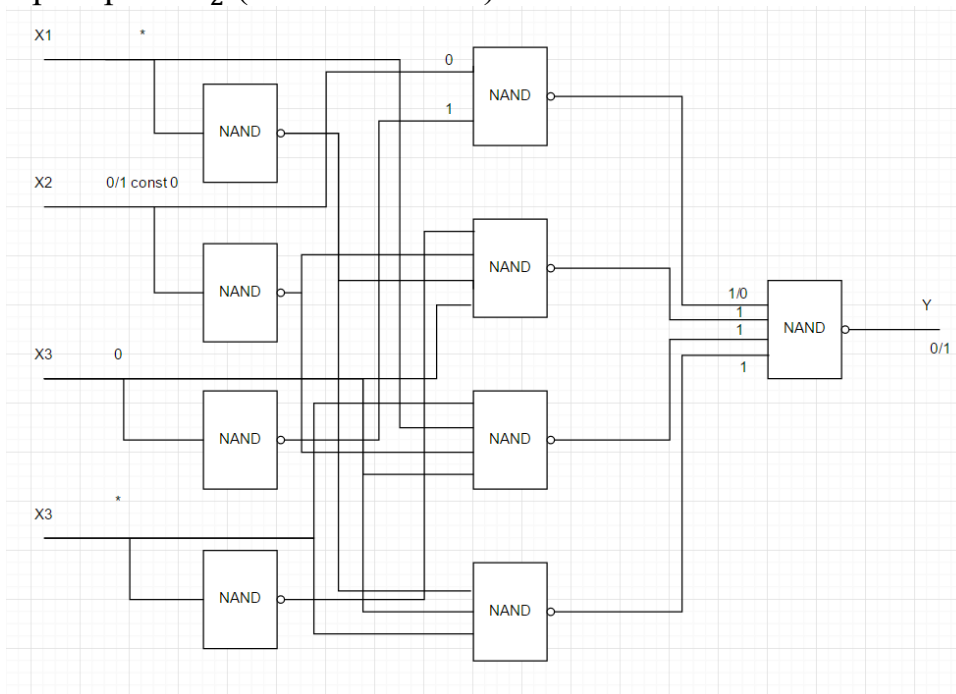
Найденные тестовые наборы: {1011, 1111}

Проверяем  $x_1$  (константная 1):



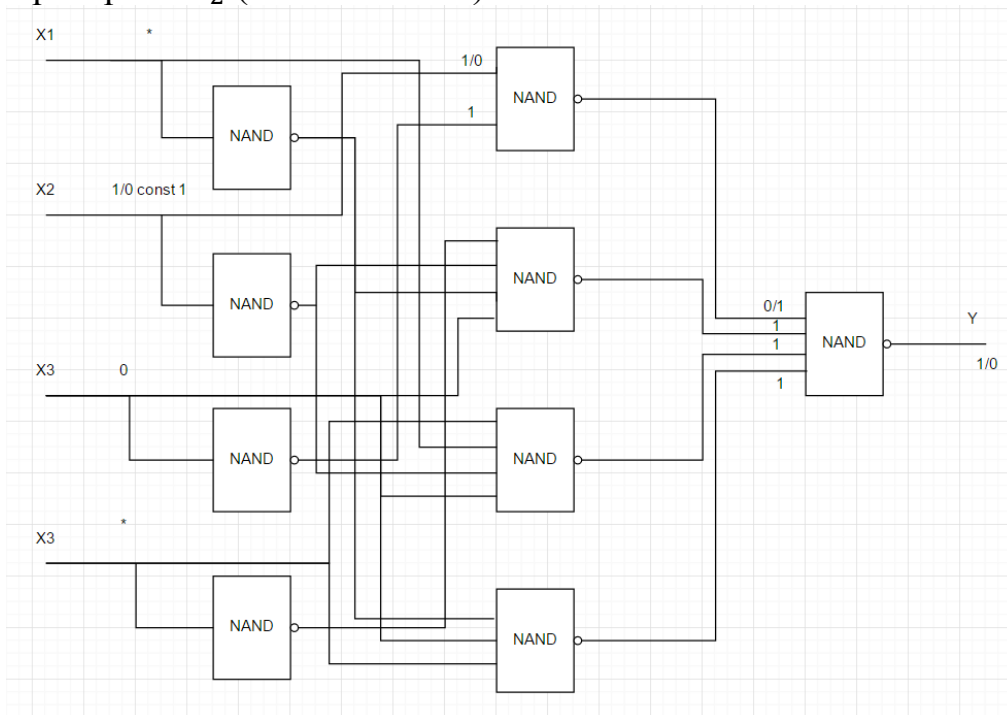
Найденные тестовые наборы: {0111}

Проверяем  $x_2$  (константный 0):



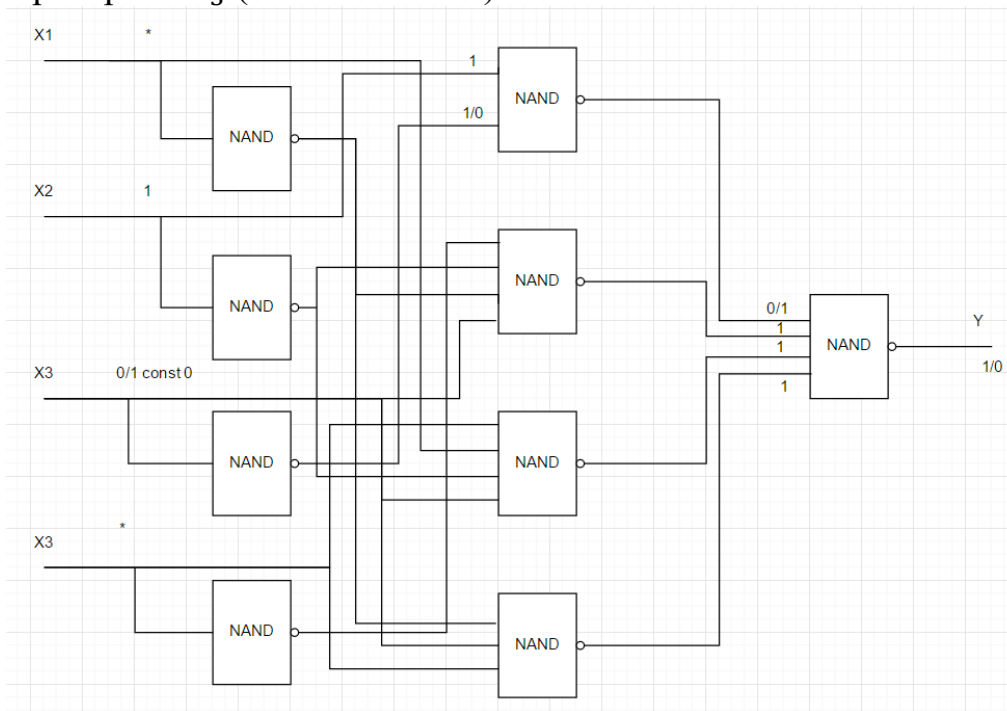
Найденные тестовые наборы: {0100, 0101, 1100, 1101}

Проверяем  $x_2$  (константная 1):



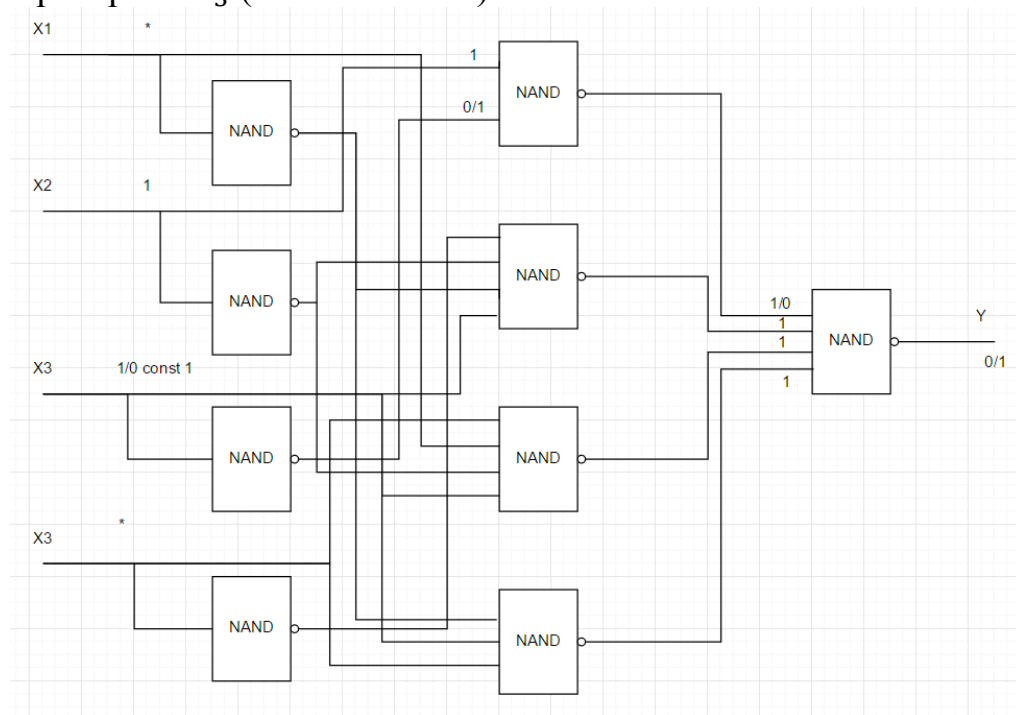
Найденные тестовые наборы: {0000, 0001, 1000, 1001}

Проверяем  $x_3$  (константный 0):



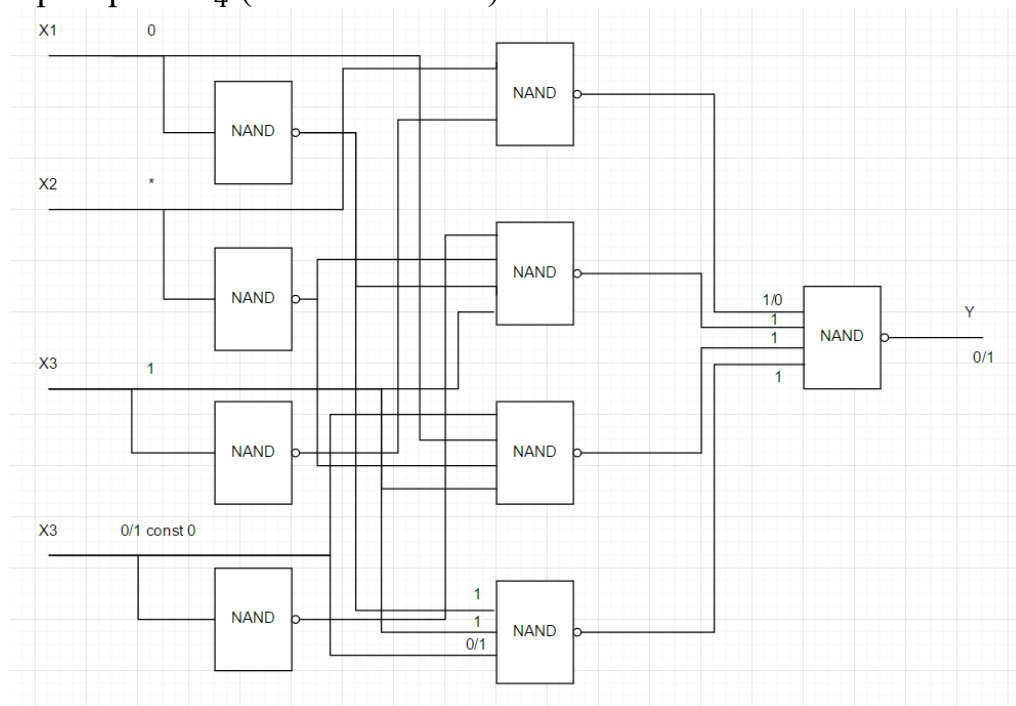
Найденные тестовые наборы: {0110, 0111, 1110}

Проверяем  $x_3$  (константная 1):



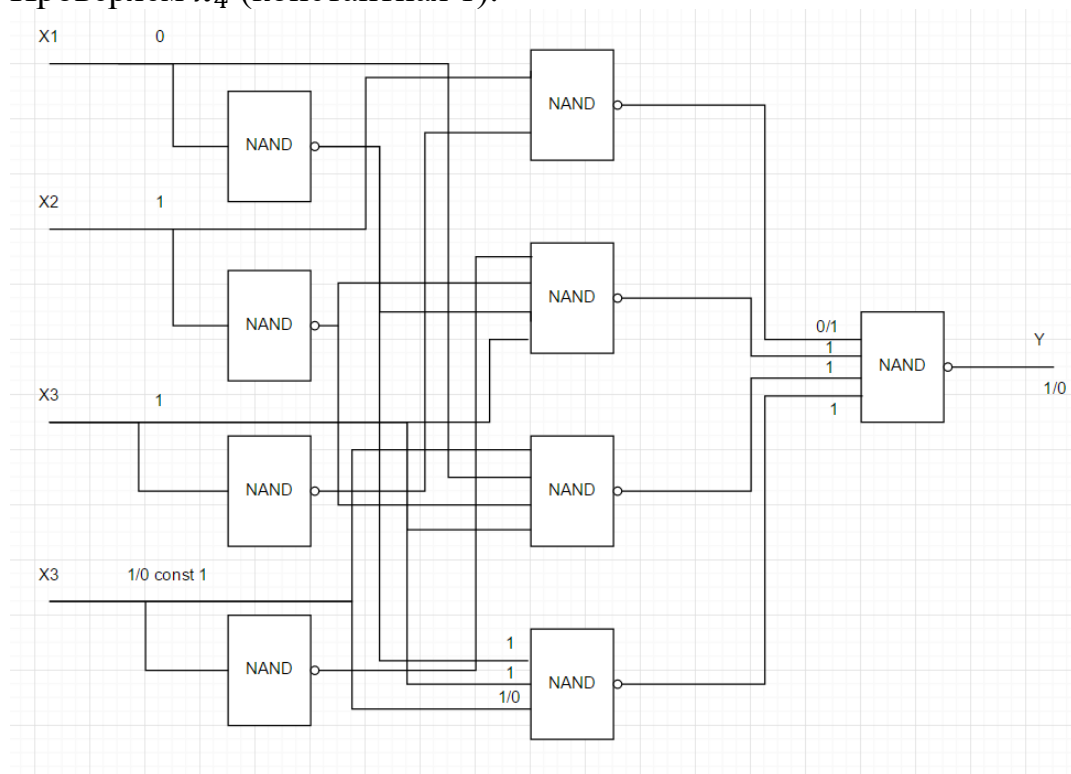
Найденные тестовые наборы: {0100, 0101, 1100, 1101}

Проверяем  $x_4$  (константный 0):



Найденные наборы: {0011, 0111}

Проверяем  $x_4$  (константная 1):



Найденные наборы: {0110}

Заполним таблицу неисправностей и решив задачу о покрытии найдем минимальный тестовый набор.

		1	2	3	4	5	6	7	8
	0000				1				
	0001				1				
	0010								
	0011							1	
	0100			1			1		
	0101			1			1		
	0110					1			1
	0111		1			1		1	
	1000				1				
	1001				1				
	1010								
	1011	1							
	1100			1			1		
	1101			1			1		
	1110					1			
	1111	1							

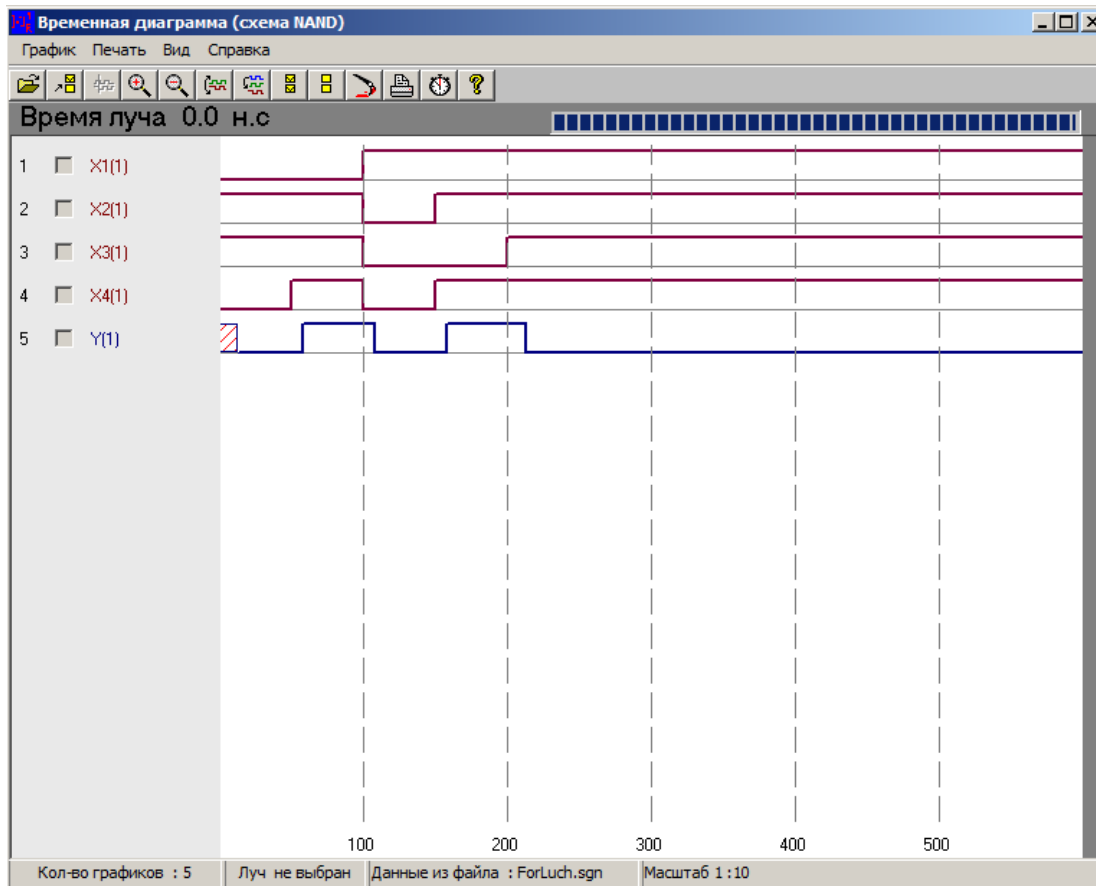
Таким образом, решив задачу о строковом покрытии, получен минимальный тестовый набор: {0110, 0111, 1000, 1101, 1111}

Напишем программы для обоих базисов для vlsi-sim и проверим правильность составления минимального тестового набора.

Базис Шеффера.

```
CIRCUIT NAND;
INPUTS X1(1),X2(1),X3(1),X4(1);
OUTPUTS Y(1);
GATES
    A1 'NAND'(1) X1(1);
    A2 'NAND'(1) X2(1);
    A3 'NAND'(1) X3(1);
    A4 'NAND'(1) X4(1);
    B1 'NAND'(1) X2(1),A3(1);
    B2 'NAND'(1) A1(1),A4(1),X3(1),A2(1);
    B3 'NAND'(1) X1(1),A2(1),X3(1),X4(1);
    B4 'NAND'(1) X4(1),X3(1),A1(1);
    Y 'NAND'(1) B1(1),B2(1),B3(1),B4(1);
ENDGATES
END
```

В процессе моделирования схемы были получены следующие результаты.





Проверка тестового набора, найденного мною:

Результаты моделирования схемы							✕	
№ наб...	% обнар. неисправ.	X1(1)	X2(1)	X3(1)	X4(1)	Y(1)		
1	26.67%	0	1	1	0	0		
2	40.00%	0	1	1	1	1		
3	41.67%	1	0	0	0	0		
4	51.67%	1	1	0	1	1		
5	58.33%	1	1	1	1	0		

Количество наборов: 5

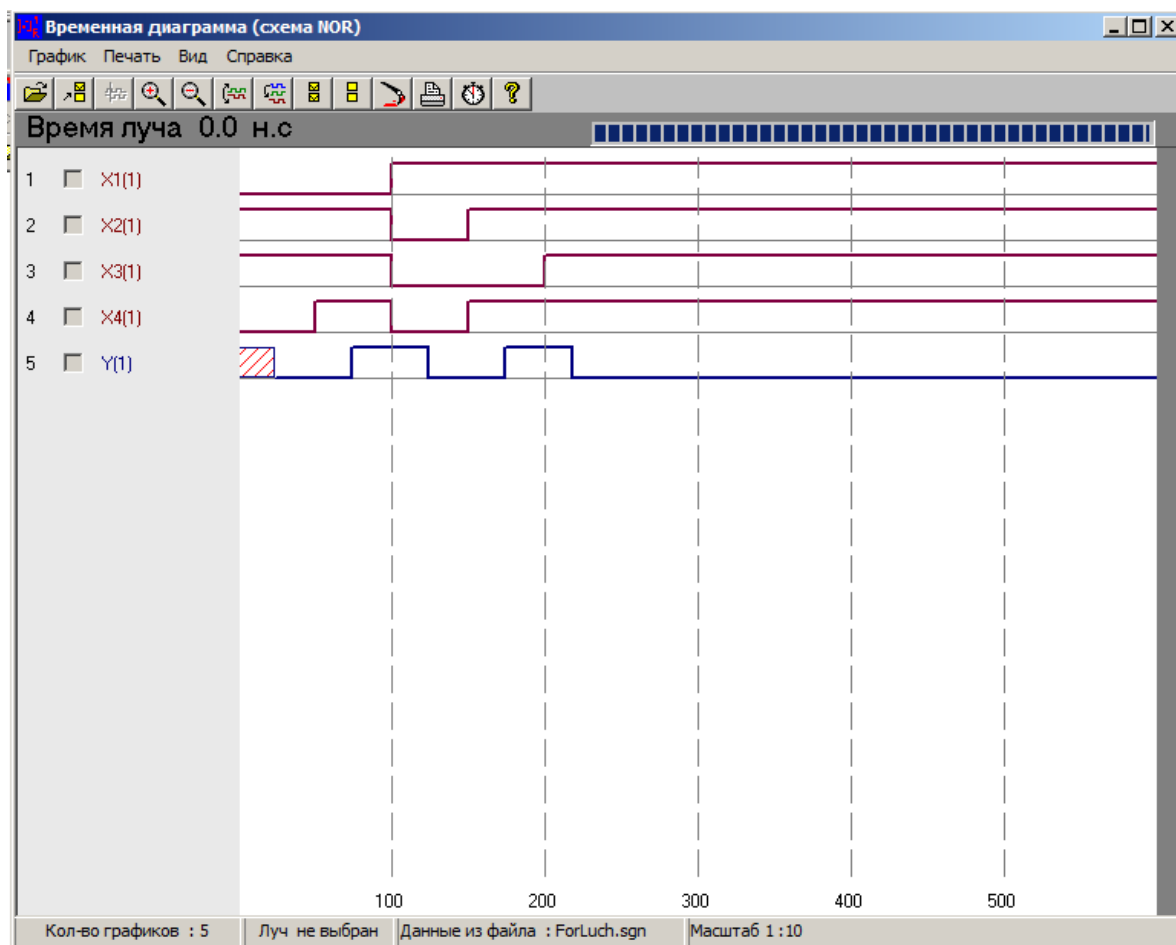
Печать результата    Результаты в файле 'NAND.FLT'    Обнаруженные неисправности

Как видно из результатов тестовый набор, найденный мной, не дал 100% результат так как были рассмотрены ошибки только входных сигналов.

Представление в базисе Вебба.

```
CIRCUIT NOR;
INPUTS X1(1),X2(1),X3(1),X4(1);
OUTPUTS Y(1);
GATES
  A1 'NOR'(1) X1(1);
  A2 'NOR'(1) X2(1);
  A3 'NOR'(1) X3(1);
  A4 'NOR'(1) X4(1);
  B1 'NOR'(1) A2(1),X3(1);
  B2 'NOR'(1) X1(1),X4(1),A3(1),X2(1);
  B3 'NOR'(1) A1(1),X2(1),A3(1),A4(1);
  B4 'NOR'(1) A4(1),A3(1),X1(1);
  C1 'NOR'(1) B1(1),B2(1),B3(1),B4(1);
  Y 'NOR'(1) C1(1);
ENDGATES
END
```

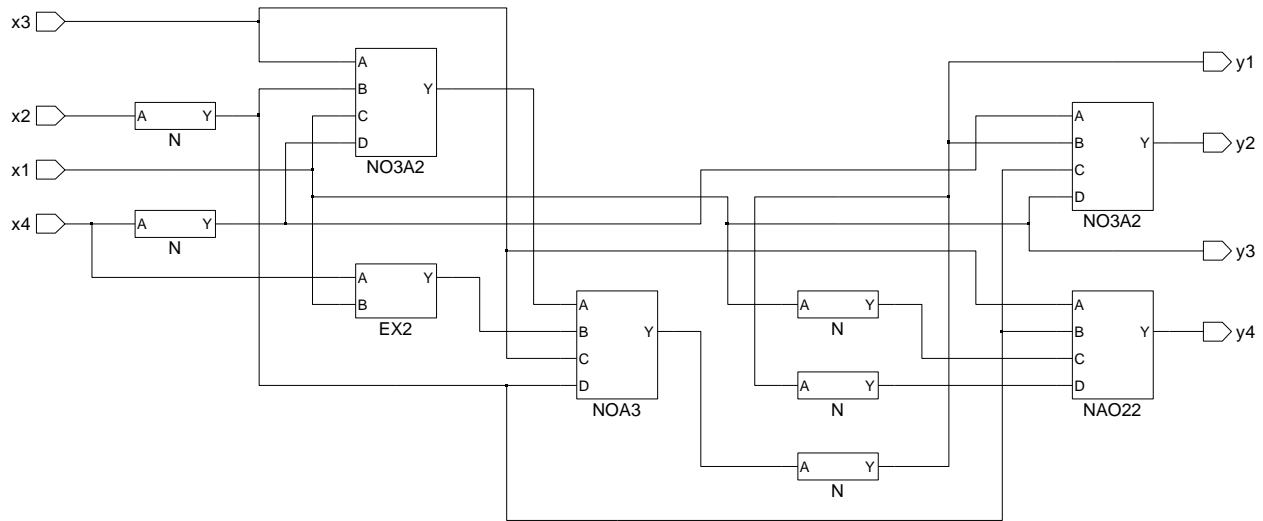
В процессе моделирования схемы были получены следующие результаты.



Как видно из результатов моделирования, на найденном тестовом наборе схемы реализуют одну и ту же функцию.

42.

Схема по варианту:



### Код схемы в VLSI\_SIM:

CIRCUIT DEVICE;

```
INPUTS X1(1),X2(1),X3(1),X4(1);
```

```

OUTPUTS Y1(1),Y2(1),Y3(1),Y4(1);

```

# GATES

```
B2 'NOT' (1) X2(1);
```

```
B4 'NOT' (1) X4(1);
```

```
C1 'NO3A2'(1) X3(1),B2(1),X1(1),B4(1);
```

```
C2 'EX2' (1) X4(1),X1(1);
```

```
D1 'NOA3'(1) C1(1),C2(1),X3(1),B2(1);
```

```
E1  'NOT' (1) X1(1);
```

```
E3 'NOT' (1) D1(1);
```

```
E2  'NOT' (1) E3(1);
```

```
Y1 'NOT' (1) D1(1);
```

```
Y2 'NO3A2' (1) B4(1),E3(1),B2(1),X1(1);
```

```
Y3  'NOT' (1)  E1(1);
```

```
Y4 'NAO22'(1) X3(1),B2(1),E1(1),E2(1);
```

## ENDGATES

END

Тест для схемы:

Результаты моделирования схемы

№ наб...	% обнар. ...	X1...	X2...	X3...	X4...	Y1...	Y2...	Y3...	Y4...
1	33.78%	1	1	1	1	0	1	1	0
2	44.59%	0	1	1	0	0	0	0	0
3	52.70%	0	0	0	1	0	1	0	0
4	67.57%	0	1	0	0	1	0	0	1
5	81.08%	0	0	1	1	1	0	0	0
6	82.43%	1	1	0	1	1	0	1	1
7	85.14%	1	1	0	0	0	0	1	1
8	86.49%	1	1	1	0	0	0	1	0
9	94.59%	1	0	1	0	1	0	1	1
10	97.30%	1	0	0	1	0	0	1	0
11	100.00%	0	0	1	0	0	0	0	0

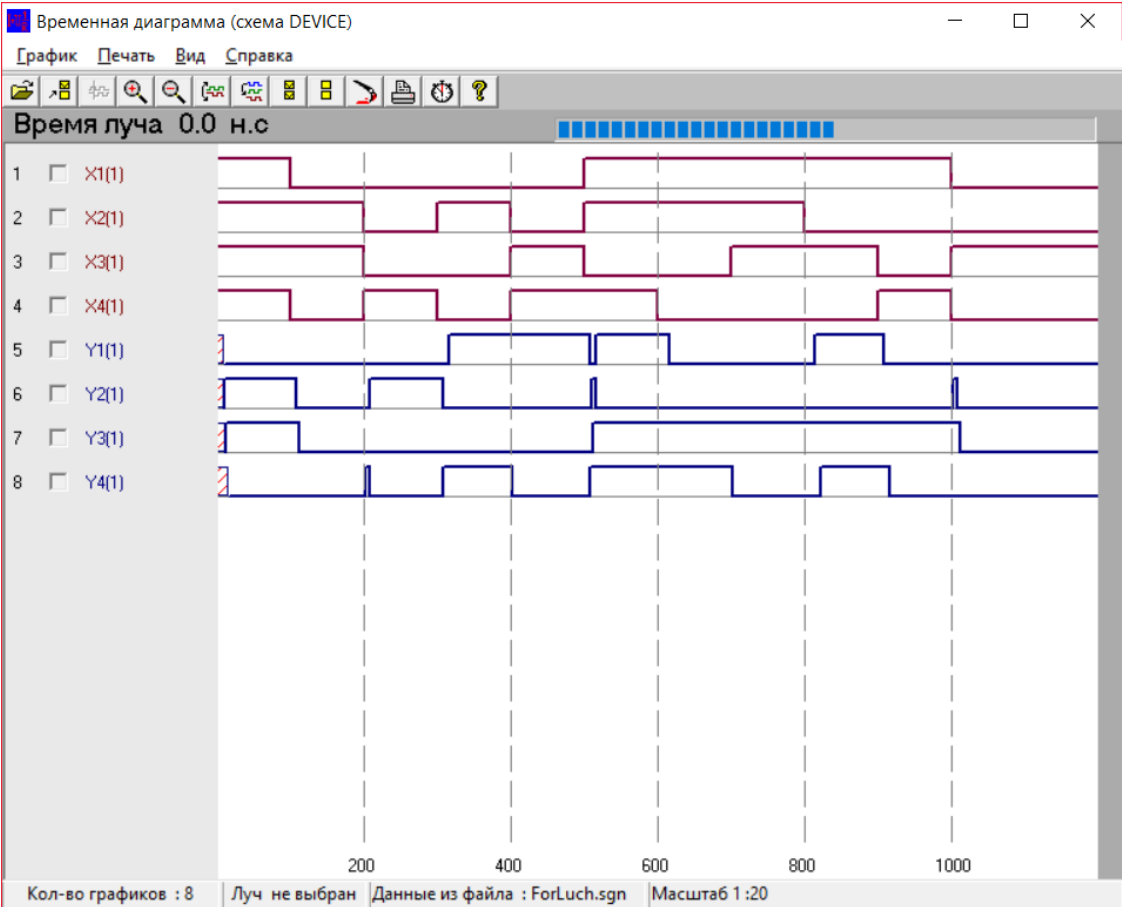
Количество наборов: 11

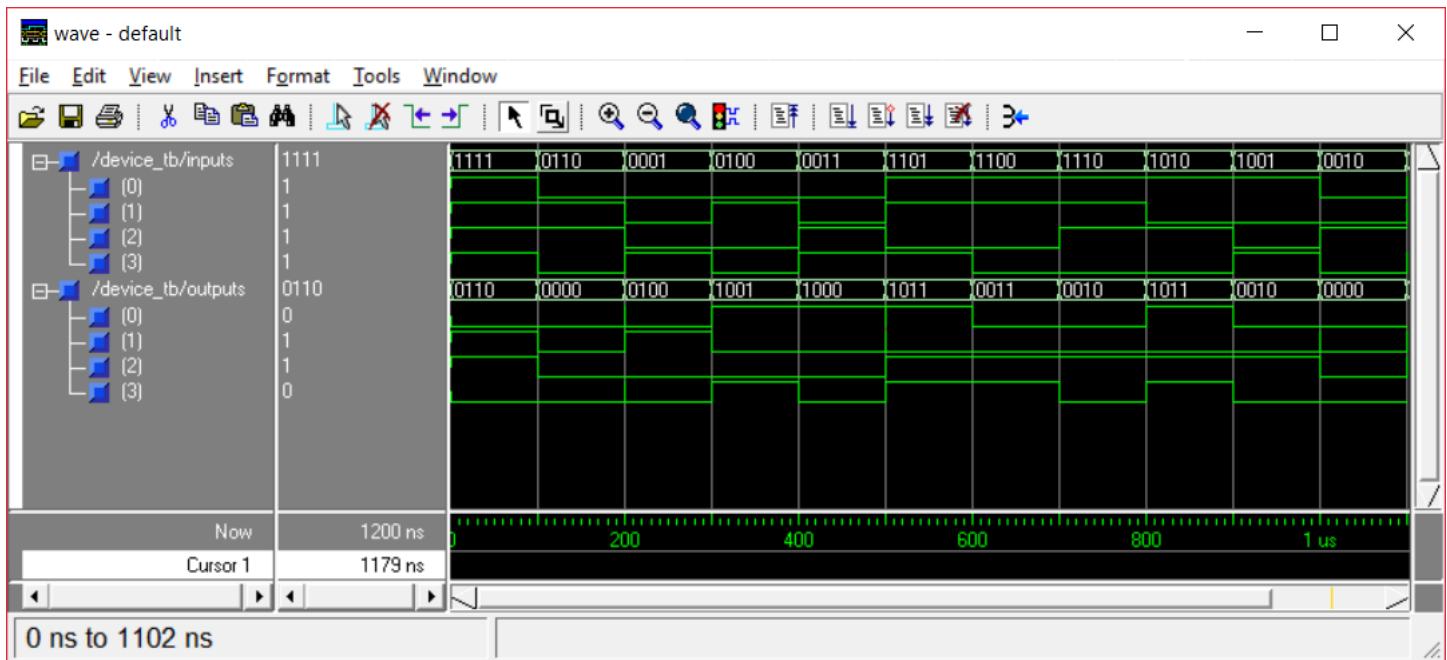
Печать результата

Результаты в файле 'DEVICE.FLT'

Обнаруженные неисправности

Диаграммы, полученные при временном моделировании:





Как видно из диаграмм, выходные сигналы полностью совпадают.

Код схемы на VHDL:

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity device is
    Port (
        X1: in STD_LOGIC;
        X2: in STD_LOGIC;
        X3: in STD_LOGIC;
        X4: in STD_LOGIC;
        Y1: out STD_LOGIC;
        Y2: out STD_LOGIC;
        Y3: out STD_LOGIC;
        Y4: out STD_LOGIC
    );
end device;

architecture Behavioral of device is
    component N03A2
        Port (
            A: in STD_LOGIC;
            B: in STD_LOGIC;
            C: in STD_LOGIC;
            D: in STD_LOGIC;
            OUTPUT: out STD_LOGIC
        );
    end component;
```

```

component EX2
  Port (
    A: in STD_LOGIC;
    B: in STD_LOGIC;
    OUTPUT: out STD_LOGIC
  );
end component;

component NOA3
  Port (
    A: in STD_LOGIC;
    B: in STD_LOGIC;
    C: in STD_LOGIC;
    D: in STD_LOGIC;
    OUTPUT: out STD_LOGIC
  );
end component;

component NAO22
  Port (
    A: in STD_LOGIC;
    B: in STD_LOGIC;
    C: in STD_LOGIC;
    D: in STD_LOGIC;
    OUTPUT: out STD_LOGIC
  );
end component;

signal first_no3a2, second_no3a2: STD_LOGIC;
signal first_ex2: STD_LOGIC;
signal first_noa3: STD_LOGIC;
signal first_nao22: STD_LOGIC;
signal N_X2, N_X4, n_first_noa3, N_X1: STD_LOGIC;
begin
  N_X2 <= not X2;
  N_X4 <= not X4;
  n_first_noa3 <= not first_noa3;
  N_X1 <= not X1;

  first_no3a2_instance: N03A2 port map(
    A => X3,
    B => N_X2,
    C => N_X4,
    D => X1,
    OUTPUT => first_no3a2
  );

  ex2_instance: EX2 port map(
    A => X4,
    B => X1,
    OUTPUT => first_ex2
  );

  noa3_instance: NOA3 port map(
    A => first_no3a2,

```

```

        B => first_ex2,
        C => X3,
        D => N_X2,
        OUTPUT => first_noa3
    );

second_no3a2_instance: N03A2 port map(
    A => N_X4,
    B => n_first_noa3,
    C => N_X2,
    D => X1,
    OUTPUT => second_no3a2
);

nao22_instance: NAO22 port map(
    A => X3,
    B => N_X2,
    C => N_X1,
    D => first_noa3,
    OUTPUT => first_nao22
);

Y1 <= not first_noa3;
Y2 <= second_no3a2;
Y3 <= X1;
Y4 <= first_nao22;
end Behavioral;

```