**БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ**

**ИНФОРМАТИКИ и РАДИОЭЛЕКТРОНИКИ**

**Факультет КСиС**

**Кафедра ЭВМ**

**Контроль и диагностика средств вычислительной техники**

**Лабораторная работа**

**Часть 1**

**Синтез комбинационной схемы**

**и построение теста контроля**

**Вариант № 15**

**Выполнил: Проверила:**

**Ст. гр. 350501 Доц. Золоторевич Л. А.**

**Пашковский А.А**

**Минск 2016**

| X4 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| X3 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| X2 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| X1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Y | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 |

**Ч1.**

ДНФ:

Карта Карно:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| X4 X3  X1 X2 | 00 | 01 | 11 | 10 |
| 00 | 0 | 1 | 0 | 1 |
| 01 | 1 | 1 | 0 | 0 |
| 11 | 1 | 1 | 0 | 0 |
| 10 | 0 | 0 | 1 | 0 |

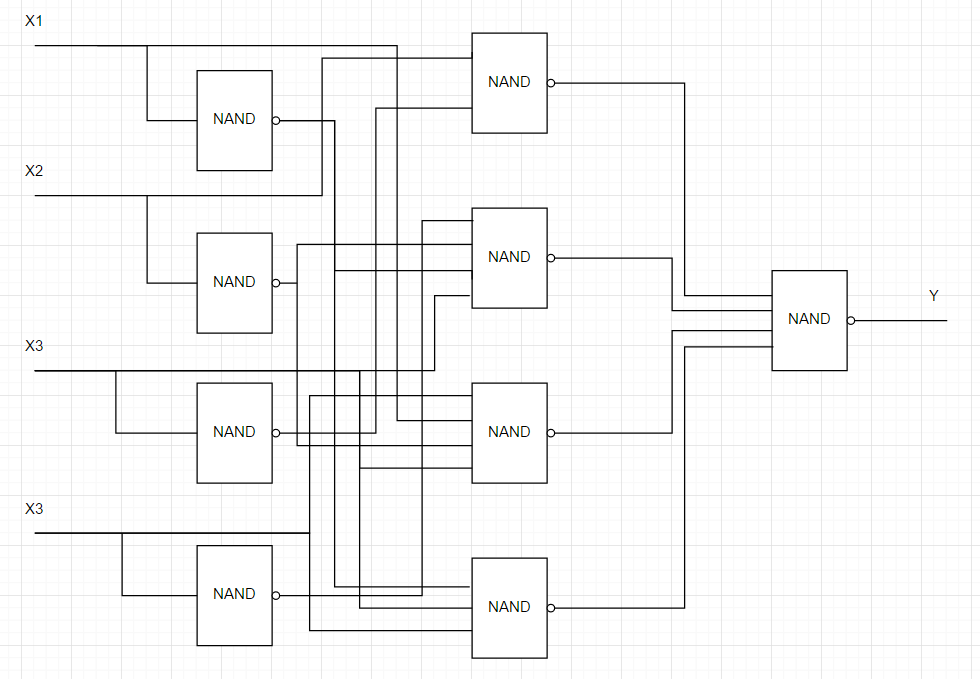
Минимизированная функция:

Представление в базисе Шеффера (И-НЕ):

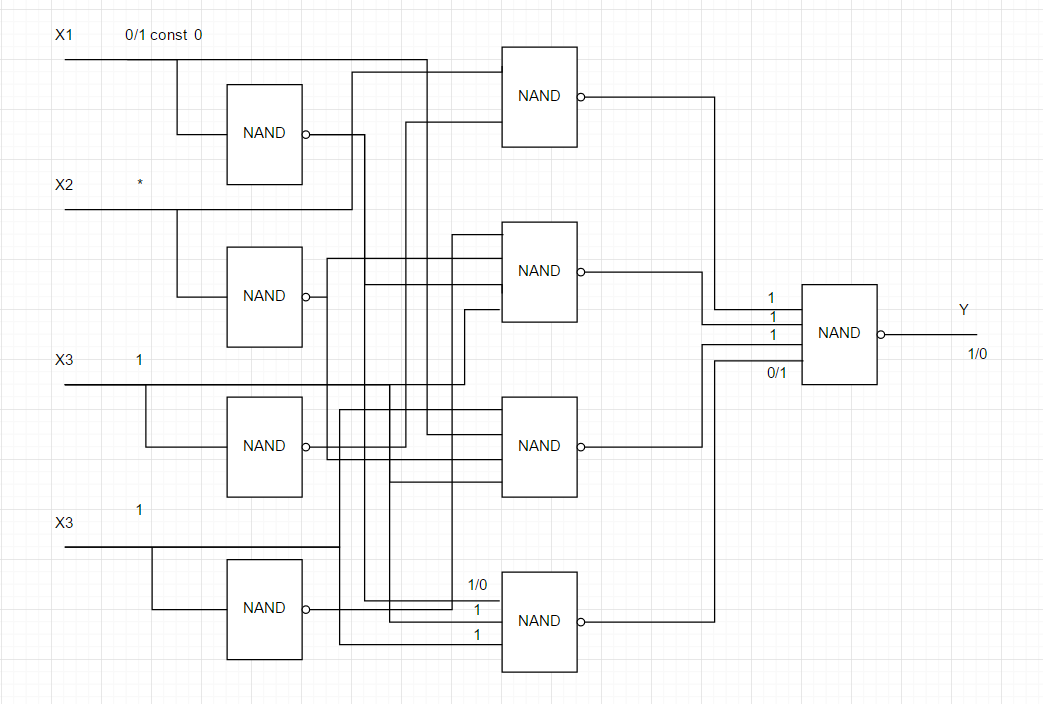
Представление в базисе Вебба (ИЛИ-НЕ):

Составление списка тестовых наборов для схемы, выполненной в базисе Шеффера.

Схема:

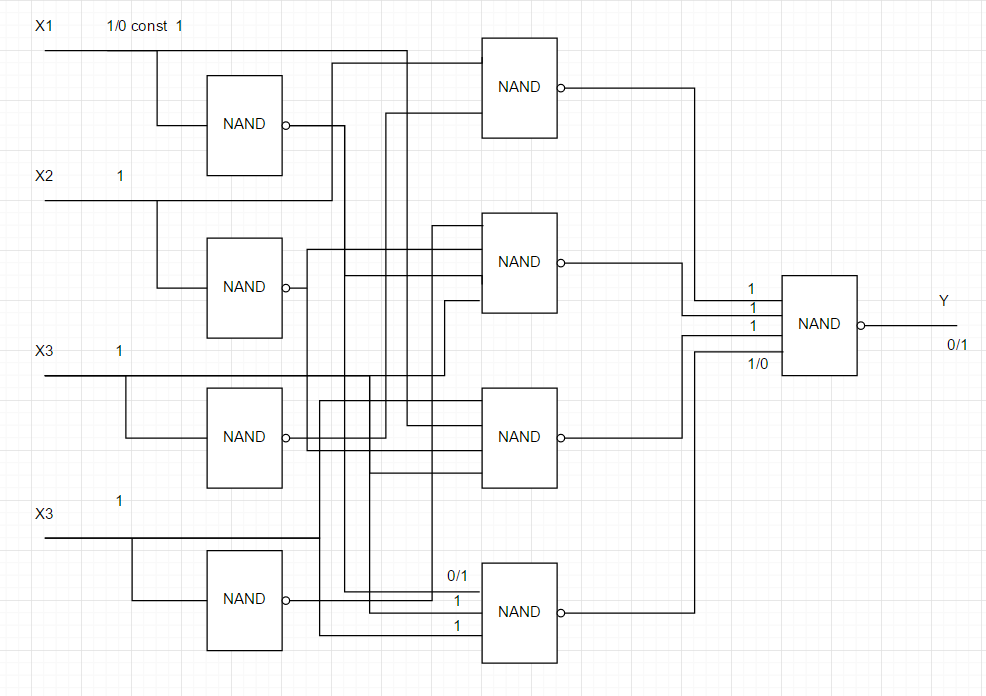


Проверяем (константный 0):



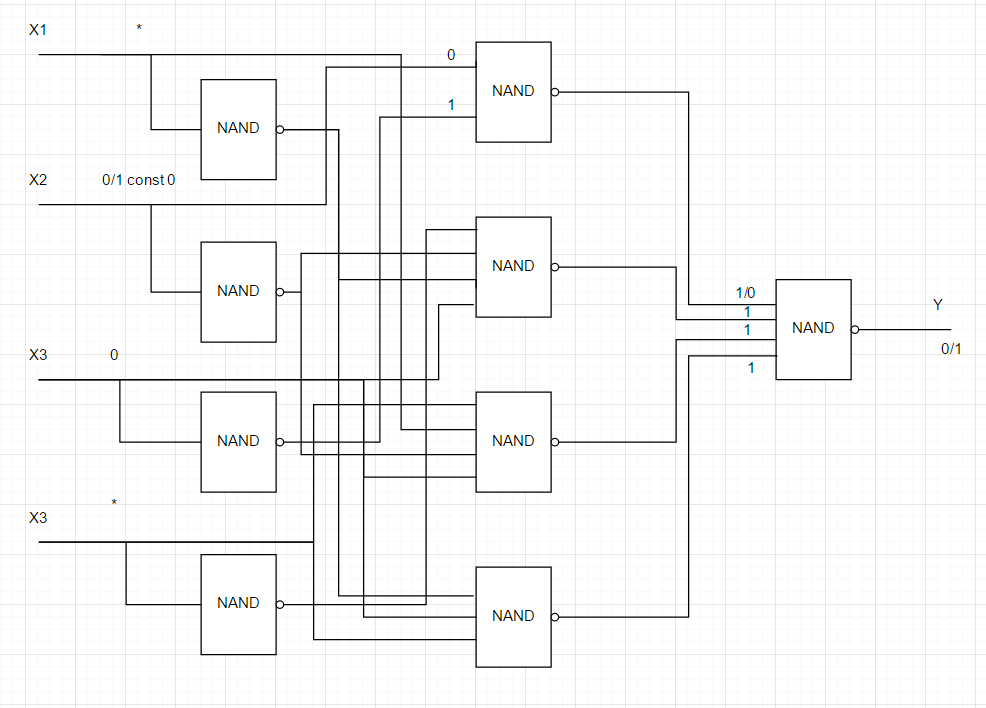
Найденные тестовые наборы: {1011, 1111}

Проверяем (константная 1):



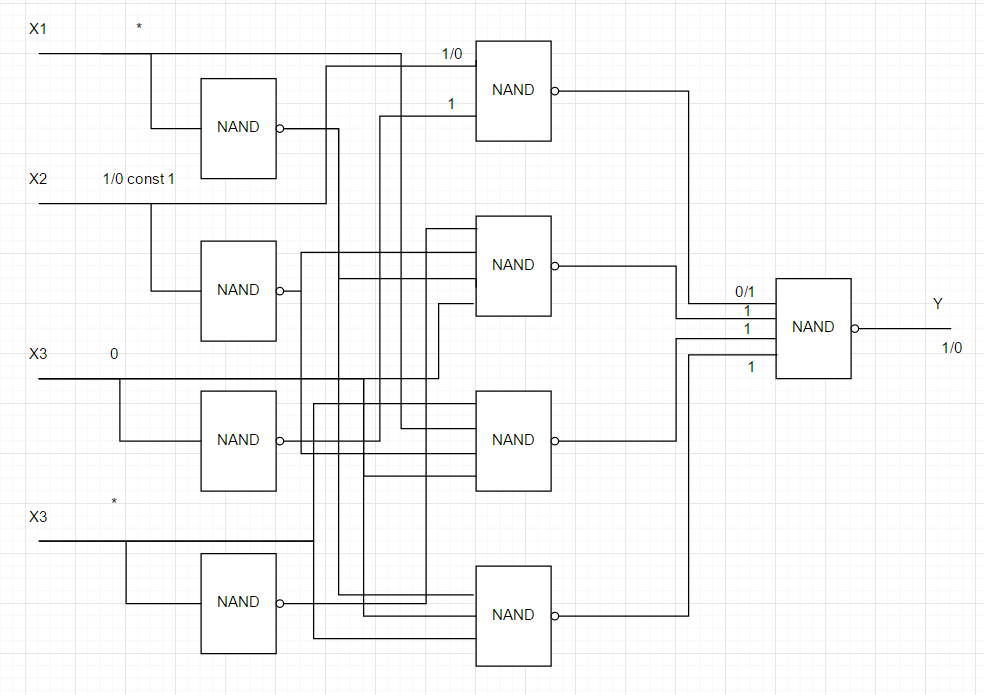
Найденные тестовые наборы: {0111}

Проверяем (константный 0):



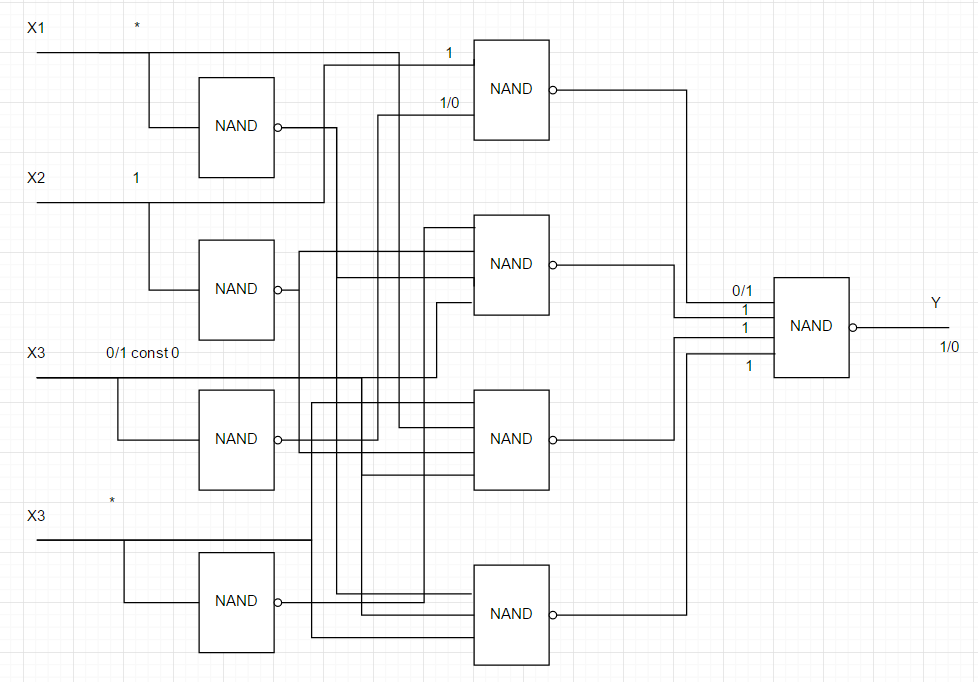
Найденные тестовые наборы: {0100, 0101, 1100, 1101}

Проверяем (константная 1):



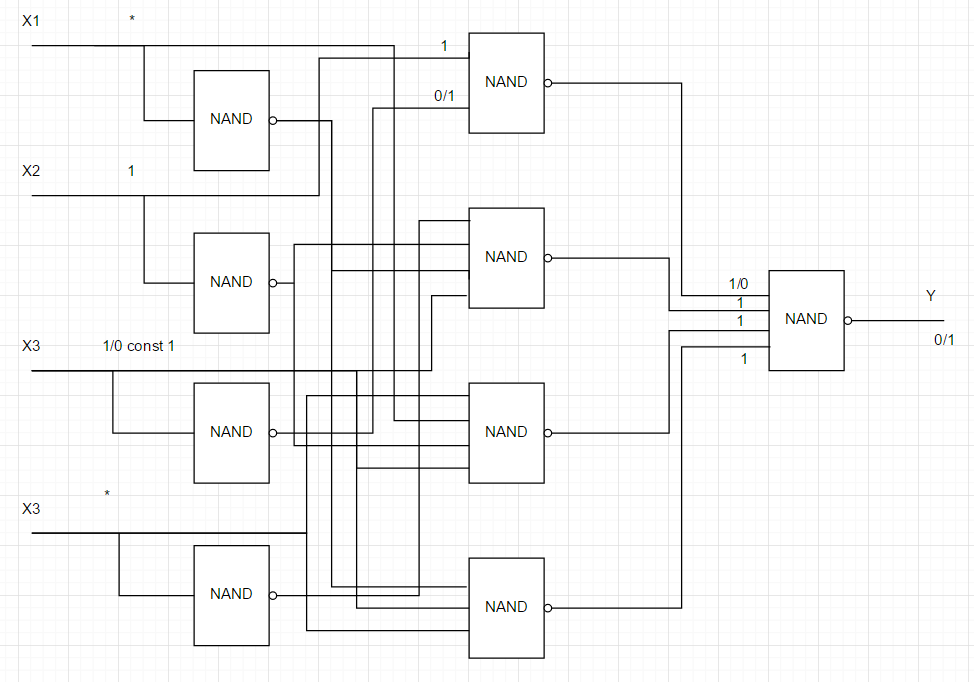
Найденные тестовые наборы: {0000, 0001, 1000, 1001}

Проверяем (константный 0):



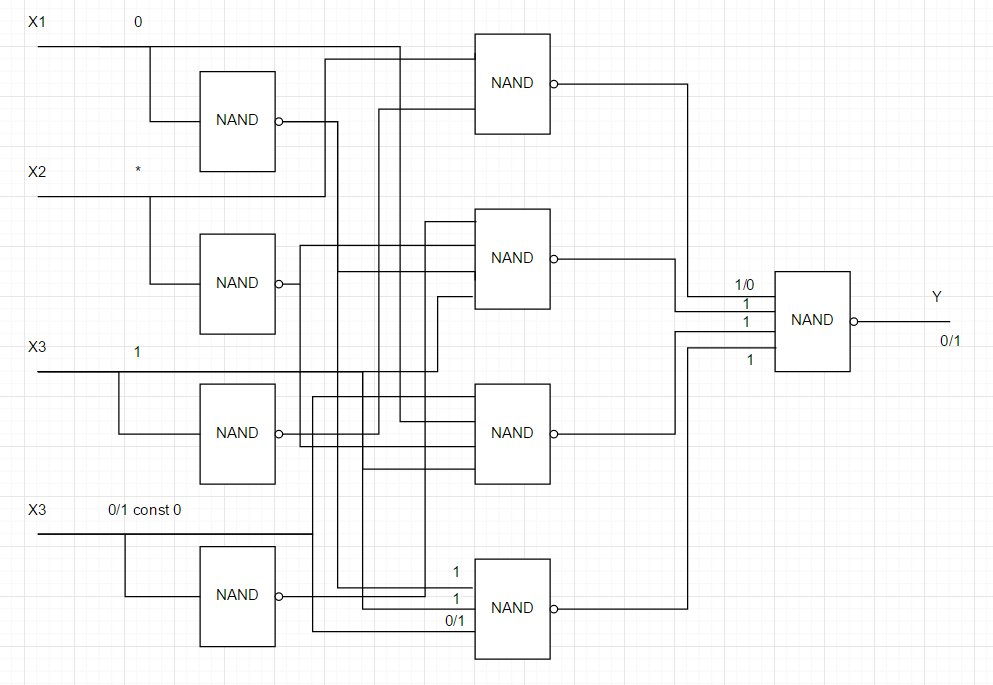
Найденные тестовые наборы: {0110, 0111, 1110}

Проверяем (константная 1):



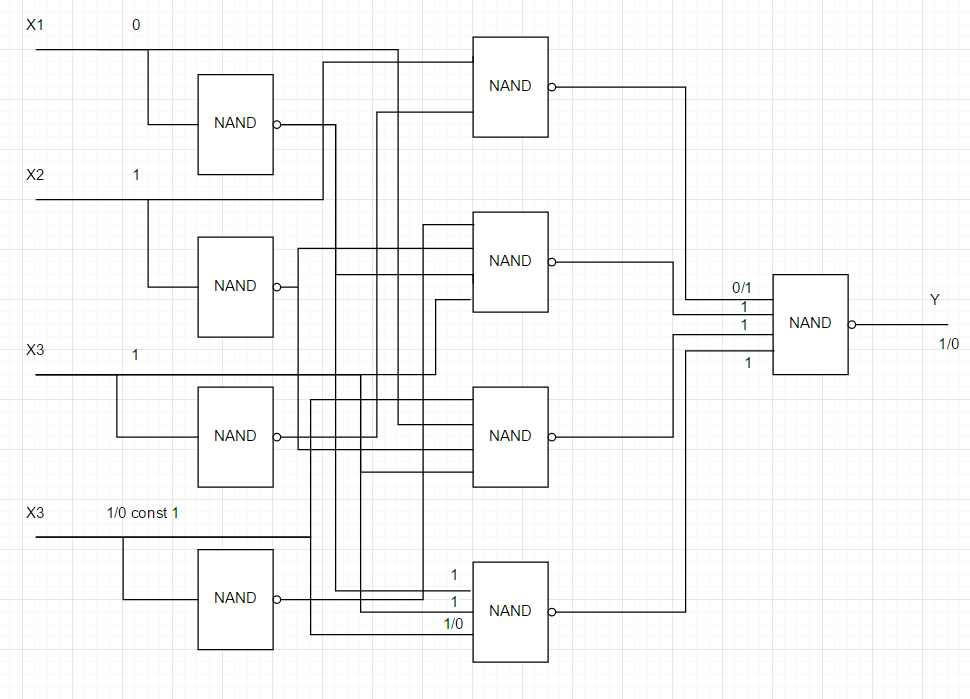
Найденные тестовые наборы: {0100, 0101, 1100, 1101}

Проверяем (константный 0):



Найденные наборы: {0011, 0111}

Проверяем (константная 1):



Найденные наборы: {0110}

Заполним таблицу неисправностей и решив задачу о покрытии найдем минимальный тестовый набор.

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 |
|  | 0000 |  |  |  | 1 |  |  |  |  |
|  | 0001 |  |  |  | 1 |  |  |  |  |
|  | 0010 |  |  |  |  |  |  |  |  |
|  | 0011 |  |  |  |  |  |  | 1 |  |
|  | 0100 |  |  | 1 |  |  | 1 |  |  |
|  | 0101 |  |  | 1 |  |  | 1 |  |  |
|  | 0110 |  |  |  |  | 1 |  |  | 1 |
|  | 0111 |  | 1 |  |  | 1 |  | 1 |  |
|  | 1000 |  |  |  | 1 |  |  |  |  |
|  | 1001 |  |  |  | 1 |  |  |  |  |
|  | 1010 |  |  |  |  |  |  |  |  |
|  | 1011 | 1 |  |  |  |  |  |  |  |
|  | 1100 |  |  | 1 |  |  | 1 |  |  |
|  | 1101 |  |  | 1 |  |  | 1 |  |  |
|  | 1110 |  |  |  |  | 1 |  |  |  |
|  | 1111 | 1 |  |  |  |  |  |  |  |

Таким образом, решив задачу о строковом покрытии, получен минимальный тестовый набор: {0110, 0111, 1000, 1101, 1111}

Напишем программы для обоих базисов для vlsi-sim и проверим правильность составления минимального тестового набора.

Базис Шеффера.

CIRCUIT NAND;

INPUTS X1(1),X2(1),X3(1),X4(1);

OUTPUTS Y(1);

GATES

A1 'NAND'(1) X1(1);

A2 'NAND'(1) X2(1);

A3 'NAND'(1) X3(1);

A4 'NAND'(1) X4(1);

B1 'NAND'(1) X2(1),A3(1);

B2 'NAND'(1) A1(1),A4(1),X3(1),A2(1);

B3 'NAND'(1) X1(1),A2(1),X3(1),X4(1);

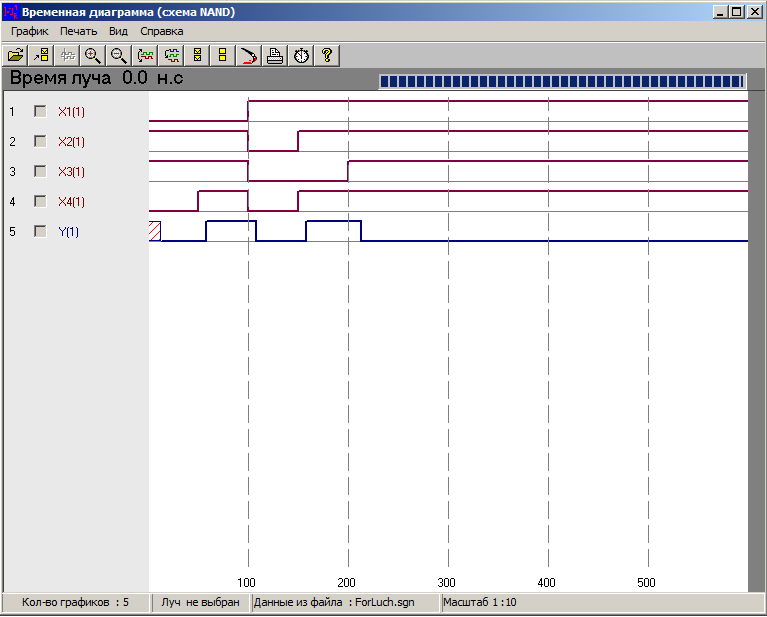
B4 'NAND'(1) X4(1),X3(1),A1(1);

Y 'NAND'(1) B1(1),B2(1),B3(1),B4(1);

ENDGATES

END

В процессе моделирования схемы были получены следующие результаты.



Проверка тестового набора, найденного мною:



Как видно из результатов тестовый набор, найденный мной, не дал 100% результат так как были рассмотрены ошибки только входных сигналов.

Представление в базисе Вебба.

CIRCUIT NOR;

INPUTS X1(1),X2(1),X3(1),X4(1);

OUTPUTS Y(1);

GATES

A1 'NOR'(1) X1(1);

A2 'NOR'(1) X2(1);

A3 'NOR'(1) X3(1);

A4 'NOR'(1) X4(1);

B1 'NOR'(1) A2(1),X3(1);

B2 'NOR'(1) X1(1),X4(1),A3(1),X2(1);

B3 'NOR'(1) A1(1),X2(1),A3(1),A4(1);

B4 'NOR'(1) A4(1),A3(1),X1(1);

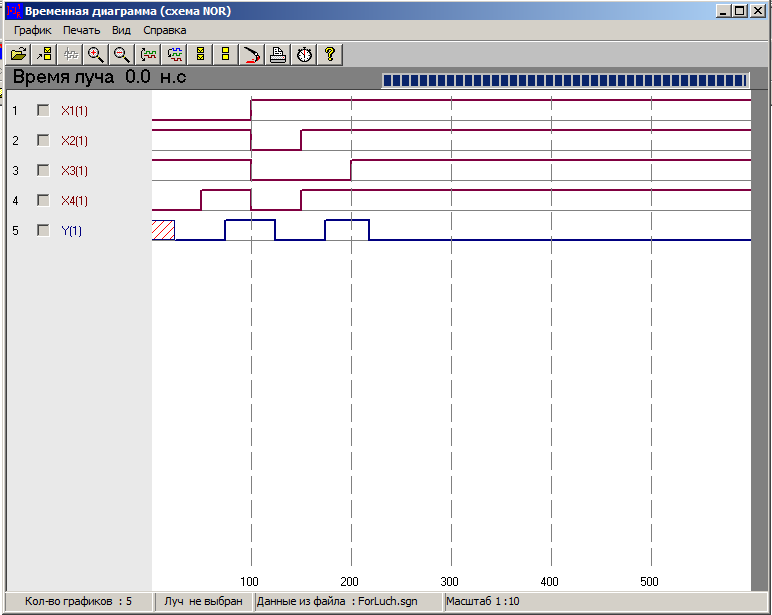
C1 'NOR'(1) B1(1),B2(1),B3(1),B4(1);

Y 'NOR'(1) C1(1);

ENDGATES

END

В процессе моделирования схемы были получены следующие результаты.



Как видно из результатов моделирования, на найденном тестовом наборе схемы реализуют одну и ту же функцию.

**Ч2.**

Схема по варианту:



Код схемы в VLSI\_SIM:

CIRCUIT DEVICE;

INPUTS X1(1),X2(1),X3(1),X4(1);

OUTPUTS Y1(1),Y2(1),Y3(1),Y4(1);

GATES

B2 'NOT'(1) X2(1);

B4 'NOT'(1) X4(1);

C1 'NO3A2'(1) X3(1),B2(1),X1(1),B4(1);

C2 'EX2'(1) X4(1),X1(1);

D1 'NOA3'(1) C1(1),C2(1),X3(1),B2(1);

E1 'NOT'(1) X1(1);

E3 'NOT'(1) D1(1);

E2 'NOT'(1) E3(1);

Y1 'NOT'(1) D1(1);

Y2 'NO3A2'(1) B4(1),E3(1),B2(1),X1(1);

Y3 'NOT'(1) E1(1);

Y4 'NAO22'(1) X3(1),B2(1),E1(1),E2(1);

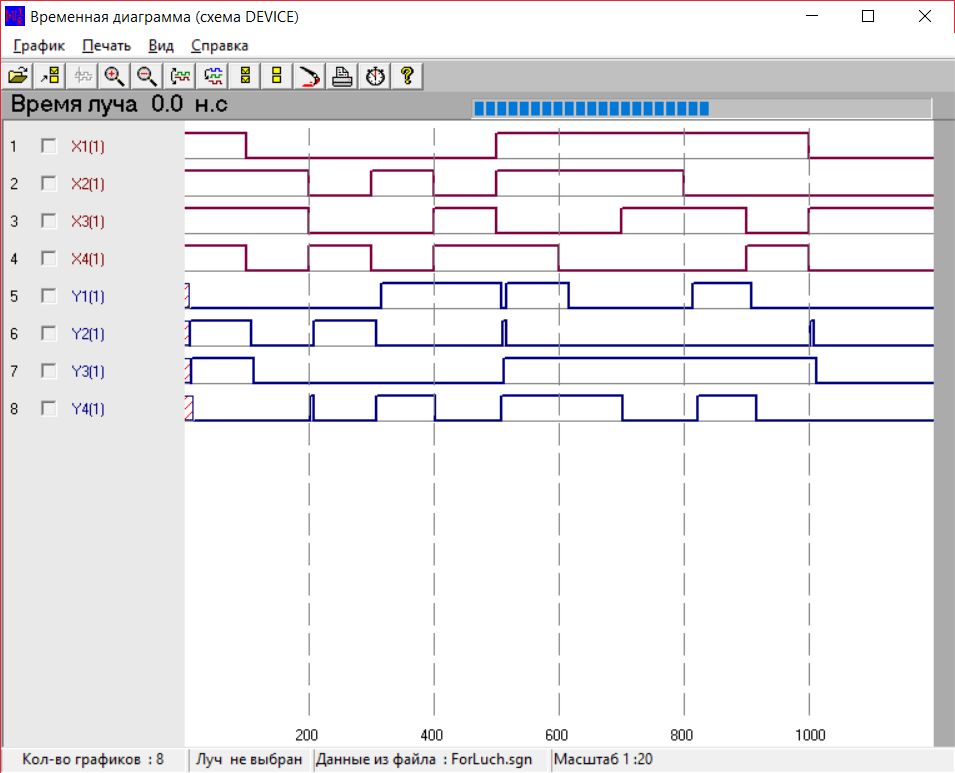
ENDGATES

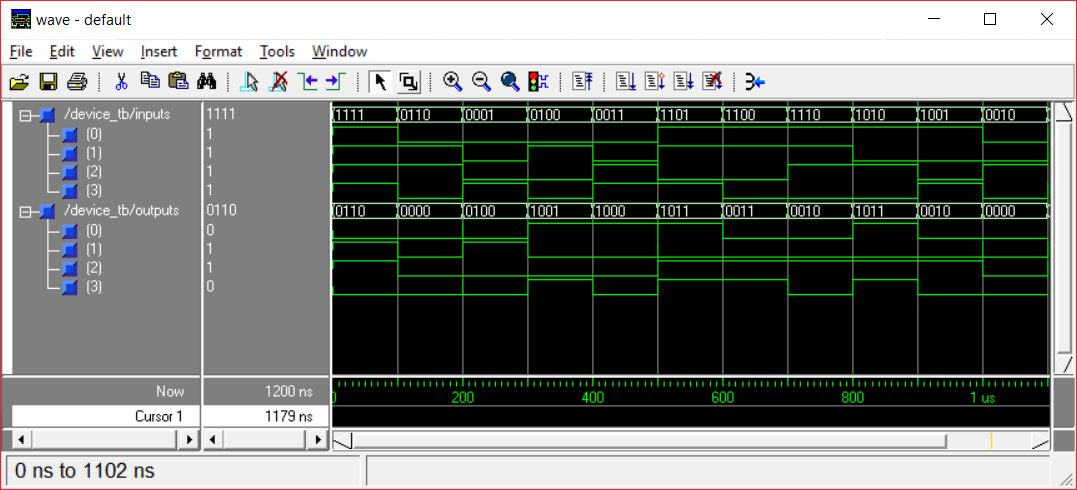
END

Тест для схемы:



Диаграммы, полученные при временном моделировании:





Как видно из диаграмм, выходные сигналы полностью совпадают.

Код схемы на VHDL:

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

entity device is

Port (

X1: in STD\_LOGIC;

X2: in STD\_LOGIC;

X3: in STD\_LOGIC;

X4: in STD\_LOGIC;

Y1: out STD\_LOGIC;

Y2: out STD\_LOGIC;

Y3: out STD\_LOGIC;

Y4: out STD\_LOGIC

);

end device;

architecture Behavioral of device is

component NO3A2

Port (

A: in STD\_LOGIC;

B: in STD\_LOGIC;

C: in STD\_LOGIC;

D: in STD\_LOGIC;

OUTPUT: out STD\_LOGIC

);

end component;

component EX2

Port (

A: in STD\_LOGIC;

B: in STD\_LOGIC;

OUTPUT: out STD\_LOGIC

);

end component;

component NOA3

Port (

A: in STD\_LOGIC;

B: in STD\_LOGIC;

C: in STD\_LOGIC;

D: in STD\_LOGIC;

OUTPUT: out STD\_LOGIC

);

end component;

component NAO22

Port (

A: in STD\_LOGIC;

B: in STD\_LOGIC;

C: in STD\_LOGIC;

D: in STD\_LOGIC;

OUTPUT: out STD\_LOGIC

);

end component;

signal first\_no3a2, second\_no3a2: STD\_LOGIC;

signal first\_ex2: STD\_LOGIC;

signal first\_noa3: STD\_LOGIC;

signal first\_nao22: STD\_LOGIC;

signal N\_X2, N\_X4, n\_first\_noa3, N\_X1: STD\_LOGIC;

begin

N\_X2 <= not X2;

N\_X4 <= not X4;

n\_first\_noa3 <= not first\_noa3;

N\_X1 <= not X1;

first\_no3a2\_instance: NO3A2 port map(

A => X3,

B => N\_X2,

C => N\_X4,

D => X1,

OUTPUT => first\_no3a2

);

ex2\_instance: EX2 port map(

A => X4,

B => X1,

OUTPUT => first\_ex2

);

noa3\_instance: NOA3 port map(

A => first\_no3a2,

B => first\_ex2,

C => X3,

D => N\_X2,

OUTPUT => first\_noa3

);

second\_no3a2\_instance: NO3A2 port map(

A => N\_X4,

B => n\_first\_noa3,

C => N\_X2,

D => X1,

OUTPUT => second\_no3a2

);

nao22\_instance: NAO22 port map(

A => X3,

B => N\_X2,

C => N\_X1,

D => first\_noa3,

OUTPUT => first\_nao22

);

Y1 <= not first\_noa3;

Y2 <= second\_no3a2;

Y3 <= X1;

Y4 <= first\_nao22;

end Behavioral;