



Universitatea  
Transilvania  
din Brașov

FACULTATEA DE INGINERIE ELECTRICĂ  
ȘI ȘTIINȚA CALCULATOARELOR

Str. Politehnicii 1  
500024 – Brașov  
tel.: (+40) 268.474.718 | fax: (+40)  
268.474.718  
f-iesc@unitbv.ro | www.unitbv.ro/fiesc

# Limbaje de descriere hardware

## 4.Circuit pipeline pentru sortarea datelor

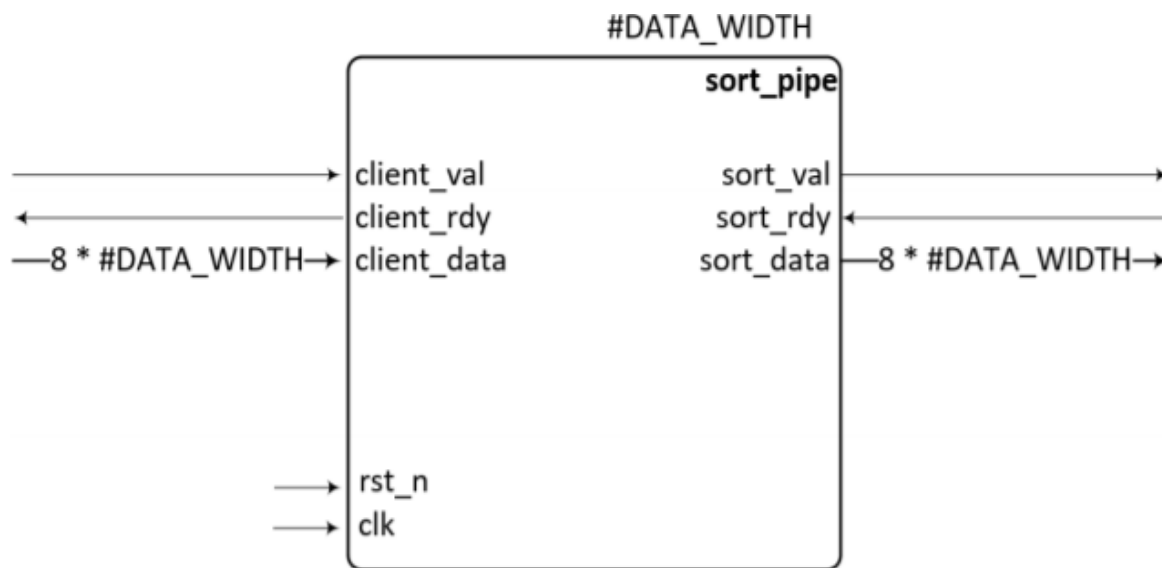
Cadru Didactic:  
Dan Nicula

Student:Chelemen Antonia  
Specializare:Calculatoare  
An de studiu:3  
Grupa: 4LF791

## 1. Enunțul temei

Circuitul primește pe o interfata cu protocol valid-ready un set de 8 date care reprezintă numere pozitive. Circuitul sortează cele 8 numere în ordine crescătoare și le transmite pe o altă interfata, cu același protocol valid-ready (cel mai mare număr pe partea cea mai semnificativă a bus-ului de ieșire). Numărul de biți de date este parametrizabil (`DATA_WIDTH`), astfel încât numerele pozitive sunt în intervalul  $[0 \dots 2^{DATA\_WIDTH} - 1]$ . Sortarea celor 8 numere se va face în pipeline cu un algoritm cât mai eficient, ales de proiectant. În condițiile în care modulele exterioare sunt disponibile tot timpul (`client_rdy=1` și `sort_rdy=1`), iar datele de intrare se primesc continuu (`client_val=1`) atunci datele de ieșire se livrează în mod continuu (`sort_val=1`), cu o întârziere egală cu numărul de nivele de pipeline din acest modul.

Simbolul circuitului care sortează numerele cu o procesare pipeline este prezentat în figura A.4.



**Figura A.4** Simbolul circuitului pentru sortarea numerelor, implementare pipeline.

Interfața circuitului care sortează numerele este prezentată în tabele următoare.

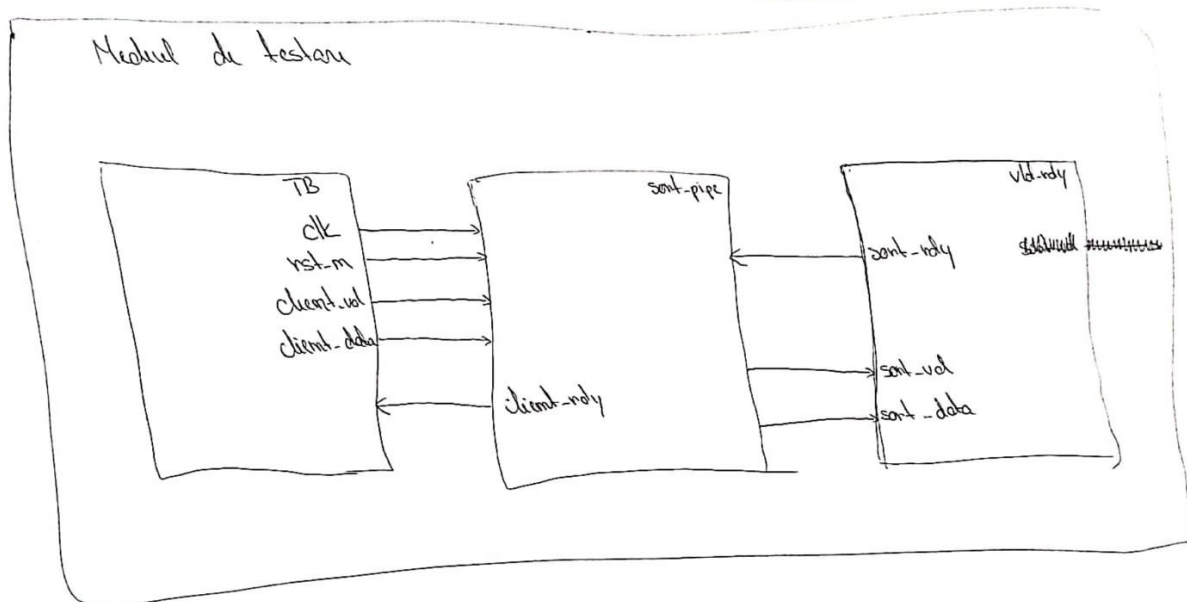
Nume parametru	Valoare implicită	Domeniu de valori	Descriere
DATA_WIDTH	8	$\geq 1$	Dimensiunea datelor

Nume port	Direcție	Dimensiune	Descriere
<b>Ceas/reset</b>			
clk	IN	1	Semnal de ceas
rst_n	IN	1	Semnal asincron de reset, activ 0

<b>Interfață client</b>			
client_val	IN	1	Valid din partea clientului
client_rdy	OUT	1	Ready pentru client
client_data	IN	8 * DATA_WIDTH	Date de la client, interpretate ca 8 date de câte DATA_WIDTH biți.

<b>Interfață livrare numere sortate</b>			
sort_val	OUT	1	Date valide livrate
sort_rdy	IN	1	Modulul receptor este pregătit să accepte date
sort_data	OUT	8 * DATA_WIDTH	Date reprezentând cele 8 numere sortate.

2.Reprezentările grafice ale unitatilor de proiectare descries.(una corespunzatoare circuitului testat(DUT) si una corespunzatoare generatorului de vectori de test).



3. Desenul reprezentativ pentru functionarea unui Circuit pipeline pentru sortarea datelor.

