



UNIVERSIDADE FEDERAL DA BAHIA
ESCOLA POLITÉCNICA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA
ENGC40 – ELETRÔNICA DIGITAL
PROFESSOR WAGNER L. A. OLIVEIRA

ALCIDES AUGUSTO
JOSÉ PEDREIRA DE MACEDO NETO
IURI RAMOS ALVES
MARCELO MENEZES DE ALMEIDA

TRABALHO PRÁTICO

SALVADOR, BAHIA
30 de Julho de 2018

1. INTRODUÇÃO

O presente trabalho tem como objetivo a implementação no software Quartus Prime/ModelSim. Processadores padrão 1 endereço:

Tais máquinas também são conhecidas como arquiteturas a acumulador, uma vez que as instruções de dois operandos fazem referência implícita a um registrador especial, também chamado acumulador.

Sumário:

1. Máquina de Estados Padrão Moore;
2. Arquitetura CPU Padrão 1 Endereço;
3. Diagrama de Blocos;

CONVENÇÕES ENTRADAS:
OPCODEFLAG_NEGFLAG_ZERO

MACHINE MOORE FOR CPU

ATRIBUIÇÃO DEFAULT:

PC_INC -> 0
R_PC -> 0
WR_PC -> 0

R_RI -> 0

R_ACC -> 0
WR_ACC -> 0
ULA_TO_ACC -> 0

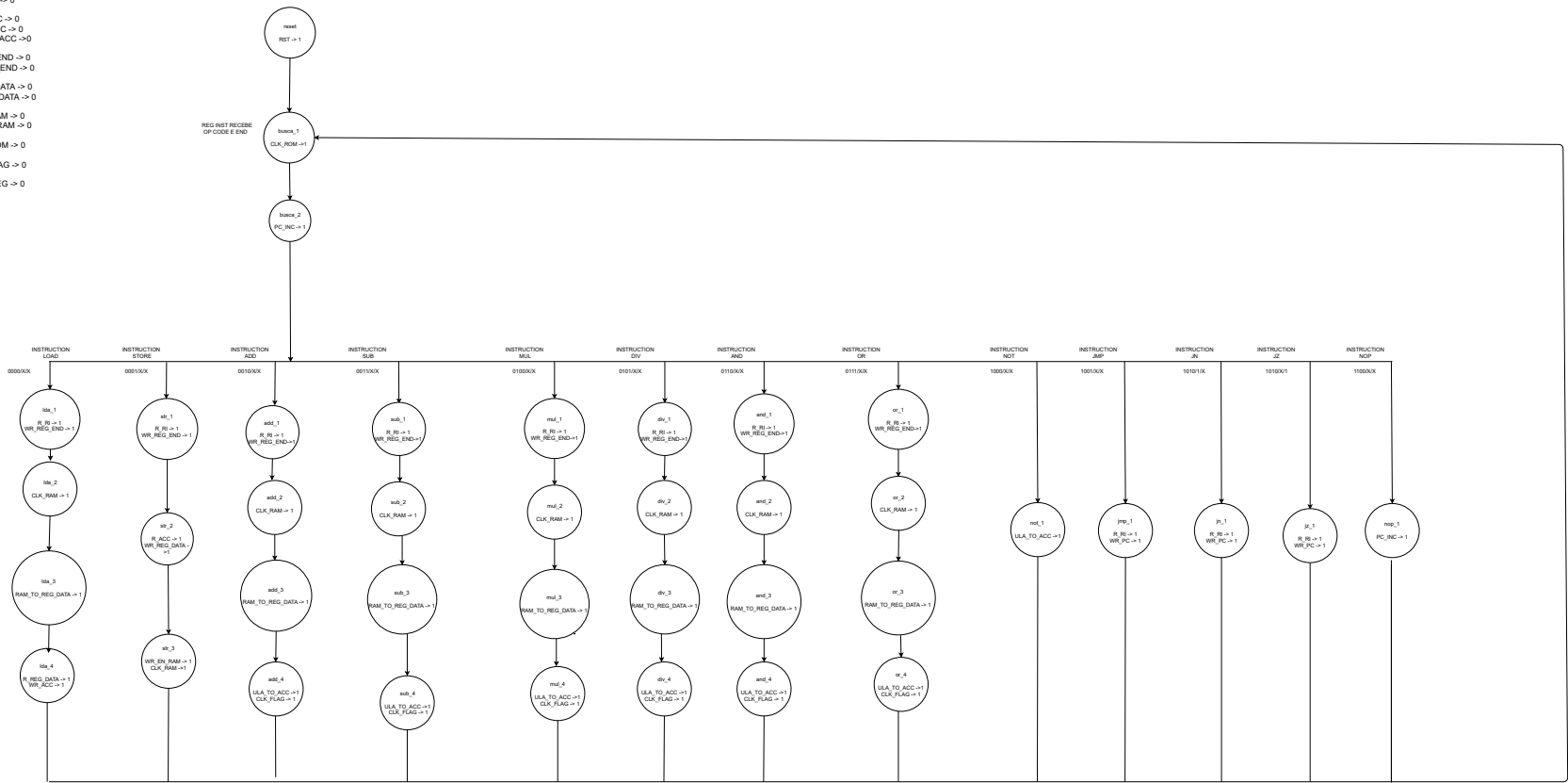
R_REG_END -> 0
WR_REG_END -> 0

R_REG_DATA -> 0
WR_REG_DATA -> 0

CLK_RAM -> 0
WR_EN_RAM -> 0

CLK_ROM -> 0

CLK_FLAG -> 0
RST_REG -> 0



CPU
ARCHITECTURE
1 ADDRESS

