

Università di Pisa

Progetto di un OTA con ingresso p e source follower di uscita

Studente:

Antonio Rasulo

Descrizione

Il progetto consiste nella realizzazione dello schematico e del layout di un OTA con ingresso a mosfet a canale p e source follower di uscita. Il dimensionamento dei transistor è stato effettuato in base alle specifiche di progetto:

- Corrente di polarizzazione Ibias = $30 \mu A$
- Lunghezza dei canali dei transistori $L = 1 \mu A$
- Tensione di overdrive Vgs-Vt = 200 mV \pm 20 mV
- Tensione di alimentazione Vdd = 2.5V

Per determinare la larghezza di canale di tutti i mosfet conviene determinare il rapporto W/L di uno dei mosfet del circuito; il rapporto W/L degli altri mosfet viene determinato attraverso regole di proporzione. La larghezza di canale dei transistori è stata determinata attraverso un procedimento iterativo in cui si usa un mosfet connesso a diodo che viene polarizzato con la corrente di riposo da cui è attraversato nel progetto. Questo procedimento iterativo viene effettuato fino a che la tensione di overdrive del mosfet non è nell'intorno della tensione di overdrive target (200mV ± 20 mV). Questo procedimento è stato effettuato utilizzando lo schematic editor LTSpice. I rapporti W/L ottenuti sono riportati nella seguente tabella dove con I0 e I0/2 si sono indicate le correnti di source (drain) dei transistori.

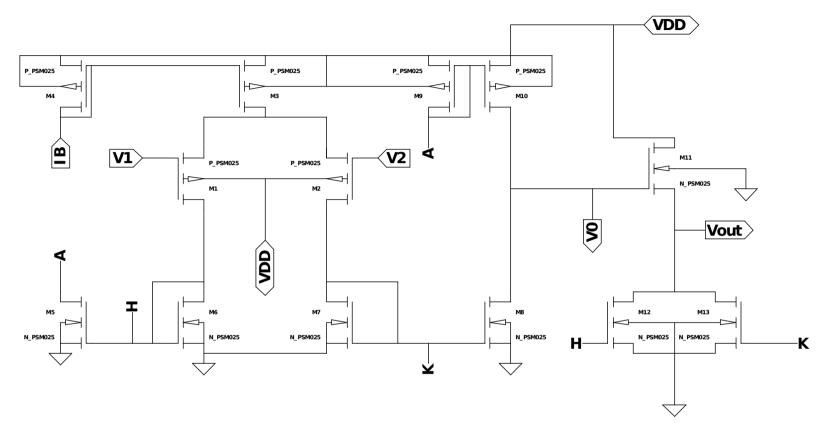
	10	I0/2
(W/L) p	26/1	13/1
(W/L) n	12/1	6/1

Fatto ciò è stato possibile descrivere lo schematico del circuito attraverso LTSpice. Successivamente si passa alla simulazione del circuito. Viene estratta la vista symbol dallo schematic view, i cui terminali di ingresso V1 e V2 vengono collegati ad un circuito che imposta le tensioni di modo comune (Vc) e di modo differenziale (Vd). Le simulazioni dc-sweep sono state effettuate andando a vedere come variavano la tensione di uscita dell' OTA (V0') e la tensione di uscita del source follower (Vout). Le simulazioni sono state effettuate facendo variare Vd nel tipico range di

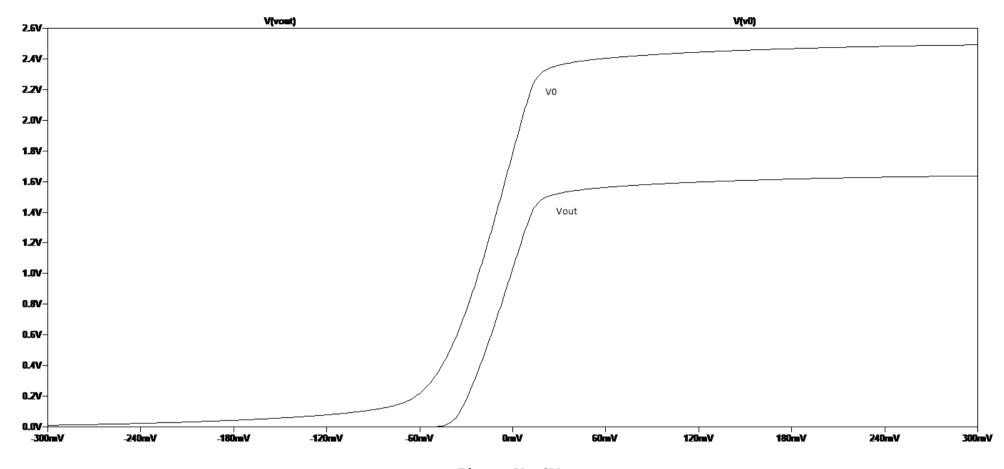
valori (-300mV ÷ 300 mV) analizzando i valori di uscita desiderati per i seguenti valori di Vc 0V; 0.5V; 1.25V; 2V; 2.5V. Dalle simulazioni si nota che fra V0' e Vout c'è una differenza di potenziale pari alla tensione Vgs del mosfet M11. Da ciò si nota che il valore massimo che V0' può raggiungere è proprio pari alla tensione di alimentazione Vdd mentre Vout al massimo può assumere il valore Vdd-Vgs.

Il passo successivo consiste nell'utilizzare un layout editor (Glade) per descrivere il layout del circuito. Una volta disegnato il layout del circuito viene effettuato il Design Rule Check (DRC) per verificare se sono state rispettate o meno le regole di layout. Una volta che il DRC ha dato esito positivo si può passare al Layout vs Schematic (LVS), il quale serve per verificare che il layout disegnato corrisponde al circuito che si vuole realizzare.

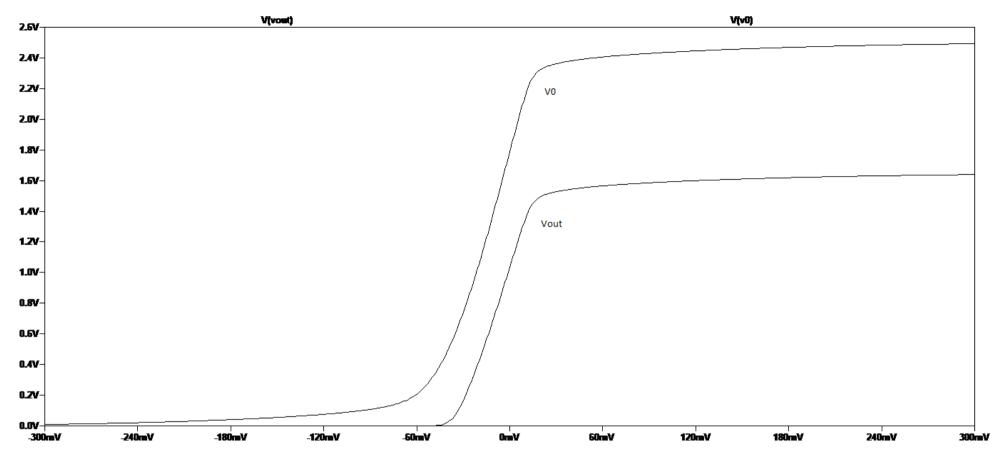
.lib PSM025.mos



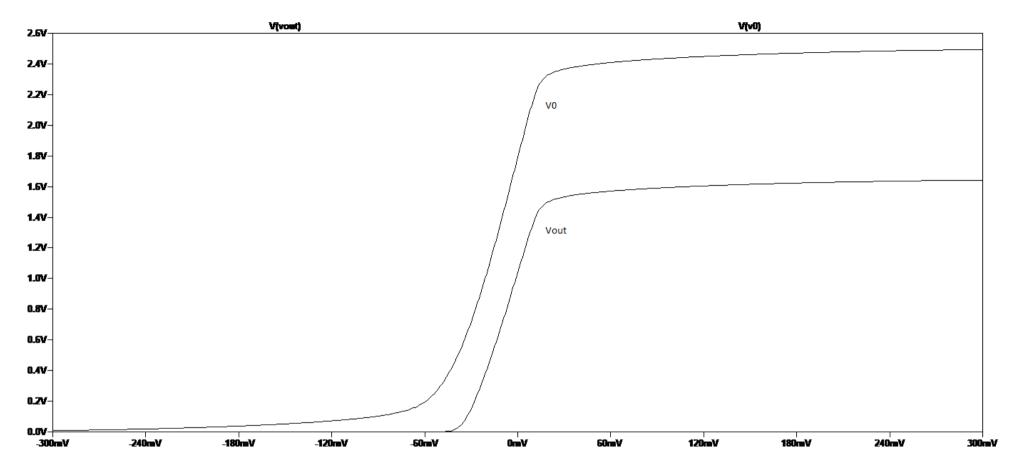
Schematico dell'OTA con ingresso a PMOS e source follower di uscita



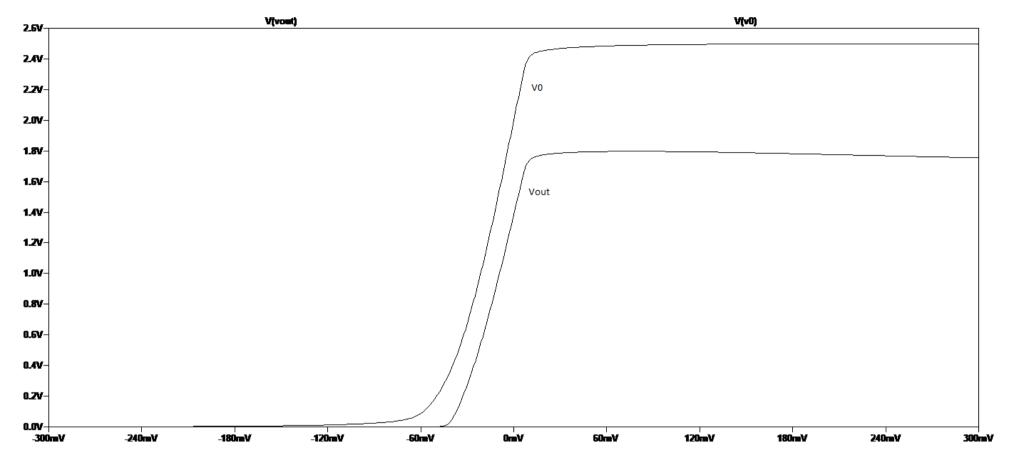
Plot per Vc=0V



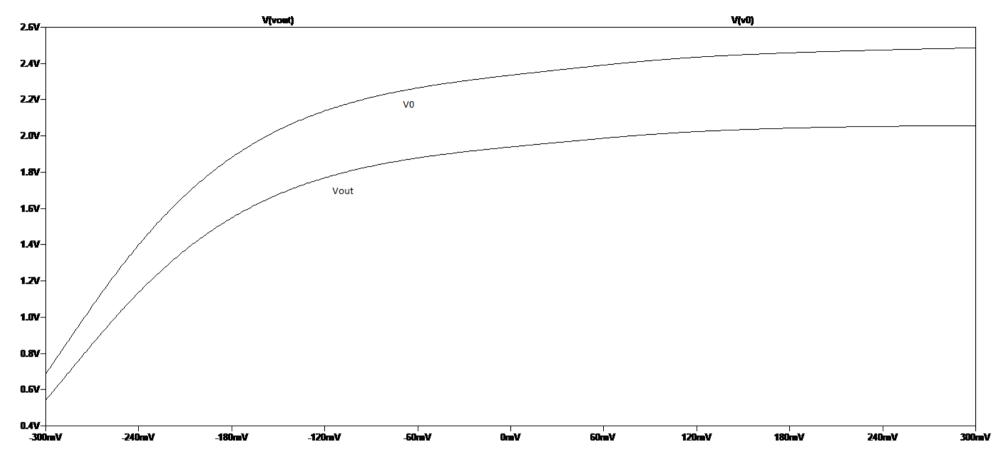
Plot per Vc = 0.5V



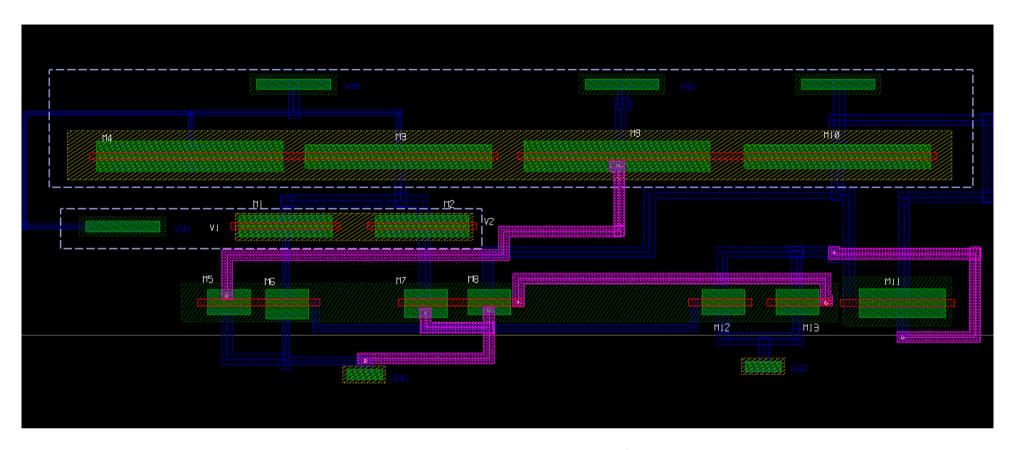
Plot per Vc = 1.25V



Plot per Vc = 2 V



Plot per Vc = 2.5V



Schematico dell' OTA con ingresso a PMOS e source follower di uscita

```
Gemini 2.7.4 (64 bit) Compiled at 12:52:04 on Feb 8 2019 by Visual C++ 13.2
Gemini started at 18:29:34 on 23/07/2019
______
  Netlist summary before reduction : OTAPMOS extracted.cdl
 Number of devices :
                    13
 Number of nets :
                   11
 Number of ports :
  Netlist summary before reduction : OTAPMOS.cir
 Number of devices :
                    1.3
 Number of nets :
                    11
 Number of ports :
  Netlist summary after reduction :
______
     OTAPMOS extracted.cdl
                            OTAPMOS.cir
 Number of devices: 13
                            13
 Number of nets :
                    11
                            11
 Number of ports :
There were no device property errors.
```

The netlists match.

17 (70%) matches were found by local matching.

All nodes were matched in 5 passes.

0 devices and 0 nets written to C:\Users\rafus\Documents\Progetto microelettronica analogica\Spice\sch-home\OTAPMOS.err

Gemini completed at 18:29:34 on 23/07/2019