

## Calcolo SAD tra due blocchi di immagini

1) Progettare un circuito digitale sincrono che realizzi il calcolo della SAD, definita come la somma delle differenze in valore assoluto pixel a pixel, tra due blocchi di immagini monocromatiche A e B. Si considerino blocchi di immagine di dimensioni 16 pixel x 16 pixel, ogni pixel è un numero intero tra 0 e 255 rappresentato su 8 bit. Il circuito ha come ingressi il segnale di clock, un segnale di reset, un segnale di enable e due segnali PA e PB su cui si ipotizza vengono forniti dall'esterno, in cicli successivi, i 256 pixel dei due blocchi di immagini A e B. In uscita il circuito ha un segnale SAD a 16 bit ed un segnale Data\_valid a 1 bit. In condizioni di reset SAD=0 e Data\_valid=0. Data\_valid viene settato alla fine del calcolo della SAD. Se enable=0 il circuito conserva il suo stato indipendentemente dal valore dei segnali di ingresso.

2) Al termine del punto 1 parametrizzare la descrizione VHDL estendola al caso generico di blocchi di dimensione NxN con N potenza di 2. Nota: i segnali di ingresso e di uscita rimangono gli stessi a meno di SAD la cui dimensione sarà n bit, con  $2^n \mid (255 \cdot N^2)$ ; la temporizzazione viene modificata in quanto vengono ricevuti dall'esterno  $N^2$  coppie di pixel.

La relazione finale del progetto deve contenere:

- ) Introduzione (descrizione algoritmo, possibili applicazioni, possibili architetture, etc.)
- ) Descrizione dell'architettura selezionata per la realizzazione (diagramma a blocchi, ingressi/uscite, etc.)
- ) Codice VHDL (con commenti dettagliati)
- ) Test-plan e relativi Testbench per la verifica
- ) Risultati della sintesi logica automatica su piattaforma Xilinx FPGA Zync: risorse utilizzate (slice, LUT, etc.), massima frequenza di funzionamento, cammino critico, etc. commentando eventuali messaggi di warnings.
- ) Conclusioni