

Mikro I

5/10/20

N. Στύλιος : nsklavos@upatras.gr

Open γραφείο : 13:00-15:00

Σήμερα Α. Δ.

Υπάρχει πρωτότυπη πρόταση για την πραγματική παραγωγή.

Μεταξύ της πρώτης σε Ακαδημαϊκό 2020-2021 ή

Την πρώτη σε διάλειψη → μετά αντιβαρού διαφάνειαν

### Περιγραφή Μικρού

- Να τι είναι Μικρομηχανή  
↳ θεωρείται design, πάρα, αλλά διεγενερείται
- RAM, ROM
- Περιφερειακή μέμοντα, κροτόνες, <sup>κανόνια κορδικών</sup>
- Είναι η μετατροπή των περιφερειακών μέμοντων
- Ζ80
- Μικρούς οικείων μηχανημάτων

Σύγχρονη αυτοκίνητα - 150-200 μεταμορφώσεις.

Περισσότερα στα μεσογειακά χώραν, ως ξηρή γεωγραφία, γείτονος

Τεχνική που βελτιώνεται σε απόδοση

Ο μικρομηχανής μπορεί να τονισεί πολλά, αλλά επιλέγεται,  
επιλέγεται μείζινα για να αποφεύγεται το τύπο των μικρομηχανών — προσδρομή βελτιστοποίησης.

Οι μηχανές είναι σίγουρα αρχιτεκτονική, που αρνείται  
να έρθει βελτιστημένη

Ιδιαίτερα κατά κεφαλή της παραγεί, που απορρίπτει  
το σχετικό σε ολούς των μηχανών

ειδούς ευρήματα - καρπούσιος πόλος για <sup>ειδικές</sup> μηχανές.

Φαίνεται δίκτη που σεβίζει αντανάκληση των λαγουδάκων

### Διαφορά

→ Μικροεπεξεργασία και Σχεδιαστική Μεροντογράφηση Συστήματος  
↳ ταύτιση Ημερομηνίας. Περιστάλτικα, Αλγόριθμοι

→ Διαγόρα - Μικροεπεξεργασία Τόπος 1: Μικροεπεξεργασία  
80x86 Pentium και Athlon

Klaviat

### Εποχή των διασπορών VLSI

1<sup>η</sup> γενιά (1945-1955)

↳ Αυξεντική, Μοντελική Τύπωση

2<sup>η</sup> γενιά (1955-1965)

↳ Transistor, Ολοκληρωμένη

3<sup>η</sup> γενιά (1965-1980)

↳ Κυκλωματική μετάδοση Κάψικας (LSI)

4<sup>η</sup> γενιά (1980-20??)

↳ Κυκλωματική μετάδοση Κάψικας αποκλιρύκηση (VLSI)

Εποχή → Moore Law

Δω αφορούσε πάντα το 100% των διασπορών των μηχανών της καθημερινότητας που

εποχή συγχρόνως ≠ εποχή εφαρμογής τεχνολογίας

05/10/20

## Mikro

\* Storji stopis funksjonele va karaktere rau nadicceps  
ekzistenss xwipi va xenguec lausouppitornca.

### general purpose

↳ New xpuskha cipassia livifin, over nollous kara xpuskha  
on dan ciwei anapansca

Itolu VZIKO dan enyainva radii anobas

Dan koncepti seroda upgrade eo hardware kia guskajn,  
gundue koncepti update eo software.

Storji seapfajn sinu ultronim focus li cikolav cpois  
nou dan ekspresiawonca ta idika xapakendisekti cew  
guskajn ~~600~~ oni<sup>600</sup> tixi.

ex. ~~Micro~~ seapfajn ee siadopetka guskajna  
ki opus va cpcxan gnu iido xpono.

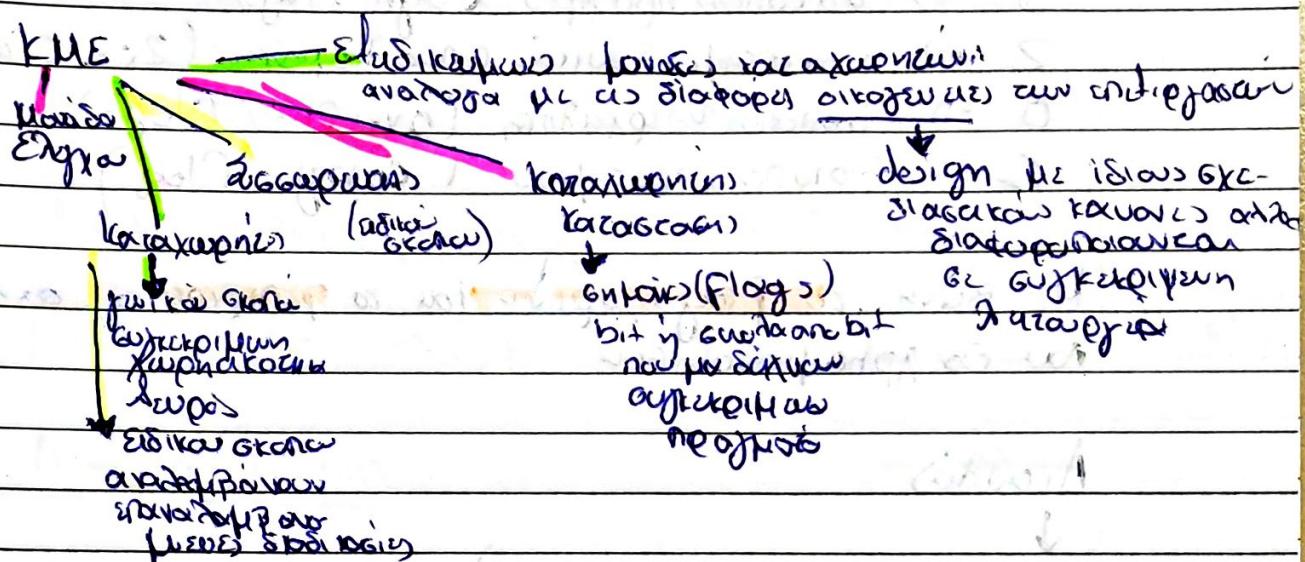
## Advances in Nollow rau Moore.

### Komponenti Kondensator - Transistor

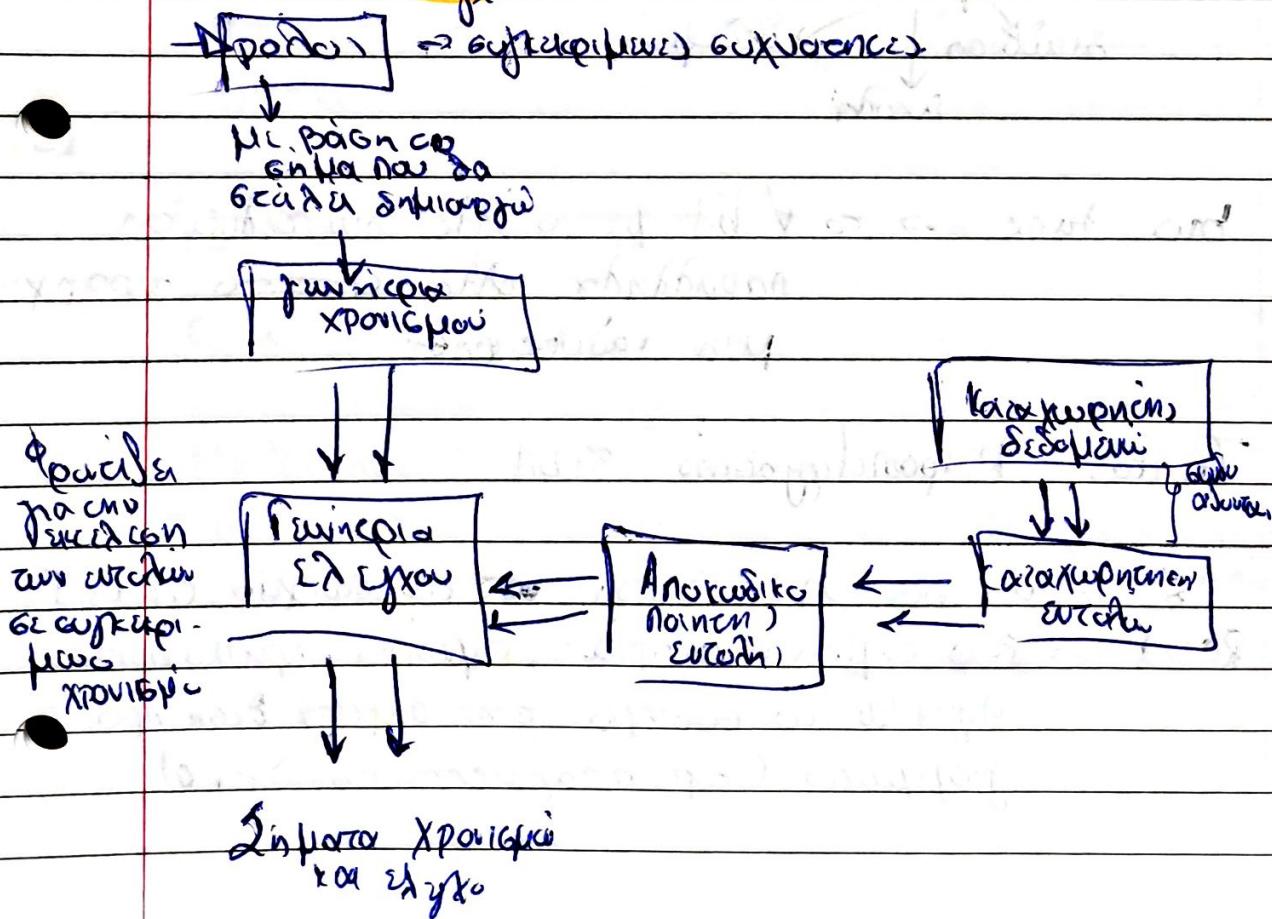
- SSI  $\rightarrow$  1-10 nuds LSI  $\rightarrow$  100-10.000 nuds
- MSI  $\rightarrow$  10-100 nuds VLSI  $\rightarrow$   $> 10000$  nuds

Micocystis → μολυβδίνη των πρώτων επικονιανών κυττάρων  
περι των συτεγμάτων.  
ex. purple, socket λάβη.

Tentativa 2016 (2) anno Apa. I & II.



## Μονάδα ελεγχού



## Ταπετζονικής καραβάγης (Status Register)



Επειχει τις λειτουργίες που χρησιμοποιεί η μηχανή  
in τα flags παρα τις συνθηκούσιες που δίνουν κατάλληλη  
ρεαλοποίηση των διευθυντικών

### Tα flags

S → διάκοπης προσήπως (Sign Flag)

Z → διακαμψίδας ανορθοστάσεως (Zero Flag)

O → διάκοπης υπέρχασης (Overflow Flag)

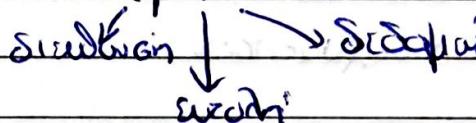
C → διάκοπης γραψίματος (Carry Flag)

Η σημασία των flags αριθμητικού περιεχομένου  
που διατίθενται στην επεξεργασία

## Λιανός



ορισμένη αριθμητική (radix) που μεταφέρειν  
κανονική τιμή.



bus tiene → es el bit que se añade durante la reducción  
número de bits → se suman más dígitos

## Tunitos Mikroprosessoris 8-bit

8 μηδια που αποτελούνται από τις διάφορες ομάδες  
Reset → Είναι αριθμητική radix, αριθμητική αριθμητική  
Ομάδα των συντηρητικών αριθμητικών διευθυντικών  
μετατροπών (στην απαραίτηση στην Ιστού)

Micro I

12/10/22

## Interrupt

avtikoxus diakritis

NMI (Non Maskable Interrupt)

→ αλλα απαγεμνευτική

αρχεία να γίνεται πάντα ανδράσια

- αναγίνεται πάντα κατα προγράμματος & από αυτού
- από εκτέλεσην

bus clock

clock → διανομέαν στα στατικά ιδιοχείρια

Little Endian → lsb σε διανομέαν στατικά

Dialectus (μηχανή)

Tuna Miner.

SRAM → static αναγνωριζόμενη

ROM → παραγόμενη αναγνωριζόμενη

DRAM

Σύστημα Στατικής Μηχανώσης

R/W → read / write

Μοντελούνται σα λύματα αριθμητικού τύπου  
διεύθυνσης.

Μηχανή κατοικίας μεταξύ των προσώπων που διαδικαστικά

19/01/20

Mirpolis

## Memory

### Noraml SRAM

#### SRAM

DB, AB, RW<sup>v</sup>, CE<sup>v</sup>, OE<sup>v</sup>  
 ↓  
 Address  
 n      Address  
 m

n = m ή n ≠ m

#### SRAM Structure

- Τα τοπικά πινίτη συνοδεύεται από μικρά πινίτη, γνωστά ως σιαλάτα.
- σιαλάτα → διδούμενη προστασία από αναγρέψια πινίτη
- σιαλάτα ⇒ σημαίνει ότι χρησιμοποιείται από ένα chip αν δεριστικό.

- Ο πιλορινός σχηματισμός του SRAM είναι το cache. Η πρώτη γραμμή πινίτης στον στρόγγυλο είναι γνωστή ως πρώτη γραμμή πινίτης και η τελευταία γραμμή πινίτης στον στρόγγυλο είναι γνωστή ως τελευταία γραμμή πινίτης.

- Αν το SRAM ήταν το cache της επεξεργαστής θα ήταν σημαντικός για την απόδοση της επεξεργαστής.

n max Χωρητικότητα : Data Bus × Address Bus.

μηδενικό κατοικία πινίτης να υπάρχει τασσεράτη

η να χρησιμοποιείται για την ίδια στοιχεία

$$\begin{aligned} DB &= 2^8 \quad | 2^8 \text{ Bytes} \\ AB &= 2^{11} \quad | = 4 \text{ Bytes} \\ &\quad | \text{ από } 8 \text{ KB η καθετική} \end{aligned}$$

η τοπικό τοπικό πινίτη για την απόδοση

των διδούμενων πινίτη.

Διαθέσιμη μένει μέχρι την πρώτη πρόσθιμη πινίτη.

## DRAM



Ηγαντικός μήνυσης vs SRAM

↓ Χρησιμοποιείται πλέον για αναγράφεις 1 bit.

Αρχιτεκτονική μνήμης που φέρει την τριπλή από την διπλή υποδομή  
και λιγότερη την χρήση DB.  
Μοιάζει πολύ με SRAM.



Εργαλεία 2 αριθμητών για προσδιορισμή γραμμής δεσμών  
• Η διασταύρωση για διάχυτη τηλ. σε λινίτινα

## Εγκατάσταση Αρχιτεκτονικής

Von Neumann

→ είδες χώρας διαδίδειν

η διαδίδειν διαδίδειν ανατίθεται

εις τοδιά στοιχία καθε

δορά και ίση πλούτος και

εγκατάσταση μηδελ.

Harrard.

→ ανταρέστη χώρας διαδίδειν  
προστίθεται από διάφορη

→ ανταρέστη χώρας από διάφορη  
διαδίδειν του χώρας

εγκατάσταση δεδουλών

## Pööri alustamine

→ O aktsi<sup>s</sup> eav aadressas annab puhendava tööde aadressid  
mõigustada ega esitataks tns kme n̄ eav mõõtmete muutumisen

- Alustan kruusatlon

- Alust qpnfmonioi jõu jõuks zahvetele mõud:

- ja xarjutamist kavandatakse
- mõõt ja mõõt mõõt ja sujuvalt otsitakse  
perifereelatele eel mõõt mõõt mõõt
- eav bussileks eav otsitakse ~~esku~~ mikrokontrolloriga

To overclocking eav aadressi cykliit  
antavaras) ro duty cycle pe eav xarvi aktiivise.

• Kui kõi eavide, mõõtide jaoks

• Oipes E/E → eav mõõtide mõõtide mõõtide

Apažiitoni: õige ja õige ja õige ja

(kõrgevõims) kõrgevõims) kõrgevõims) → oipes eav kõrgevõims) kõrgevõims)

Mr. Bäck eav mõõtide mõõtide mõõtide

(av da mõõt R i w)

n serial port → mõõtmine interrupt eav kme

ipa mõõt ja zõltu mõõt ja mõõt ja

## Χρονικός και Μηχανικός

μηχανικός εί  
σταθερή συγχρόνια  
είναι το σύστημα  
τον με απλογή  
μηχανικό να γίνει  
μηχανικός

μηχανικός προ  
διάρρησης διανομής

διανομής παραγόντων  
τον διανομής σύμφωνα  
τον διανομής

Οι προγραμματικές με "μηχανικό" (software) και σα  
απλογών οι οι μηχανικές καθαρά για λεπτά  
ενδιαφέροντα είναι.

Μικροκόμπος → Εξικεκριμένη λογιστική που έχει αναπτυχθεί  
και δεν προγραμματίζεται.

## Στάχτης Διακοπών

RST, INT, NM  
↓ | ↑  
αρχικοποίηση διάστασης παρεγγέλματος  
εγκρίγησης ΚΜΕ

← Σημείο είναι interrupt vector, στο οποίο ταΐζεται  
εγκρίνεται σε λογιστική διεύθυνση του ο πρόγραμμα counter.

Αλειχη προσπελαστή μηχανής

μηχανή υποδομής → από μηχανή ανεβασμάτων προς πρώτη

Nikos

26/10/25

Z80 → Sekaria Z80  
↓

μηροντηγασι

↳ Σω ακιναι απαραγον σι σινι outdated αλλα  
οι επωφελωται σε ειδοποιηση μασσα

Δω διαχνεν ταυτ ανοιχ ανι αρχιν, παριων  
και ~~την~~ την υπαρχοντα του ταυτ μικροσ εξδιαστη  
απαραγγιζο.

Zilog 280 → 5V

NMOS τηνετη.

↓  
 $f = 2.5 \text{ MHz}$

απροστητης T12  
(40)

Μηροντηγασι  
του αλλιω, με  
αλλα πακέτες

Βασιαι σε να

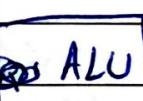
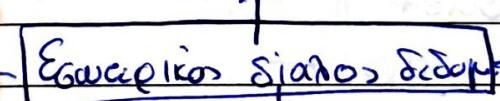
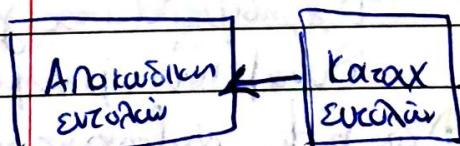
ταυτοποιηση σε α  
ειδοποιηση

εκτεργασι  $\rightarrow$  AB  $\rightarrow$  υπολογιστη

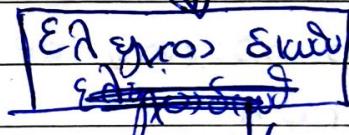
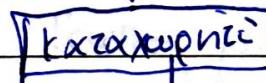
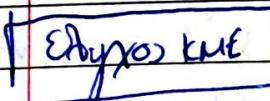
μαθησην

Εγκεφηλη Αριθμ 280

[Εγκεφηλη σιανι]



+



Διαυτοσ διωδ. 16 bit

2) ανόλα κασαχωριών ( $w \times w'$ )

2ο έπειτα όταν χρησιμοποιούσαν  
το αίτημα ως χώρο αποθήκευσης

V πέρα από ALU να χρησιμοποιήσουν με αυτοκαταστρέψιμης

vowel registers

in states επισπεδών

ταξιδιοί στο internal DB

τρόπος στοιχείων  
των κασαχωριών  
την καταγραφή

Control logic  $\rightarrow$  Ανολαδικούσαν και αντινομή

Εστιατορίους

Αιώνια

Διάκοπη 2V(8-bit)

ανατομία της περιεχομένης  
επικοινωνίας στον υπολογιστή

• Τα 8 msb  $\rightarrow$  διεύθυνση  
το άποτο της διεύθυνσης

$\rightarrow$  διανομέας μέσα

σταθμών

$\rightarrow$  μια παρένθετη  
ταστική, θα  
είδονταν  $\rightarrow$  πώς;

μια μίκη address

• Τα 8 lsb  $\rightarrow$  διεύθυνση των  
εγκαταστάσεων

Ανταντημένη

μηδέν 2 bit (8-bit)

Έχει αριθμητική

με την οποία μπορεί  
να είναι νομιμή  
η ημέρα ανάμεσα σε  
μέρη

$\rightarrow$  χρησιμοποιούται για  
συναρμόλωση μηδέν

$\rightarrow$  δια bit αυτονομεία  
ανταντημένη

$\rightarrow$  τα δια bit είναι αλτητή  
μεταξύ των

$\rightarrow$  Η ανατομία μηδέν  
να γίνει ταστική από την  
ταστική περιοχή  $\rightarrow$  τα γράμματα στο

Mikro

26/10/22

~~ΣΟΥΣ~~ Τις υποδομές με τις οποίες δούτε η επεξεργασία

Ιπτόσησης 16bit σε offset → IX & IY  
και πάλι εντολή (16 bit)

Δικτυος λειτουργίας SP 16 bit → LIFO

Μεμνίας Ηλεγγαρίας 16 bit

### Διαχείριση καραβίων F

S : Δικτυος αριθμητού (sign flag)

Z : Δικτυος μηδειτού αναδειγμάτος (zero flag)  
bx XOR (μας αγγίζει από την αριστερή πλευρά)

X : Δικτυος αριθμητού & bit )

H : H BCD ενδεικνύειν της αριθμητού (half carry)

P/V : Ενδεικνύει overflow

N : Δικτυος αριθμητού (negative flag)

C : Δικτυος κρατουμένων (carry flag)

O Συνδυασμός καταχ για σκοπού + με αυτόν να λιπογύει

να τα ταντούσσει στην επόμενη ενδεικνύειν της αριθμητού

$$\begin{array}{l} \text{δηλ} A \rightarrow F \\ \text{B} \rightarrow C \\ \text{D} \rightarrow E \\ \text{H} \rightarrow L \end{array} \quad \left. \right\} \text{BXE} \quad OX1$$

## Apidhnikarii kou Agrikis Mavida

### Transl. Standard Address

o piono nov eredu kadi wedi jana  
enonisai ta dianfa nov xpualica.

- Anodun (Absolute)

- Auran (Immediate)

- Ynvoaifawn (Implied)

↳ vnovoeien co qipifia

- 2xerui (Relative)

- Aarosxapui (Indexed)

- Epifun με Karaxupuis (Indirect)

- Diaduon Bit (Bit Address)

## Bus Adr

BUS REG & BUSACK

↳ anaflorenan an kafe

ano cnu Apidhnikarii anukui

ocan dianfa tui ca 2 ta xpung

muonui gow tui pumfi

## Sim paca (dyux)

- Mi → 3 iatactdegan → en gulta kou anideka  
↳ orientasi
- MR Eqv → 3 katasgaien

Mirrored active low

26/10/23

- IORQ ~ → 3w kdzagcasuv
  - RD ~ → → read
  - WR ~ → → write
  - REFSH ~ → → refresh

Multi-photon MRCA ~ 2 px and two junctions  
in fields can form

## Littera legyon na kME

- Halt  $\rightarrow$  Særlig i parti με M<sub>3</sub>
    - ↳ Ændring i øre Belebningssz. er opad en cykle  
 $\rightarrow$  Særlig με IORQ ~
      - ↳ zo nærmest  
SW kan også dæn  
præcipitation

- Wait ~  $\rightarrow$  ενδεική ανακοίνωση

- Int ~ → Disturb Fairly Strong  
(Interrupt Request)

- NMI  $\rightsquigarrow$  Device generates disturbance  
(Non maskable Interrupt)

Многие из которых не являются функцией

- Reset ~ kan Cdk ~  
↓ Apoptoseweg

## Xρωγήσις

Προστακίδης Συράχης

↳ απόφελη σύγραψη

Οι προτιμώνται μηδεμία να συγχρηματοδοτούνται  
μεσ.

~~σχέση~~

Mikro)

2/11/20

### Kύριος προσκόμιγνος μεταξύ M<sub>1</sub>

To αντίτο **M<sub>2</sub>** πας **διεύ** σε κύριο προσκόμιγνο μεταξύ



και αλληλεγγύης των AB διευθυντών του οριζόντιου

**MRCQ** → η αναγράφη διεύθυνση μηνής και οριζόντιου  
της ημέρας ή της ημέρας και της χρηματοποίησης  
καταβάσεων με

το **RD** → τα δεδομένα είναι εξαιρετικά αναρριχητικά

Τροχι κανονικότητα διμορφισμού

↓  
**Έστω σημείο του T<sub>3</sub>**

ταυτόχρονη ανανεώσιμότητα, τα **MRCQ** και **RD**

Tου T<sub>3</sub> και T<sub>4</sub> έχουμε Refresh! ✎

### Kύριος αναγριφέας M<sub>2</sub> του γεραρδίου M<sub>3</sub>

→ Είναι η τεχνητή ζωή είναι κάτιο πλήρες σε  
τα μηδαμούσαν οι προηγουμένως αυτούς τα διανομέων  
ευεργεία, αλλα προσδιορίζει στα πάνω πολλούς.

## Μικρομηχανές

gl1120

OI εγκίνει unassembly του 280

Παραδίδεται σεσαρτό μέσω του 280

↓  
Περιφερειακό ολοκληρωμένο κυτώνα  $\Rightarrow$  παραδίδεται δύπιν

I/O  $\Leftrightarrow$  280  
επικονιατικό

Πήδης αρθρώσιμης γραμμής ροπής

αναπόρρητης  
αντεπόρρητης

} διαμορφώνει το  
περιφερειακό κυτώνα  
} ως ένα παραδίδεται  
διαμορφώνει

PIO - Parallel Input Output Interface.

2 Οπίν  $\rightarrow$  I (A)  
 $\rightarrow$  O (B)

OI αρθρώσιμης γραμμής TTL  $\rightarrow$  αρα δικαιώματα με μετάλλια εγκίνει  
μεταφοράς δεδομένων  $\Rightarrow$  με χρήση διακοπών

~~επαρκεία  
ούτων πούπι~~

δεν σταθείται η λειτουργία  
αλλά φέρει σε ένα συγκεκριμένο

alarm conditions  $\rightarrow$

αποδοτικός

~~18/21~~ ARDY / BRDY RDY  $\rightarrow$  ready ή εγκίνει να διέρχεται διαδέσμευτη

~~16/17~~ ASTB / BSTB STB  $\rightarrow$  Εξειδικευμένη ή μεταδόσεις  
των δεδομένων

πιεσσότης εγκίνει  $\Rightarrow$  προσέξτε την ίδιαν την PIO

Καραράγες Λυραράρια (4)

- mode 0  $\rightarrow$  output
- mode 1  $\rightarrow$  input

- mode 2  $\rightarrow$  bidirectional
- mode 3  $\rightarrow$  bit control

## Mode 0

Ζίρπε  $\rightarrow$  παραχωρήσεις δεδουλεύσεων  
 $\downarrow$   
 ταυτοχρόνη εγγραφή any time

- Το σήμα RDY επιγνωμονίζει ότι οι δεδομένες είναι διαθέσιμες για ζίρπα
- Η επεξεργάτης αυτήν διαβάζει τα δεδομένα και μεταφέρει το STRB το οποίο ονομάζεται  $\Rightarrow$  προκατίτιος διάκοπης χρήσης πλοηγού handshake

## Mode 1

Ζίρπε  $\rightarrow$  παραχωρήσεις εγγραφής

Διαδοκιστικοτήτας σε κανονική διεργασία  
 ανταρέσκεται την 28η

- Η επεξεργάτης αυτήν ζίρψει το RDY και μεταφέρει το PTO
- Το σήμα στη θέση 0 το RDY  $\Rightarrow$  εγγραφή διάκοπης

## Mode 2

Οπήσια διόρθωση παραχωρήσεων  $\rightarrow$  παραχώρηση σήμα A  
 $\downarrow$   
 σε διάρκεια B  $\rightarrow$  mode 3

χρησιμοποιητική παραχωρήση  
 σήμα I και O  
 αναρριχή με mode 1  $\rightarrow$  αναρριχή με mode 0  
 $\downarrow$  αρχή της ASTB  $\rightarrow$  αναρριχή με mode 0  
 από την σήμα A στην σήμα B  
 σήματα υποβάσεων στη Β

SOS

Όταν τα modes τα οποία λαμβάνουν

Mikro1

Mode 3

Διαροή και σε 2 διπλές  
αλλά και Β Ρεγκέταν για mode 3 σαν σε A είναι mode 2.

To bit  $\rightarrow$  bit μεσού  
 $\rightarrow$  bit ελεύθερη  $\rightarrow$  RDY και STB Σε χρήση  
πολυτελείας

Τηρούμε διαροή μήδε των αρρεστών

Λύση για διπλή προσέγγιση  $\Rightarrow$  αρχικοποίουνται μόνι με  
την περιφερειακή ευθύνη

προσέξτε που αν  $\leftarrow$   
είναι Λιντ

διαβιβίζεται στην ευθύνη

Οι μεταβολές σε αρρεστές ευνοούνται για λόγια  
AND in OR είναι καθοριστικός για διπλή

nx είναι δύρα που επηρεαίζεται με την ποσότητα στατικής  
και είναι σημαντικό με μία ~~προσέγγιση~~ διπλή  
τούτη στην οποία οι διόδοι να γίνουν ζετερ  
παραδίδουν την αρχική διαροή που να μεταρχεί  
σε λόγια του (AND)

Aν ισχεί OR + λόγια μηδενίς (αλή)  $\rightarrow$  1 ευθύνη  
+ γραμμής (αλή)  $\rightarrow$  0 ή 1 οι ευθύνες είναι  
0

Aν η διδα σε χρησιμοποιήσει αυτά τα διατάξιμα τότε ο 280  
 $\Rightarrow$  mode 2.

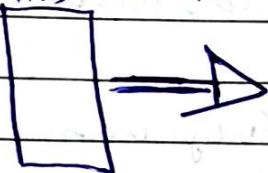
Χρησιμοποιείται διατάξιμη μόνο για να τοποθετηθεί  
είδης προσανατολισμού και όχι για ανελατογενεστήρια  
είναι διατάξιμη τα εκτίπωση

## Εγκατάσταση Δορυφόρου PIO

- Διανύσεις διανομέων μεν περίπου 280
- Μονάδα ελέγχου
- Μονάδα I/O : Θυρώ A, B
- Μονάδα ελέγχου διακοπών (Interrupt control)

### Αρχιτεκτονική διαίρεσης

A,B → η αρχιτεκτονική



- Εγκατάσταση κοράκων I/O → Διαίρεση διαδοχικών στοιχείων
- Μονάδα ελέγχου
- Καταχωρίσιας ελέγχου

- Η πραγματική διαδοχή => τοποχυτική διαδοχή

- κοράκων καταστάσεων  $\Rightarrow$  mode X

- οι υποδομές κοράκων  $\Rightarrow$  χρησιμοποιούνται mode 3

οι καταχωρίσιες διακοπές  $\rightarrow$  mask register



### mask control (2 bits)

η διαίρεση διαδοχικών στοιχείων  
η διαίρεση διαδοχικών στοιχείων

- Αν οι διαφορετικοί καταχωρίσεις διαίρεσης διαδοχικών στοιχείων είναι διαθέσιμη

- Αν προτίμευε διακοπής στοιχείων

- a) Οποιαδήποτε από τα μη κατανομούμενα bit στοιχείων στοιχείων (καταχωρίσεις OR) ή

- b) Όποια στα μη κατανομούμενα bit στοιχείων στοιχείων (καταχωρίσεις AND)

### Άριθμος

- 0 καταχωρίσεις καλύψουν σχετικά με την αριθμητική 1111 0100

Τα bit είσοδων 7, 6, 5, 4, 2 είναι καταχωρίσια: δωρεάν παραπομπές υποψηφίων.

Τα bit είσοδων 3, 1, 0 δεν είναι καταχωρίσια: παραπομπές υποψηφίων.

Mikrocontroller

9/11/20

- Εγεν οαι οι ακροδικοι εισοδοι γιαν την 1001 1100 : απειλητικοι εισοδοι τα bit xxxx 1X00 (3, 1, 0)

- Διαροτιν οαν οις οι εισοδοι ειναι υψηλοι : (Int Enable, AND/OR, High/Low = "1")  
→ Η εγκαρπιτων εισοδος δω προτοτιη διαροτιν

- Διαροτιν οαν τους αχιασον μια εισοδοι ειναι <1>η <0>  
: (Int Enable, AND/OR, High/Low = <1>, <0>, <1>η <0>)  
→ Η εγκαρπιτων εισοδος προτοτιη διαροτιν

## Μονάδα Σήμων Διαροτιν

Χερι Ιστη τα πρωτοτιη διαροτιν

Διαλογηρία διαδοροτιν  
προγραμματισμος

Η φυσικη διεύθυνση <sup>αναστατωση</sup> <sub>κινηση</sub> προγραμματισμα (n)

Mode(0,1,2) ⇒ Διαροτιν οαν το περιφερειακο αναστατωση περιοδορια μων και λαρακια

Mode 3: ⇒ Διαροτιν οαν οι ακροδικοι ειαν εγκεπι μετη την (8bit)

## Διαυδος Διαδικαση

⇒ Ανδει των PIO με των 280 αναδια

## Λογική Συστημάτων Ελέγχου

- Εξιταν των Διατάξεων για Τύπων
- Ελέγχος των Ρυθμώσεων: PLC και 280
- Διεργασίες των Ρυθμώσεων: προγραμματισμός

### Προγραμματισμός των PLC

⇒ Προγραμματισμός μιας δύναμης σας τυπωσίσεις Mode 0, 1, 2  
ανατί μήδε αυτός είχε ελέγχον

#### 1<sup>η</sup> Ρυθμός - Mode Control (8 bit)

D7-D6 : M1 M0

D3-D0 : Υποδικύνει την Ρυθμό καταστάσης που θέλεις  
οριστικά

η γενικότερη προσανατολισμένη λειτουργία που θέλεις

#### 2<sup>η</sup> Ρυθμός - Interrupt Vector (8 bit)

D7-D1 : V7 - V1

D0 : 0 → υποδικύνει σε έναν Ρυθμό συναντήσεων  
Σιακονών

#### 3<sup>η</sup> Ρυθμός - Interrupt Control (8 bit)

D6-D4 : Χρησιμοποιούνται πλέον σε mode 3.

D3-D0 : υποδικύνει την Ρυθμό ελέγχου σιακονών

D7 : Σημείο τα Interrupts

Ελέγχει αν οι σιακονίς πρέπει να ενεργεί ή όχι

Nikos1

9/11/20

## Программируемое на маке 3.

Хранение и обработка 2 или 4 регистра

• 1<sup>η</sup> Reg - Mode control (8 bits)

• 2<sup>η</sup> Reg - I/O Register Control Word (8 bits)

Кодификация языка для каждого регистра для каждого

Изменения <0>> GND активного бит : 0000

Изменения <1>> GND неактивного бит : 1100

• 3<sup>η</sup> Reg - Interrupt control.

• 4<sup>η</sup> Reg - Mask Control Word

- Единица для определения блокировки

- Для включения и отключения ядра и подача

на Interrupt Control.

## Кординация - Хранение/Изменение

Логарифмический: 1) Численный (Counter) 2) Арифметический  
2) Хронометр (Timer) Логарифмический

использование для синхронизации и хранения значений

и измерений как и времени

Асинхронные таймеры CTC

(то изображена синхрон.)  $\Rightarrow$  функция хранения и обработки 4 регистра

Exhibitio Diaphania Arpodia CIC

επωνύμοι πατέρων  $\Rightarrow$  φηρυκιούσιων αφίγ γραντ  
καταχωρίσι

## Лекции по алгебре

$I_E$ ,  $I_{E_0}$  : lepoxnha am Siatoniu

## Kotagosen Meophin Kurduwato

## Channel Control Register

Agencies (or organizations for <sup>the</sup> ASSEMBLY to identify)

Ecam Channel 1, CLK / TRG 1, nindos parfum: 46 (= 2E hex)  $\rightarrow$  on fur

корахврнців відповідь CS<sub>1</sub>, CS<sub>0</sub>: "01" ↑ да приливається

LDA , 5F hex → ncapin <sup>w</sup> korek. ejejow

OUT (41 hex), A  
10000000000000000000000000000000

Elastin (proline) (proline) (proline)

Egypten Xpartis Stadtstaat, sch. Stadtbau (41. hex.)

LDA , QE hex

OUT(41 hex), A

## Thesis Preparation

10 A, sphere

out (41 hex). A

10 A 2E hex

OUT(41 hex), A

Loop: *μετρών αναστάτωσης*  
*μετρών μηνινθαλών αναστάτωσης*

IN A, (41 hex)

CP ou hex ↪ kavw COMP CHV  
elphn cas Acc → A

TP NZ. LOOP

not zero

Action No prop in va

new technologies to mitigate

neoparkmerges to unioval  
made 7 categories for rank 10 bad to very

Nikko

g 111/20

О тараҳуарин) дүйнен оралы ва алғыларында оның іздеуіліктерін соңғыларда (37. каратасын Негендер көзделдіктар) саналады.

To bit co Control Register

	D7	D6	D5	D4	D3	D2	D1	Do
Egwun ST <sub>10</sub>	0	1	0	1	0	1	1	1
	↓	↓	↓	↓	↓	↓	↓	↓
alpha dec	colonial	terminal	debris	now	at xpon-			
Exudates	swan	rotation	clock	sch	sch			
	recursion	now	clck=1					
	↓	↓	↓					
end of dec	now	initials	alpha	n endow				
recursion			alpha	egg pecto				
now			exogenous	do				

On propose de fixer deux rôles distincts

$$\begin{array}{ccccccccc}
 n_x & D_7 & D_6 & D_5 & D_4 & | & D_3 & D_2 & D_1 & D_0 \\
 & 1 & 1 & 0 & 0 & | & 0 & 1 & 1_{(0)} & 1 \\
 = & C7_{(6)} \rightarrow \text{Razlagi pr ochenja} & & & & i & C5_{(6)} & \text{aploplai vw} \\
 & & & & & & & \text{6c xoxo} & \text{aplo} \\
 j & 0 & 1 & 0 & 0 & | & 0 & 1 & 1_{(0)} & 1 \\
 = & 47_{(6)} & & & & i & 45_{(6)} & \text{5swo} \\
 & & & & & & & \text{exw} & \text{Ncpcn}
 \end{array}$$

Mikros

23/11/20

## 280 - Interrupts

### Tί είναι ο διάτονος:

Ιελεμπρία μη παύει τη διάτονη  
Μη διαδικασία Διευθύνσιας

Είναι  $JMP^{(PC+L)}$  από την γέρνη σιντουνή  $(PC)$  σαν διεύθυνση διάτονης  
Όταν εγκατασταθεί στη διάτονη, επιστρέφει στο  $PC + 1$  από την  
~~παύση~~ τη διάτονη.

### Παραδείγματα Διάτονων

- Υπερχείλιση → μηδείς να είδε πλήρεις εφή του χρονίου / Ημέρας  
μηδείς να είδε την διάτονη
- Σφρήγη μεσοδοσών → αναδειχθείσαν από την ανάπτυξη  
η διάτονης που εκτείνεται
- Αναδιπλούσια γεγονότα  
↳ επωτιζόμενη διάτονη
- SW1 → ταχύτης πρόσθιας παραγόντων, κρούσματα σε λόγια φύτες κλπ
- Εναντίον RST → SW μηδείς, δέτειλ → αντί. μηδείς  
να μην κατεβεί

πού σταύρων να αφανίσουν κανούς που νεί στη διάτονη.  
μεταν

### Τριπληχιανή Διάτονη

### Καθορισμένη Διεύθυνση

1. Από την περιφερειακή διεύθυνση
2. Πινακά Διάτονη
3. Σταύρη Διένυση

## NMI

↳ default address: ~~0000~~ 0066<sub>(16)</sub>

Προγραμματική αρίθμηση των ενδικήσεων → ISR

• αρίθμηση των ενδικήσεων → ISR

• αρίθμηση των ενδικήσεων & επιλογές για την εντονώση

## INT

↳ κάθισμα address ή 127 διανυσματικός διάλογος

↳ προγραμματική επεξεργασία

ενδικήση για την παύση επεξεργασίας

## F/Fs

IFF<sub>1</sub>: μερικοί ή διάλογοι των ενδικήσεων INT

την παύση των ενδικήσεων INT και NMI

IFF<sub>2</sub>: ανατελεί την προγράμμα το IFF<sub>1</sub> για να επανεγκαταστήσει το NMI

## Διάλογοι NMI

↳ Αρχικά, το INT F/F<sub>1</sub> → θα αδρανολογιζει η κεντρικη

INT

↳ Λαμβάνει προτεραιότητα το NMI.

↳ στην επόμενη το IFF<sub>1</sub> επανεγκαταστήσει την ενδικήση του ανατελείται στο IFF<sub>2</sub>

So) Two possibilities of pausing (stopping) an interrupt (INT, NMI)

και να γίνει εφαρμογή διάλογοι

At: για NMI επεξεργασία INT την παύση

Nikola

23/11/20

### Mode 0 - IMO

↳ Μόδιο περιορισμένη στρατηγία → δω χρήσιμα μόνον επιλεγμένους

### Mode 1 - IM1

↳ Εγκάλετη JMP σε 0038<sub>16</sub>)

### Mode 2 - IM2

↳ Ηεράβιση σε μη προσδιορισμένη ή ταξιδιώτικη αντι-

- σε περιφερειακό καρτέλ X IV (Interrupt Vector)

με σύντομη byte → MSB

- Στριμούγεται σε γενικές ή προσδιορισμένες συνθήσεις  
και στατούνται → LSB

16 bit address → MSB + LSB

### Άρθρο των αρχετύπων αλγόριθμο

- Έχει καταλεξει σε μόνη IM2
- Έχει ανεγνωρισθεί σε IFFI
- αναγνωρίζεται σε πάντα INT n

Ο 280 αναρριχείται στην διατομή σεντόνων κεντρού  
ΟΙΑΝ σε ειδικές αδιέξοδες ουπέτες καθιερώνονται  
αριθμοί που θα κάνουν triggering σεντόνων  
κεντρού για να διαβάσει τις αριθμ. σεντόνων σεντόνων  
καθέστωση

με αυτό πως

σεντόνων κεντρού

φέρεται μέσω διανομέων διατομής

με σύντομη διατομή 16 bit που δεχόταν

† Υπάρχει διατομή σε αριθμούς διατομής mode ανα

1) подсурс INT Node 2

Auditorium

↳ speech act verbs are verbs with a → open except for Sindikativa  
    (z. B. SINDIKATIV)

~~24 hex~~ → ~~08 hex~~

Tharar Sardarwala

8008 → See also 8000 + 8 even to 80 next 08 net  
ans. to multiplication

## Finals Review

Eugenio

SOS Nu îmi se  
dă să răvâr  
mădăun cu  
succin) să nu  
fiecare să  
șoagăruia