

**ΤΜΗΜΑ ΜΗΧΑΝΙΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ  
ΥΠΟΛΟΓΙΣΤΩΝ ΚΑΙ ΠΛΗΡΟΦΟΡΙΚΗΣ  
ΠΟΛΥΤΕΧΝΙΚΗ ΣΧΟΛΗ ΠΑΝΕΠΙΣΤΗΜΙΟΥ ΠΑΤΡΩΝ**

**ΑΚΑΔΗΜΑΙΚΟ ΕΤΟΣ 2012-2013**



**ΑΝΑΦΟΡΑ ΤΡΙΤΗΣ ΑΣΚΗΣΗΣ ΕΡΓΑΣΤΗΡΙΟΥ  
ΗΛΕΚΤΡΟΝΙΚΗΣ II**

**Πιθαμίτσης Αλέξανδρος-Σπυρίδων 5402**

**Σκοπετέας Αναστάσιος 5424**

**Σκοπός :** Μελέτη των φλιπ φλοπ.

**ΑΠΑΡΑΙΤΗΤΑ ΥΛΙΚΑ:** Γεννήτρια, Breadboard, Παλμογράφος, Πολύμετρο, Ολοκληρωμένα Κυκλώματα

### ΕΡΩΤΗΜΑ 1 (NAND latch)

a)

Στο ερώτημα αυτό χρησιμοποιήθηκε ένα SR Latch σχεδιασμένο με πύλες NAND. Αφού υλοποιήθηκε το κύκλωμα όπως φαίνεται στο Σχήμα 1 του φυλλαδίου, καταγράφηκε η λειτουργία του και τα αποτελέσματα παρατίθενται στον παρακάτω πίνακα .

S	R	$Q_{t+1}$	$Q'_{t+1}$
0	0	1	1(αδύνατο)
0	1	1	0
1	0	0	1
1	1	$Q(t)$	$Q'(t)$

Πίνακας 3.1

Παρατηρούμε ότι όταν δίνουμε και στις δύο εισόδους Set και Reset την τιμή 0 ο μανδαλωτής έρχεται σε κατάσταση που δεν είναι λογική, αφού και οι δύο έξοδοί του είναι 1. Επίσης, όταν δίνουμε και στις 2 εισόδους 1η κατάσταση παραμένει ίδια με την προηγούμενη( $Q(t)$ ).

### ΕΡΩΤΗΜΑ 2 (D flip-flop)

a)

- Όπως παρατηρήσαμε κατά τη διάρκεια του πειράματος, η έξοδος του flip-flop αλλάζει μόνο κατά την άνοδο του παλμού χρονισμού και όταν η είσοδος είναι στο λογικό 1.
- Παρατηρούμε ότι η κατάσταση του φλιπ φλοπ παραμένει στο 0 για όποια τιμή και να δώσουμε στην είσοδο.
- Παρατηρούμε πως ό,τι και να δώσουμε στην είσοδο του φλιπ φλοπ, αυτό παραμένει στην κατάσταση 1.
- Και οι δύο έξοδοι Q και Q' παραμένουν στο λογικό 1. Αυτό όπως καταλαβαίνουμε δεν είναι λογικό. Διαπιστώνουμε ότι δεν πρέπει σε καμμία περίπτωση να έχουμε ταυτόχρονα ενεργοποιημένα τα Set και Reset.

- Η συμπεριφορά του φλιπ φλοπ είναι ακαθόριστη. Το συμπέρασμα που προκύπτει από αυτό το γεγονός είναι πως και οι δύο αυτές εισοδοι θα πρέπει πάντα να είναι συνδεδεμένες σε κάποιο δυναμικό.

b)

1.

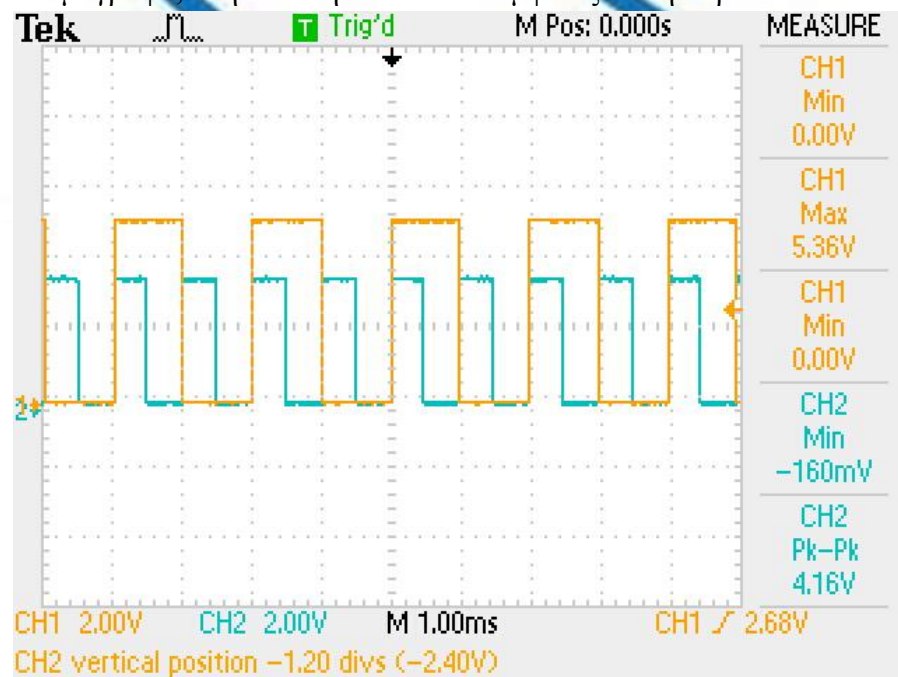
Υλοποιήθηκε το κύκλωμα όπως αυτό φαίνεται στο Σχήμα 6 του φυλλαδίου και μέσω τροφοδότησης με παλμούς της εισόδου σημάτων χρονισμού, λήφθηκαν τα απαραίτητα δεδομένα για την συμπλήρωση του παρακάτω πίνακα αληθείας του συγκεκριμένου φλιπ φλοπ.

D	Q	Q'
1	0	1
0	1	0

Πίνακας 3.2

2.

Το κύκλωμα του από παραπάνω ερωτήματος συνδέεται με μια γεννήτρια τετραγωνικών παλμών και η έξοδος συνδέεται με τον παλμογράφο, στην οθόνη του οποίου εμφανίζεται η παρακάτω εικόνα :

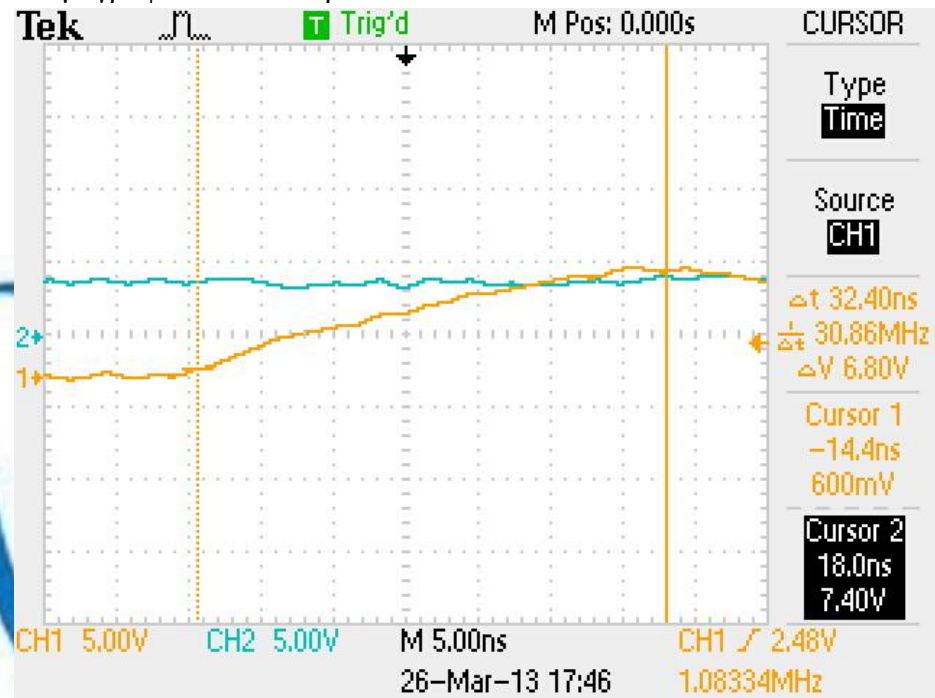


Εικόνα 3.1

Σύμφωνα με τα δεδομένα που λήφθηκαν παρατηρείται ότι η σχέση μεταξύ των δύο συχνοτήτων ρολογιού και εξόδου είναι  $f_{\text{clock}} = 2f_Q$ .

3.

Αυξήσαμε τη συχνότητα του σήματος χρονισμού σύμφωνα με τα ζητούμενα της άσκησης και τα δεδομένα που πήραμε από τον παλμογράφο είναι τα παρακάτω :

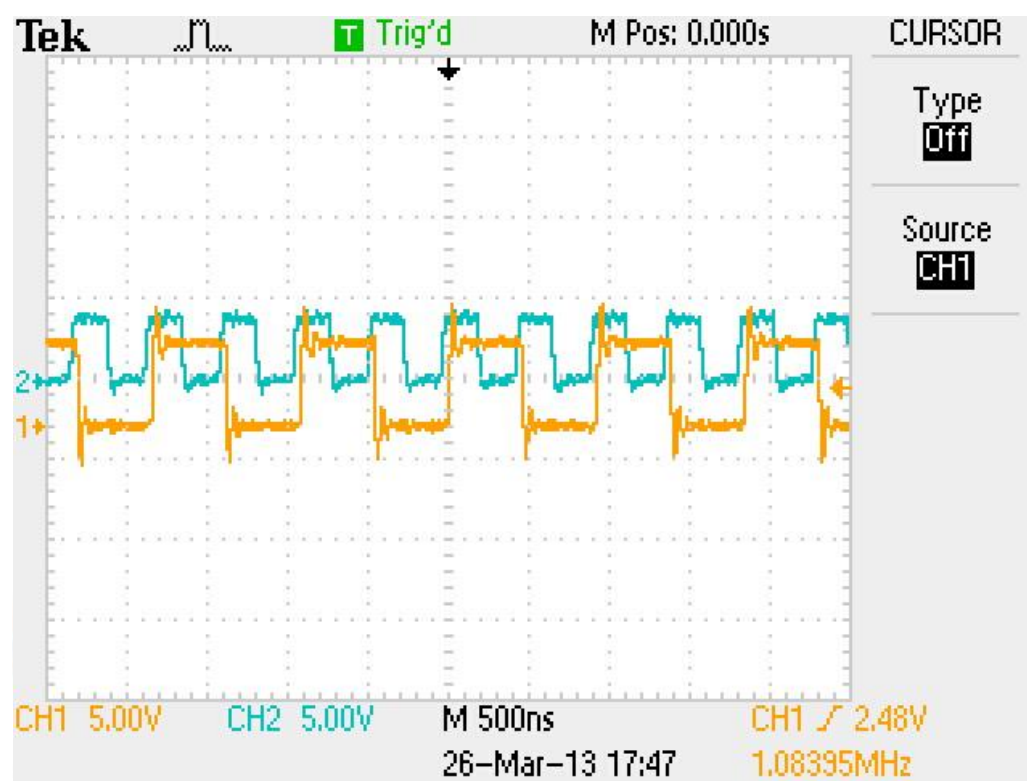


Εικόνα 3.2

Ο χρόνος διάδοσης του flip-flop όπως φαίνεται στο παραπάνω σχήμα είναι 32.4 ns.

Παρατηρούμε στον παλμογράφο τις κυματομορφές εισόδου-χρονισμού και έπειτα εισόδου – εξόδου. Η συχνότητα του σήματος χρονισμού είναι 100KHz.

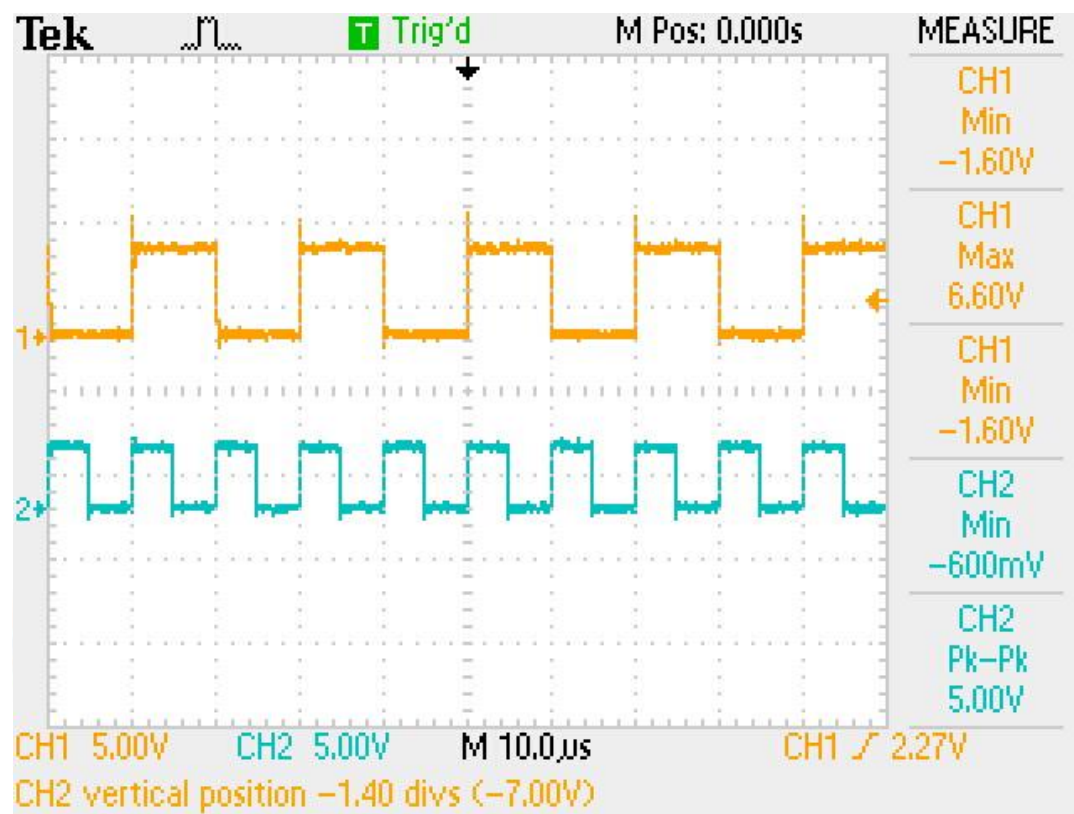
Με τις 2 πύλες AND :



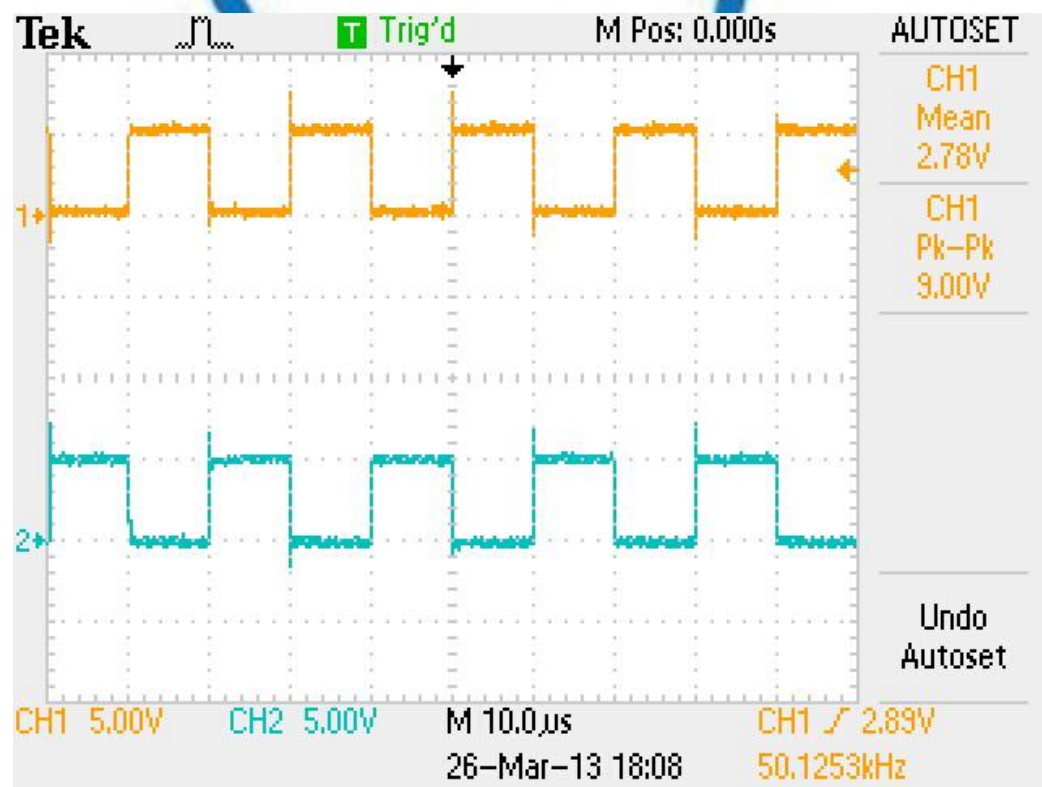
Εικόνα 3.3

Χωρίς τις πύλες AND :





Εικόνα 3.4



Εικόνα 3.5

Με την αφαίρεση των πυλών από το κύκλωμα η τιμή της συχνότητας του σήματος εξόδου τείνει να γίνει ίση με τη μισή τιμή της συχνότητας του σήματος χρονισμού. Η καθυστέρηση του κυκλώματος στην αρχή είναι αναμενόμενη, διότι οι δύο πύλες AND εισάγουν τη δική τους χρονική καθυστέρηση.

### **ΕΡΩΤΗΜΑ 3** (JK flip-flop)

a)

Ο πίνακας αλήθειας του JK flip-flop παρουσιάζεται στον παρακάτω πίνακα.

J	K	$Q_{n+1}$
0	0	$Q_n$
0	1	0
1	0	1
1	1	$Q_n'$

Πίνακας 3.3

b)

a)

Το J-K flip-flop λειτουργεί ως D flip-flop. Ακολουθεί ο πίνακας αληθείας του κυκλώματος.

Είσοδος	$Q_{t+1}$
1	1
0	0

Πίνακας 3.4

b)

Το J-K flip-flop λειτουργεί ως T flip-flop. Ακολουθεί ο πίνακας αληθείας του κυκλώματος.

Είσοδος	$Q_{t+1}$
1	$Q_t$
0	$Q_t'$

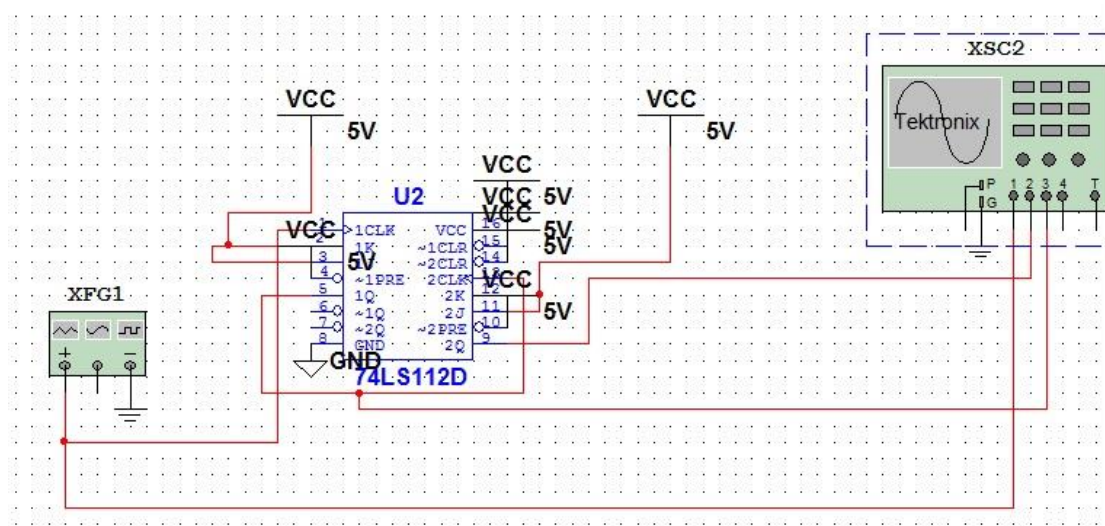
Πίνακας 3.5

#### **ΕΡΩΤΗΜΑ 4** (JK flip-flop σε μετρητές)

- a) Δύο J-K flip-flop ως T flip-flop λειτουργούν σαν έναν ασύγχρονο μετρητή 2bit ή έναν διαιρέτη με το 4.

•



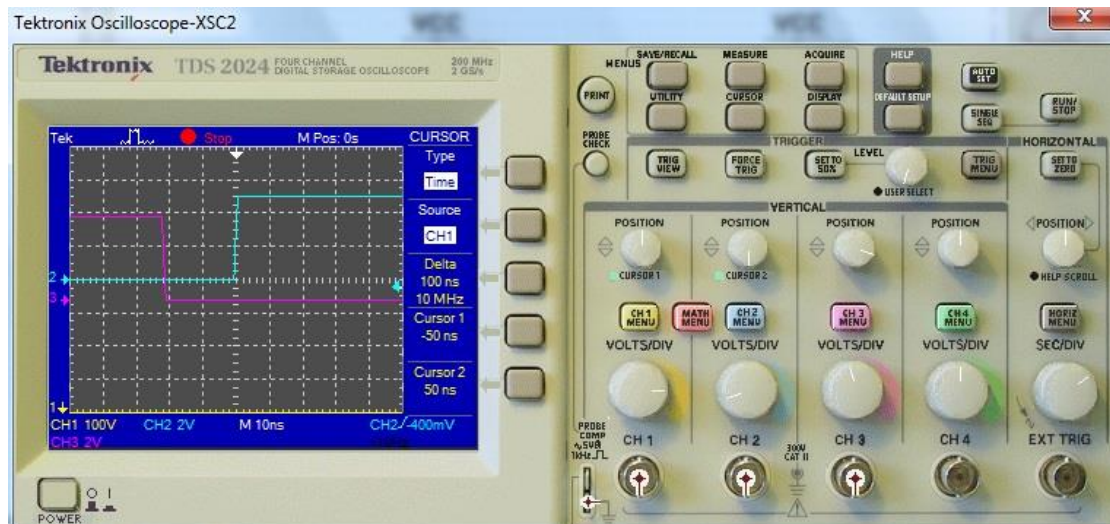


Σχήμα 3.1



Εικόνα 3.6

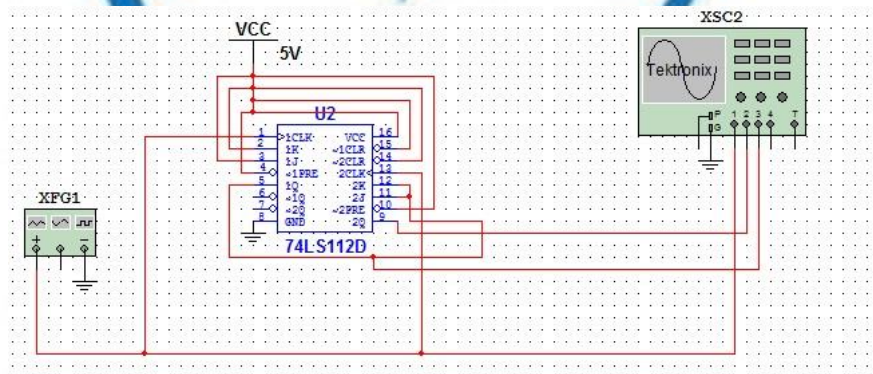
Παρατηρούμε ότι το  $Q_0$  αλλάζει έχει τη μισή συχνότητα από ότι το ρολόι και το  $Q_1$  μεταβάλλεται με υποτετραπλάσια συχνότητα .  $f_{CLK}=2f_{Q0}=4f_{Q1}$ .



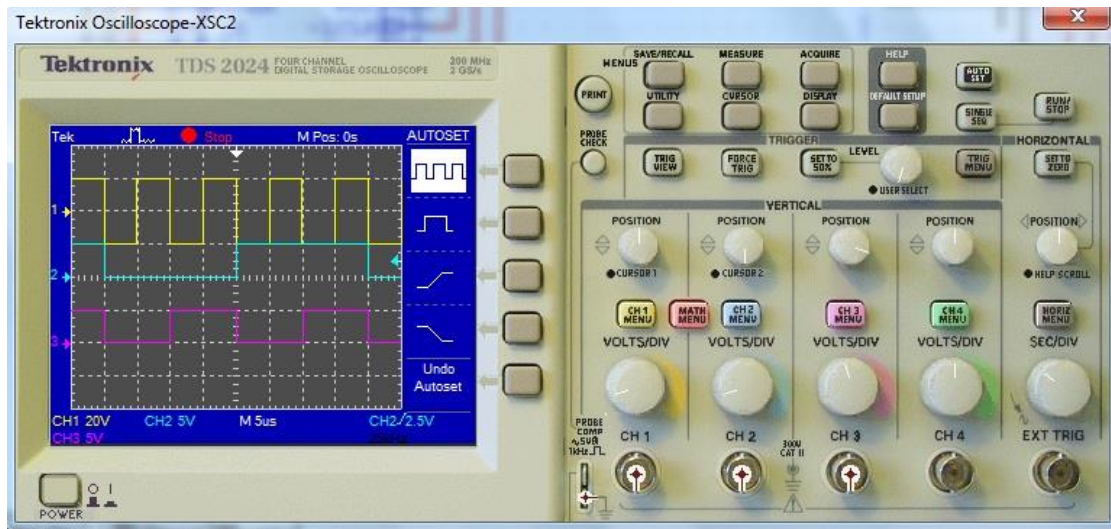
Εικόνα 3.7

Όταν η συχνότητα λειτουργίας αυξηθεί αρκετά παρατηρείται καθυστέρηση στα σήματα εξόδου σε σχέση με αυτό του ρολογιού. Η καθυστέρηση αυτή είναι περίπου 10ns και οφείλεται στον χρόνο διάδοσης του κάθε flip-flop.

b)



Σχήμα 3.2



Εικόνα 3.8

Όπως και στον ασύγχρονο μετρητή, έτσι και εδώ η συχνότητα του σήματος Q0 είναι η μισή της συχνότητας του σήματος χρονισμού, ενώ η συχνότητα του Q1 είναι τέσσερις φορές μικρότερη ρολογιού.  $f_{CLK}=2f_{Q0}=4f_{Q1}$ . Στον σύγχρονο μετρητή, δεν υπάρχει καθυστέρηση μεταξύ του Q0 και Q1 για συχνότητες πάρα πολύ μεγάλες. Το πρόβλημα, που συναντάται στους ασύγχρονους μετρητές, δεν υπάρχει λόγω του κοινού ρολογιού και για τα 2 flip-flop.

#### ➤ ΒΙΒΛΙΟΓΡΑΦΙΑ

- <<ΗΛΕΚΤΡΟΝΙΚΗ>> RIZZONI GIORGIO, ΤΟΜΟΣ 2, 2005, ΕΚΔΟΣΕΙΣ ΠΑΠΑΖΗΣΗ
- Μικροηλεκτρονικά κυκλώματα, Εκδόσεις Παπασωτηριου, Sedra Smith
- Διαδίκτυο (π.χ. Wikipedia)