

## 计算机组成原理 实验(四)

**实验项目名：** 运算器实验

**实验类型：** 验证性实验

**实验设备与软件环境：** TEC-9 计算机组成原理实验台、PC 机、组成原理实验环境

**实验要求：**

- (1) 掌握算术逻辑运算加、减、与等的工作原理。
- (2) 熟悉简单运算器的数据传送通路。
- (3) 验证实验台运算器的 8 位加、减、与、直通功能。
- (4) 按给定数据，完成几种指定的算术和逻辑运算。

**实验详细说明：**

### 一、本次实验涉及的实验电路

图 1 为本实验所用的运算器数据通路图。ALU 由 2 片 74LS181 构成。四片 4 位的二选一输入寄存器 74HC298 构成两个操作数寄存器 DR1 和 DR2，保存参与运算的数据。DR1 接 ALU 的 B 数据输入端口，DR2 接 ALU 的 A 数据输入端口，ALU 的输出通过三态门发送到数据总线 DBUS7—DBUS0 上，进位信号 C、Z 在 LDER=1 时，在 T4 上升沿保存在寄存器中。可显示 DR1、DR2 数据和运算结果。另有二个指示灯 C、Z 显示运算器进位信号状态。由 74LS181 构成的 8 位运算器的运算类型由选择端 S3、S2、S1、S0 选择，功能如下表 1 所示。

说明：为了保持 C、Z 信号，采用了寄存器方式，运算器标志位 C、Z 信号在 LDER=1 时，在 T4 的上升沿保存在标志寄存器中。在脱机实验时，如果需要查看标志位，须使 LDER=1，按一次 QD 输出一组节拍，使用 C、Z 保存在寄存器中，输出 C、Z 信号。

进位 C 只在加法运算和减法运算时产生，与、直通操作不影响进位 C 的状态，即进位 C 保持不变。减法运算采用加减数的反码再加以 1 实现。在加法运算中，C 代表进位；在减法运算中，C 代表借位。运算产生的进位在 T4 的上升沿送入 C 寄存器保存。

在 SW\_BUS 信号为 1 时，参与运算的数据通过一个三态门（SW\_BUS）送到 DBUS 总线上，进而送至 DR1 或 DR2 操作数寄存器。输入数据可由实验台上的 8 个二进制数据开关 SW0—SW7 来设置，其中 SW0 是最低位，SW7 是最高位。开关向上时为 1，开关向下时为 0。

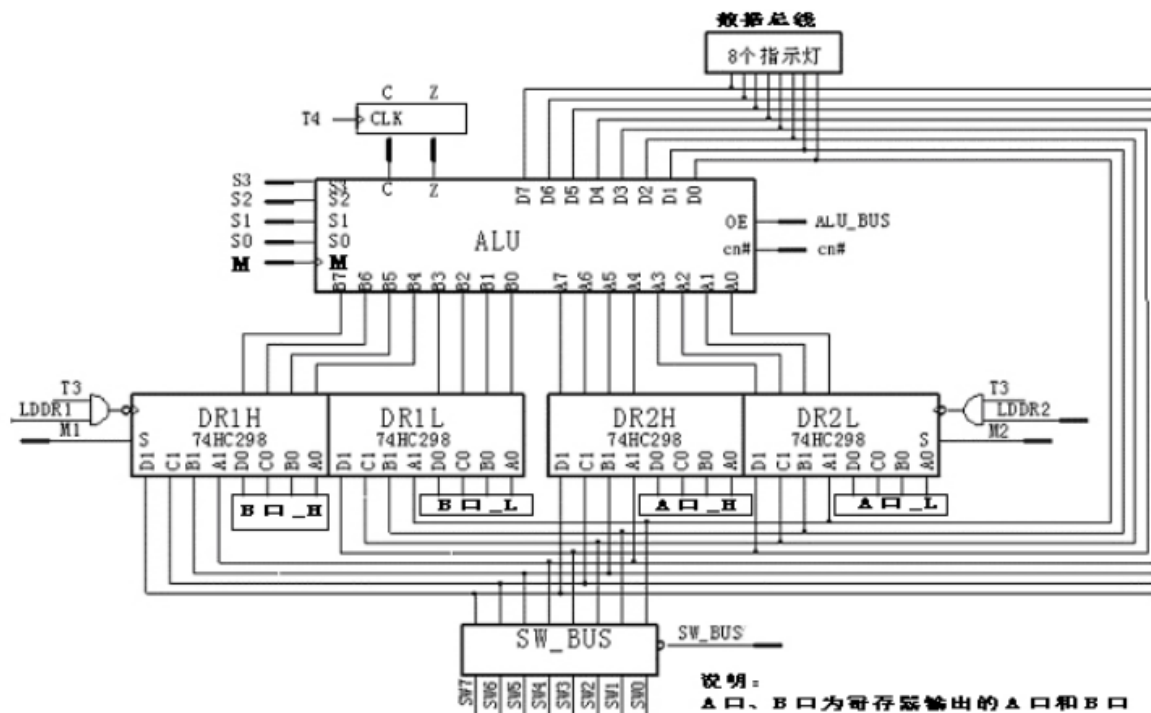


图 1 运算器数据通路图

表 1 74LS181 算术逻辑运算控制信号

运算器运算类型选择表 (\*: 表示移每一位到下更高有效位)

选择				高电平作用数据		
				M=H 逻辑功能	M=L 算术运算	
					CN=H 无进位	CN=L 有进位
S3	S2	S1	S0			
0	0	0	0	$F = \neg A$	$F = A$	$F = A + 1$
0	0	0	1	$F = \neg (A + B)$	$F = A + B$	$F = (A + B) + 1$
0	0	1	0	$F = (\neg A) B$	$F = A + \neg B$	$F = (A + (\neg B)) + 1$
0	0	1	1	$F = 0$	$F = \text{减} 1$	$F = 0$
0	1	0	0	$F = \neg (AB)$	$F = A + A(\neg B)$	$F = A + A(\neg B) + 1$
0	1	0	1	$F = \neg B$	$F = (A + B) + A(\neg B)$	$F = (A + B) + A(\neg B) + 1$
0	1	1	0	$F = A \oplus B$	$F = A \text{ 减 } B \text{ 减 } 1$	$F = A \text{ 减 } B$
0	1	1	1	$F = A(\neg B)$	$F = A(\neg B) \text{ 减 } 1$	$F = A(\neg B)$
1	0	0	0	$F = \neg A + B$	$F = A + AB$	$F = A + (AB) + 1$
1	0	0	1	$F = \neg (A \oplus B)$	$F = A + B$	$F = A + B + 1$
1	0	1	0	$F = B$	$F = (A + (\neg B)) + AB$	$F = (A + \neg B) + (AB) + 1$
1	0	1	1	$F = AB$	$F = AB \text{ 减 } 1$	$F = AB$
1	1	0	0	$F = 1$	$F = A + A^*$	$F = A + A + 1$
1	1	0	1	$F = A + \neg B$	$F = (A + B) + A$	$F = (A + B) + A + 1$
1	1	1	0	$F = A + B$	$F = (A + (\neg B)) + A$	$F = (A + (\neg B)) + A + 1$
1	1	1	1	$F = A$	$F = A \text{ 减 } 1$	$F = A$

控制信号均为电位信号。T3、T4 是脉冲信号，印制板上已连接到实验台的时序电路产生的 T3、T4 信号上。S3、S2、S1、S0、ALU\_BUS、LDDR2、LDDR1、M1、M2、SW\_BUS 各电位控制信号用电平开关 K0—K15 来模拟。K0—K15 是一组用于模拟各控制电平信号的开关，开关向上时为 1，开关向下时为 0，每个开关无固定用途，可根据实验具体情况选用。S3、S2、S1、S0、ALU\_BUS、LDDR2、LDDR1 为高电平有效，SW\_BUS 为高电平有效。M1=1 时，DR1 选择数据总线作为数据输入端；M1=0 时，DR1 选择寄存器 B 口作为数据输入端。当 LDDR1=1 时，在 T3 的下降沿，选中的数据被打入 DR1 寄存器。M2=1 时，DR2 选择数据总线作为数据输入端；M2=0 时，DR2 选择寄存器 A 口作为数据输入端。当 LDDR2=1 时，在 T3 的下降沿，选中的数据被打入 DR2 寄存器。

数据总线 DBUS 有 5 个数据来源：运算器 ALU，寄存器堆 RF，控制台开关 SW0—SW7，双端口存储器 IDT7132 和中断地址寄存器 IAR。在任何时刻，都不允许 2 个或者 2 个以上的数据源同时向数据总线 DBUS 输送数据，只允许 1 个(或者没有)数据源向数据总线 DBUS 输送数据。在本实验中，为了保证数据的正确设置和观察，请令 RS\_BUS = 0, LRW = 0, IAR\_BUS = 0。

为了在实验中，每次只产生一组 T1、T2、T3、T4 脉冲，需将实验台上的选择开关设置为单拍，每按一次 QD 按钮，则顺序产生 T1、T2、T3、T4 各一个单脉冲。本实验中采用单脉冲输出。

## 二、实验内容

1、用数据开关 SW0—SW7 向 DR1 和 DR2 寄存器置数。要求向 DR1 存入 AAH，向 DR2 存入 55H。

(1) 置 ALU\_BUS = 0，关闭 ALU 向数据总线 DBUS 的输出；置 SW\_BUS = 1，开启数据开关 SW0—SW7 向数据总线 DBUS 的输出。注意，对于数据总线 DBUS (或者其它任何总线)，在任一时刻，只能有一个数据源向它输出在数据开关 SW0—SW7 上设置各种数据，观察数据总线指示灯状态是否与数据开关状态一致。

(2) 置 M1=1，选择 DBUS 作为 DR1 的数据源；置 LDDR1=1，按 QD 按钮，则将 DBUS 的数据打入 DR1。置 M2=1，选择 DBUS 作为 DR2 的数据源；置 LDDR2=1，按 QD 按钮，则将 DBUS 的数据打入 DR2。

## 2、验证运算器的算术运算和逻辑运算功能。

置 SW\_BUS = 0，关闭数据开关 SW0—SW7 对数据总线 DBUS 的输出；置 ALU\_BUS = 1，开启 ALU 对 DBUS 的输出。正确选择 S3、S2、S1、S0，完成表 2 的实验内容，记下实验结果（数据和进位）并对结果进行分析。

3、结合实验二内容，设计硬件连线 and 实验步骤，完成从寄存器堆中取数参与运算，记下实验结果（数据和进位）并对结果进行分析。要求完成以下内容：

- (1) 设置 R0 值为 01100011；
- (2) 设置 R1 值为 10110100；
- (3) 设置 R2 值为 11111111；
- (4) 求得 R0+R1 的和，结果保存到 R3 中；
- (5) 求得 R1-R0 的差，结果保存到 R3 中；
- (6) 求得 R2 与 R2 的结果，保存到 R3 中。

## 三、实验操作的一部分步骤

### (1) 硬件连线

禁止中断寄存器、寄存器堆、双端口存储器向总线送数。M1、M2=1，使 DR1、DR2 从数据总线接收数据。将本次实验涉及的控制信号连接到控制开关上。

数据通路	IAR_BUS	RS_BUS	LRW	CEL	M1	M2	LDER
电平开关	GND	GND	GND	GND	VCC	VCC	VCC

信号	S3	S2	S1	S0	M	CN#	LDDR2	LDDR1	ALU_BUS	SW_BUS
开关	K9	K8	K7	K6	K5	K4	K3	K2	K1	K0

### (2) 实验台设置

- ① 本次实验采用手动方式，将 DB、DZ、DP 设为 001，单拍工作模式。
- ② 将控制器设置为“脱机”方式

### (3) ALU 的操作控制

- ① 写寄存器 DR1：将 AAH 写入 DR1(B 口)

信号		S3	S2	S1	S0	M	CN#	LDDR2	LDDR1	ALU_BUS	SW_BUS
开关	SW7~0	K9	K8	K7	K6	K5	K4	K3	K2	K1	K0
状态	AAH	0	0	0	0	0	0	0	1	0	1

## ② 写寄存器 DR2：将 55H 写入 DR2（A 口）

信号		S3	S2	S1	S0	M	CN#	LDDR2	LDDR1	ALU_BUS	SW_BUS
开关	SW7~0	K9	K8	K7	K6	K5	K4	K3	K2	K1	K0
状态	55H	0	0	0	0	0	0	1	0	0	1

## ③ 算术逻辑运算实验

信号		S3	S2	S1	S0	M	CN#	LDR2	LDR1	ALU_BUS	SW_BUS
开关	SW7~0	K9	K8	K7	K6	K5	K4	K3	K2	K1	K0
状态	XXH	X	X	X	X	X	1	0	0	1	0

改变运算器控制信号开关，观察实验结果。

### 实验报告要求：

- (1) 根据个人理解, 画出本次实验的电路逻辑框图。
- (2) 详细说明, 本次实验所用到的控制信号及作用。
- (3) 在实验台完成以下操作, 并记录所使用的控制信号、如何查看的操作效果、遇到的问题及解决方法。
  - ① 使用寄存器中的简单数据, 测试 74LS181 的功能表, 记录结果如表 2 所示。将试验台运行结果与手算结果进行比较, 理解 74LS181 的功能。
  - ② 尝试写出实现以下指令的控制信号序列。

#### a) 算术运算指令

ADD Rd, Rs        // ADD Rd, mem

SUB Rd, Rs        // SUB Rd, mem

INC Ri            // INC mem

DEC Ri            // DEC mem

#### b) 逻辑运算指令

AND Rd, Rs

OR Rd, Rs

XOR Rd, Rs

NOT Ri

表 2 运算器控制实验结果填写表

工作方式	逻辑运算 M=1			算术运算 M=0 CN=1			算术运算 M=0 CN=0		
S3S2S1S0	运算	运算结果	C、 Z	运算	运算结果	C、 Z	运算	运算结果	C、 Z
0000									
0001									
0010									
0011									
0100									
0101									
0110									
0111									
1000									
1001									
1010									
1011									
1100									
1101									
1110									
1111									