

第一单元

2. 如何理解计算机系统的层次结构?

5. 冯·诺依曼计算机的特点是什么?

6. 画出计算机硬件组成框图,说明各部件的作用及计算机硬件的主要技术指标.

7.解释概念:主机、CPU、主存、存储单元、存储元件、存储基元、存储元、存储字、存储字长、存储容量、机器字长、指令字长。

8. 解释英文代号:CPU、PC、IR、CU、ALU、ACC、MQ、X、MAR、MDR、I/O、MIPS、CPI、FLOPS。

12.什么是指令？什么是程序？

第三单元

1.什么是总线?总线传输有何特点?为了减轻总线的负载,总线上的部件都应具备什么特点?

2. 总线如何分类?什么是系统总线?系统总线又分为几类,它们各有何作用,是单向的,还是双向的,它们与机器字长、存储字长、存储单元有何关系?

4. 为什么要设置总线判优控制?常见的集中式总线控制有几种,各有何特点,哪种方式响应时间最快, 哪种方式对电路故障最敏感?

5. 解释概念:总线宽度、总线带宽、总线复用、总线的主设备(或主模块)、总线的从设备(或从模块)、总线的传输周期、总线的通信控制。

6. 试比较同步通信和异步通信。

7.画图说明异步通信中请求与回答有哪几种互锁关系

10. 什么是总线标准?为什么要设置总线标准?目前流行的总线标准有哪些?什么是即插即用,哪些总线有这一特点?

13. 什么是总线的数据传送速率,它与哪些因素有关?

14. 设总线的时钟频率为 8MHz,一个总线周期等于一个时钟周期。如果一个总线周期中并行传送 16 位数据,试问总线的带宽是多少?

15. 在一个 32 位的总线系统中,总线的时钟频率为 66MHz,假设总线最短传输周期为 4 个时钟周期,试计算总线的最大数据传输率。若想提高数据传输率,可采取什么措施?

16. 在异步串行传送系统中,字符格式为:1 个起始位、8 个数据位、1 个校验位、2 个终止位。若要求每秒传送 120 个字符,试求传送的波特率和比特率。

第四单元

7. 一个容量为 16Kx32 位的存储器,其地址线和数据线的总和是多少?当选用下列不同规格的存储芯片时,各需要多少片?

1Kx4 位,2Kx8 位,4Kx4 位,16Kx1 位,4Kx8 位,8Kx8 位

11. 一个 $8K \times 8$ 位的动态 RAM 芯片,其内部结构排列成 256×256 形式,读/写周期为 $0.1\mu s$ 。试问采用集中刷新、分散刷新及异步刷新三种方式的刷新间隔各为多少?

4.15 设 CPU 共有 16 根地址线,8 根数据线,并用 \overline{MREQ} (低电平有效) 作访存控制信号, R/\overline{W} 作读/写命令信号(高电平为读,低电平为写)。现有这些存储芯片:ROM($2K \times 8$ 位, $4K \times 4$ 位, $8K \times 8$ 位),RAM($1K \times 4$ 位, $2K \times 8$ 位, $4K \times 8$ 位)及 74138 译码器和其他门电路(门电路自定)。

试从上述规格中选用合适的芯片,画出 CPU 和存储芯片的连接图。要求如下:

- (1) 最小 $4K$ 地址为系统程序区, $4096 \sim 16383$ 地址范围为用户程序区。
- (2) 指出选用的存储芯片类型及数量。
- (3) 详细画出片选逻辑。

17. 写出 1100、1101、1110、1111 对应的汉明码

18. 已知接收到的汉明码(按配偶原则配置)为 1100100、1100111、1100000、1100001,检查上述代码是否出错?第几位出错?

28. 设主存容量为 256K 字,Cache 容量为 2K 字,块长为 4。

(1)设计 Cache 地址格式,Cache 中可装入多少块数据?

(2)在直接映射方式下,设计主存地址格式,

(3)在四路组相联映射方式下,设计主存地址格式。

(4)在全相联映射方式下,设计主存地址格式。

(5)若存储字长为 32 位,存储器按字节寻址,写出上述三种映射方式下主存的地址格式

29. 假设 CPU 执行某段程序时共访问 Cache 命中 4800 次,访问主存 200 次,已知 Cache 的存取周期是 30ns,主存的存取周期是 150ns,求 Cache 的命中率以及 Cache-主存系统的平均访问时间和效率,试问该系统的性能提高了多少?

30. 一个组相联映射的 Cache 由 64 块组成,每组内包含 4 块。主存包含 4096 块,每块由 128 字组成,访存地址为字地址。试问主存和 Cache 的地址各为几位?画出主存的地址格式。

第五单元

11. 简述 I/O 接口的功能和基本组成。

12. 结合程序查询方式的接口电路,说明其工作过程。

14. 在什么条件下,I/O 设备可以向 CPU 提出中断请求?

16. 在什么条件和什么时间,CPU 可以响应 I/O 的中断请求?

25. 根据以下要求设计一个产生 3 个设备向量地址的电路。

(1) 3 个设备的优先级按 A→B→C 降序排列。

(2) A、B、C 的向量地址分别为 110100、010100、000110

(3) 排队器采用链式排队电路。

(4) 当 CPU 发来中断响应信号 INTA 时,可将向量地址取至 CPU。

29. 结合 DMA 接口电路说明其工作过程。

35. 试从 5 个方面比较程序中断方式和 DMA 方式的区别

第六单元

6.4 设机器数字长为 8 位(含 1 位符号位在内),写出对应下列各真值的原码、补码和反码。

$$-\frac{13}{64}, \frac{29}{128}, 100, -87$$

6.5 已知 $[x]_{\text{补}}$, 求 $[x]_{\text{原}}$ 和 x 。

$$[x]_{\text{补}} = 1.1100; [x]_{\text{补}} = 1.1001; [x]_{\text{补}} = 0.1110; [x]_{\text{补}} = 1.0000;$$

$$[x]_{\text{补}} = 1, 0101; [x]_{\text{补}} = 1, 1100; [x]_{\text{补}} = 0, 0111; [x]_{\text{补}} = 1, 0000。$$

6.12 设浮点数格式为:阶码 5 位(含 1 位阶符),尾数 11 位(含 1 位数符)。写出 $\frac{51}{128}$ 、 $-\frac{27}{1024}$ 、7.375、-86.5 所

对应的机器数。要求如下:

- (1) 阶码和尾数均为原码。
- (2) 阶码和尾数均为补码。
- (3) 阶码为移码,尾数为补码。

6.19 设机器数字长为 8 位(含 1 位符号位),用补码运算规则计算下列各题。

(1) $A = \frac{9}{64}, B = -\frac{13}{32}$, 求 $A+B$ 。

(2) $A = \frac{19}{32}, B = -\frac{17}{128}$, 求 $A-B$ 。

(3) $A = -\frac{3}{16}, B = \frac{9}{32}$, 求 $A+B$ 。

(4) $A = -87, B = 53$, 求 $A-B$ 。

(5) $A = 115, B = -24$, 求 $A+B$ 。

6.20 用原码一位乘、两位乘和补码一位乘(Booth 算法)、两位乘计算 $x \cdot y$ 。

(1) $x=0.110111, y=-0.101110$ 。

(2) $x=-0.010111, y=-0.010101$ 。

(3) $x=19, y=35$ 。

(4) $x=0.11011, y=-0.11101$ 。

6.21 用原码加减交替法和补码加减交替法计算 $x \div y$ 。

(1) $x=0.100111, y=0.101011$ 。

(2) $x=-0.10101, y=0.11011$ 。

(3) $x=0.10100, y=-0.10001$ 。

(4) $x=\frac{13}{32}, y=-\frac{27}{32}$ 。

6.26 按机器补码浮点运算步骤计算 $[x \pm y]_{\text{补}}$ 。

(1) $x = 2^{-011} \times 0.101100, y = 2^{-010} \times (-0.011100)$ 。

(2) $x = 2^{-011} \times (-0.100010), y = 2^{-010} \times (-0.011111)$ 。

(3) $x = 2^{101} \times (-0.100101), y = 2^{100} \times (-0.001111)$ 。

第七单元

1. 什么叫机器指令?什么叫指令系统?为什么说指令系统与机器的主要功能以及与硬件结构之间存在着密切的关系?

2. 什么叫寻址方式?为什么要学习寻址方式?

3. 什么是指令字长、机器字长和存储字长?

6. 某指令系统字长为 16 位,地址码取 4 位,试提出一种方案,使该指令系统有 8 条三地址指令、16 条二地址指令、100 条一地址指令。

7. 设指令字长为 16 位,采用扩展操作码技术,每个操作数的地址为 6 位。如果定义了 13 条二地址指令,试问还可安排多少条一地址指令?

8. 某机指令字长 16 位,每个操作数的地址码为 6 位,设操作码长度固定,指令分为零地址、一地址和二地址三种格式。若零地址指令有 M 种,一地址指令有 N 种,则二地址指令最多有几种?若操作码位数可变,则二地址指令最多允许有几种?

14. 设相对寻址的转移指令占两个字节,第一个字节是操作码,第二个字节是相对位移量,用补码表示。假设当前转移指令第一字节所在的地址为 2000H,且 CPU 每取出一个字节便自动完成 $(PC)+1 \rightarrow PC$ 的操作。试问当执行 “JMP $*+8$ ” 和 “JMP $*-9$ ” 指令时,转移指令第二字节的内容各为多少?

16. 某机主存容量为 $4M \times 16$ 位,且存储字长等于指令字长,若该机指令系统可完成 108 种操作,操作码位数固定,且具有直接、间接、变址、基址、相对、立即等六种寻址方式,试回答以下问题。

(1)画出一地址指令格式并指出各字段的作用。

(2)该指令直接寻址的最大范围。

(3)一次间接寻址和多次间接寻址的寻址范围。

(4)立即数的范围(十进制表示)。

(5)相对寻址的位移量(十进制表示)

(6)上述六种寻址方式的指令中哪一种执行时间最短,哪一种最长,为什么?哪一种便于程序浮动,哪一种最适合处理数组问题?

(7)如何修改指令格式,使指令的寻址范围可扩大到 $4M$?

(8)为使一条转移指令能转移到主存的任一位置,可采取什么措施?简要说明之。

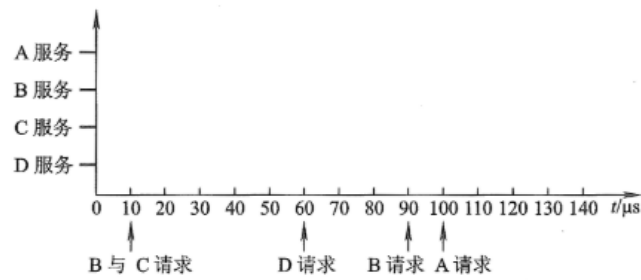
20. 什么是 RISC?简述它的主要特点。

第八单元

3.画出指令周期的流程图,分别说明图中每个子周期的作用。

12.在 5 个功能段的指令流水线中,假设每段的执行时间分别是 10ns、8ns、10ns、10ns 和 7ns。对于完成 12 条指令的流水线而言,其加速比为多少?该流水线的实际吞吐率为多少?

8.24 现有 A、B、C、D 4 个中断源,其优先级由高向低按 A→B→C→D 顺序排列。若中断服务程序的执行时间为 20 μs ,根据下图所示时间轴给出的中断源请求中断的时刻,画出 CPU 执行程序轨迹。



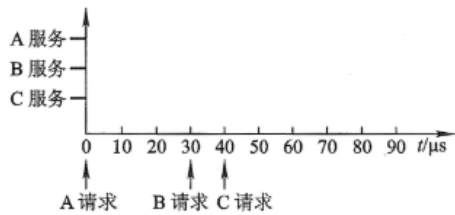
8.25 设某机有 5 个中断源 L_0 、 L_1 、 L_2 、 L_3 、 L_4 ,按中断响应的优先次序由高向低排序为 $L_0 \rightarrow L_1 \rightarrow L_2 \rightarrow L_3 \rightarrow L_4$,现要求中断处理次序改为 $L_1 \rightarrow L_4 \rightarrow L_2 \rightarrow L_0 \rightarrow L_3$,根据下面的格式,写出各中断源的屏蔽字。

中断源	屏蔽字				
	0	1	2	3	4
L_0					
L_1					
L_2					
L_3					
L_4					

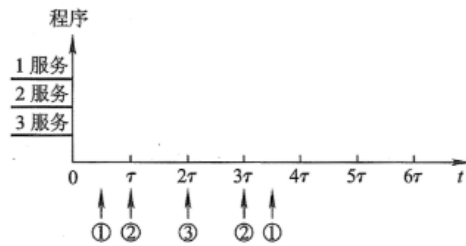
26. 设某机配有 A、B、C 3 台设备,其优先级按 A→B→C 降序排列,为改变中断处理次序,它们的中断屏蔽字设置如下:

设备	屏蔽字
A	1 1 1
B	0 1 0
C	0 1 1

按下图所示时间轴给出的设备请求中断的时刻,画出 CPU 执行程序轨迹。设 A、B、C 中断服务程序的执行时间均为 20 μs 。



8.27 设某机有 3 个中断源,其优先级按 1→2→3 降序排列。假设中断处理时间均为 τ ,在下图所示的时间内共发生 5 次中断请求,图中①表示 1 级中断源发出中断请求信号,其余类推,画出 CPU 执行程序的轨迹。



第九单元

3. 什么是指令周期、机器周期和时钟周期?三者有何关系?

5. 设机器 A 的 CPU 主频为 8MHz,机器周期含 4 个时钟周期,且该机的平均指令执行速度是 0.4MIPS 试求该机的平均指令周期和机器周期,每个指令周期中含几个机器周期。如果机器 B 的 CPU 主频为 12MHz,且机器周期也含 4 个时钟周期,试问 B 机的平均指令执行速度为多少 MIPS?

6. 设某计算机的 CPU 主频为 8MHz, 每个机器周期平均含 2 个时钟周期, 每条指令平均有 4 个机器周期, 试问该计算机的平均指令执行速度为多少 MIPS。若 CPU 主频不变, 但每个机器周期平均含 4 个时钟周期, 每条指令平均有 4 个机器周期, 则该机的平均指令执行速度又是多少 MIPS? 由此可得出什么结论?

9.7 某 CPU 的主频为 10MHz, 若已知每个机器周期平均包含 4 个时钟周期, 该机的平均指令执行速度为 1MIPS, 试求该机的平均指令周期及每个指令周期含几个机器周期。若改用时钟周期为 0.4 μ s 的 CPU 芯片, 则计算机的平均指令执行速度为多少 MIPS? 若要得到平均每秒 80 万次的指令执行速度, 则应采用主频为多少的 CPU 芯片?