

Hochschule Emden / Leer

# Ausarbeitung

**Thema:** Speicherung digitaler Signale

**eingereicht von:** Jens Fresenborg

# Inhaltsverzeichnis

<b>1</b>	<b>Speicherung Digitaler Signale</b>	<b>1</b>
<b>2</b>	<b>Asynchrone Speicherelemente</b>	<b>1</b>
2.1	RS-Flip-Flop aus NOR-Gattern (NOR-Latch) . . . . .	1
2.2	$\overline{RS}$ -Flip-Flop aus NAND-Gattern (NAND-Latch) . . . . .	3
<b>3</b>	<b>Synchrone Speicherelemente</b>	<b>4</b>
3.1	Taktzustand gesteuert . . . . .	4
3.1.1	RS-Flip-Flop (RS-Latch) . . . . .	5
3.1.2	Statisches D-Flip-Flop (D-Latch) . . . . .	6
3.2	Taktflanken gesteuert . . . . .	7
3.2.1	Dynamisches D-Flip-Flop . . . . .	7
3.2.2	Positiv Taktflanken gesteuertes RS-Flip-Flop . . . . .	8
3.2.3	JK-Flip-Flop . . . . .	9
3.2.4	JK-MS-Flip-Flop (Zweiflanken) . . . . .	10

## 1 Speicherung Digitaler Signale

Wenn die bisher behandelten Grundfunktionen der Digitaltechnik ohne eine Rückkopplung miteinander verschaltet werden, erhält man eine rein kombinatorische Schaltung. Bei diesen Schaltungen hängen die Ausgangswerte direkt von den Eingangswerten ab. Sie sind nicht in der Lage vorherige Werte (Zustände) zu berücksichtigen.

Damit eine solche Schaltung ein Signal speichern kann, müssen die Logikgatter gegeneinander verriegelt (eng. to latch) werden. Eine solche Schaltung hat zwei stabile Zustände und wird als Bistabile Kippstufe oder Flip-Flop bezeichnet.

## 2 Asynchrone Speicherelemente

Asynchrone Speicherelemente arbeiten ohne einen zusätzlichen Takteingang. Bei einer Änderung der Eingangssignale erfolgt entweder der Wechsel des Ausgangszustands, oder der vorherige Zustand wird gespeichert.

Der Grundbaustein für alle Flip-Flops in der Digitaltechnik ist das RS-Flip-Flop aus zwei NOR- bzw. NAND-Gattern.

### 2.1 RS-Flip-Flop aus NOR-Gattern (NOR-Latch)

Für das NOR-Latch werden zwei NOR-Gattern so miteinander verschaltet, dass die Ausgänge der Gatter jeweils mit einem Eingang des anderen Gatters verbunden sind. Damit aus dieser Schaltung ein RS-Flip-Flop wird müssen die Ausgänge gekreuzt werden (Abbildung 1).

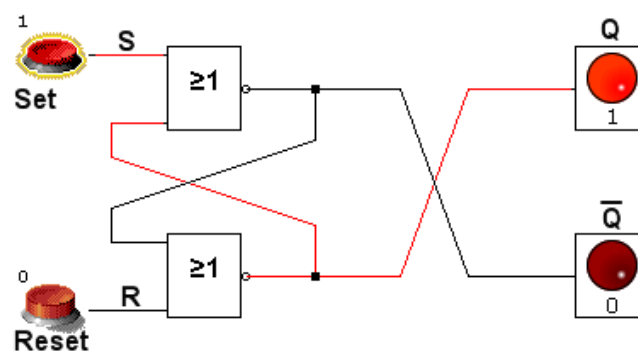


Abbildung 1

**Wichtige Eigenschaft des NOR-Gatters:**

Sobald an mindestens **einem** Eingang eine logische 1 (H-Pegel) anliegt, ist das Ausgangssignal eine logische 0 (L-Pegel).

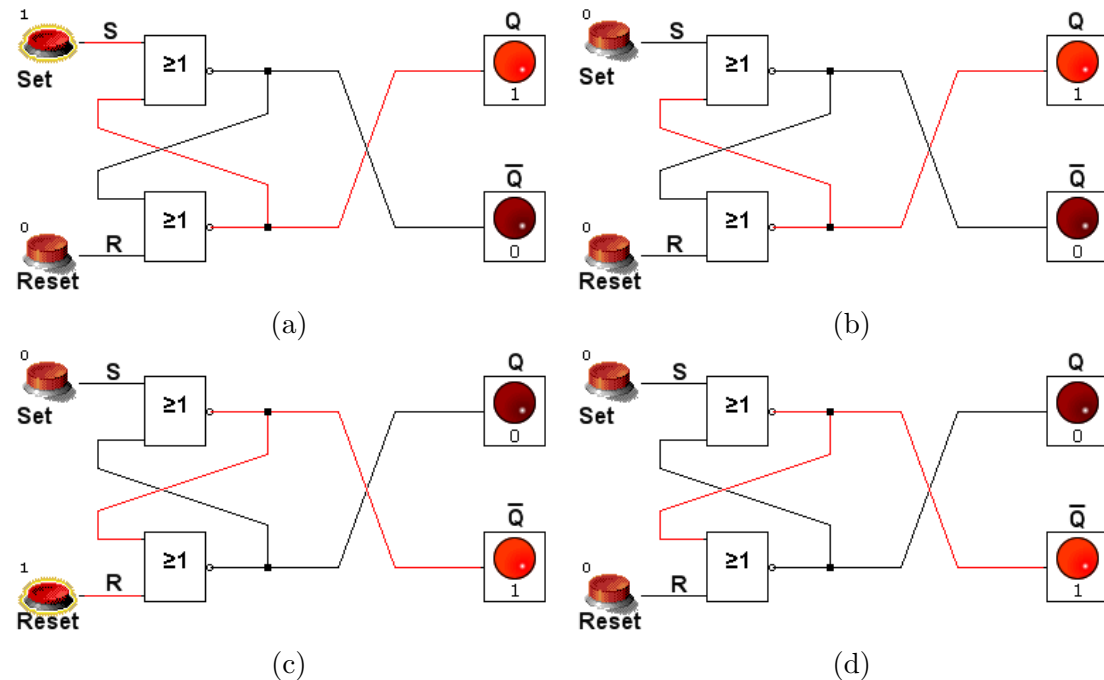


Abbildung 2

Abbildung 2 verdeutlicht die Kipp- und Speichervorgänge. Die roten Linien der Verdrahtung führen H-Pegel.

Bei Abbildung 2(a) erhält  $S$  (Setzen) den H-Pegel. Durch die oben beschriebene Eigenschaft des Gatters erhält der Ausgang, unabhängig vom anderen Eingang, einen L-Pegel. Da dieser Ausgang mit einem Eingang des zweiten Gatters verschaltet ist, liegt dort ebenfalls L-Pegel. Das führt uns zu einer wichtigen Einschränkung dieser Schaltung:  **$S$  und  $R$  dürfen nicht gleichzeitig einen H-Pegel erhalten.**

Wenn diese Einschränkung befolgt wird, liegt an beiden Eingängen des zweiten Gatters L-Pegel und somit H-Pegel am Ausgang  $Q$ .

Das RS-Flip-Flop ist jetzt „gesetzt“ und befindet sich in einem stabilen Zustand. Ein loslassen des Tasters Set führt zu L-Pegeln an  $S$  und  $R$ , dadurch bleibt der Zustand gespeichert Abbildung 2(b).

Ausgehend von Abbildung 2(b) wird, durch das betätigen des Reset Tasters, ein Eingang dieses Gatters auf H-Pegel gesetzt. Der Ausgang  $Q$  wechselt dadurch auf L-Pegel und wird auf das „Set“ Gatter zurück gekoppelt. Das RS-Flip-Flop

wurde zurückgesetzt und befindet sich jetzt im zweiten stabilen Zustand (Abbildung 2(c)). Dadurch das an beiden Eingängen des „Set“ Gatters ein L-Pegel liegt, führt der Ausgang  $\bar{Q}$  H-Pegel. Dieser Zustand bleibt gespeichert, wenn der Reset Taster auf L-Pegel wechselt (Abbildung 2(d)).

Abbildung 3 zeigt das Schaltzeichen (DIN 40 700) und die Wahrheitstabelle des RS-Flip-Flops aus NOR-Gattern.

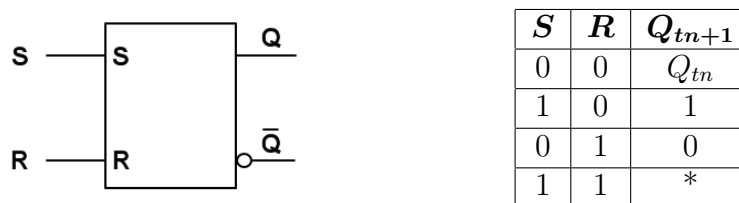


Abbildung 3

## 2.2 $\overline{RS}$ -Flip-Flop aus NAND-Gattern (NAND-Latch)

Aus der Negation des NOR-Flip-Flops ergibt sich ein  $\overline{RS}$ -Flip-Flop.

Dieses NAND-Flip-Flop wird über L-Pegel gesetzt bzw. zurückgesetzt. Um die Eigenschaften eines RS-Flip-Flops zu erreichen, müssen die Eingänge über ein NOT-Gatter angesteuert werden (Abbildung 4).

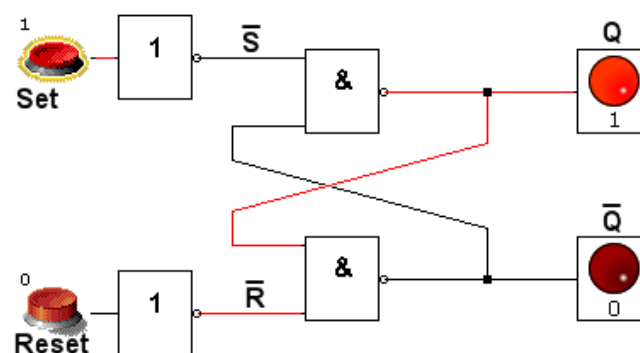
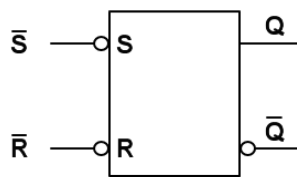


Abbildung 4

Das NAND-Flip-Flop verhält sich genau gegensätzlich zum NOR-Flip-Flop. Hier ist der L-Pegel an beiden Eingängen verboten. Ein H-Pegel an  $\bar{R}$  setzt den Ausgang  $Q$ , wobei es so gesehen werden muss, dass ein L-Pegel an  $\bar{S}$  den Ausgang setzt. Der Speicherzustand wird durch H-Pegel an beiden Eingängen erreicht.

Abbildung 5 zeigt Schaltzeichen und Wahrheitstabelle des  $\bar{R}\bar{S}$ -Flip-Flops.



<i>Set</i>	<i>Reset</i>	$\bar{S}$	$\bar{R}$	$Q_{tn+1}$
1	1	0	0	*
0	1	1	0	0
1	0	0	1	1
0	0	1	1	$Q_{tn}$

Abbildung 5

### 3 Synchrone Speicherelemente

Die synchronen Speicherelemente besitzen immer einen Takteingang  $C$  (clock) für die Synchronisierung. Eine Änderung an den Eingängen kann nur während bestimmter Taktphasen gewertet werden. Diese Phasen können sich auf den Zustand des Taktes beziehen oder auf die an- oder absteigende Taktflanke.

#### 3.1 Taktzustand gesteuert

Auch Taktzustand gesteuerte Kippstufen werden in englischsprachiger Literatur als Latches bezeichnet.

Diese Flip-Flops werten ihre Eingänge nur aus, wenn am Takteingang entweder ein H-Pegel oder, durch Negation des Takteingangs gekennzeichnet, ein L-Pegel anliegt.

### 3.1.1 RS-Flip-Flop (RS-Latch)

Das NAND-Flip-Flop lässt sich, durch zwei weitere NAND-Gatter, zu einem Taktzustand gesteuerten RS-Flip-Flop erweitern. Dieses Flip-Flop kann als Grundbaustein für alle Taktflanken gesteuerten Varianten verwendet werden.

Das NAND-Gatter erzeugt nur dann einen L-Pegel am Ausgang, wenn an beiden Eingängen H-Pegel anliegt.

Der Takt  $C$  erzeugt bei H-Pegel, zusammen mit dem  $S$  bzw.  $R$  Eingang, den L-Pegel für das Setzen bzw. Rücksetzen des NAND-Flip-Flop (Abbildung 6).

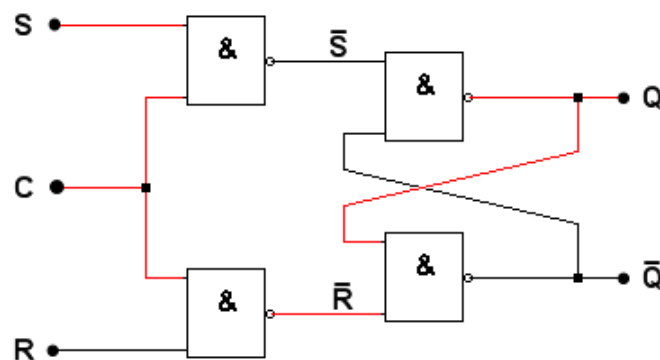
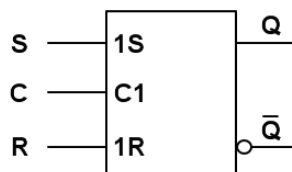


Abbildung 6

Dieses RS-Flip-Flop erfüllt nur beim H-Pegel des Takteingangs  $C$  seine ursprüngliche Funktion. Wie in der Wahrheitstabelle (Abbildung 7) zu sehen ist, bleibt der vorherige Zustand bei L-Pegel gespeichert.



$C$	$S$	$R$	$Q_{tn+1}$
0	x	x	$Q_{tn}$
1	0	0	$Q_{tn}$
1	1	0	1
1	0	1	0
1	1	1	*

Abbildung 7

### 3.1.2 Statisches D-Flip-Flop (D-Latch)

Beim D-Flip-Flop wird der unbestimmte Zustand, durch Negation des Setz- auf den Rücksetzeingang, verhindert. Abbildung 8 zeigt eine Realisierung die das Prinzip verdeutlicht. Das NOT-Gatter lässt sich durch eine bessere Verdrahtung der NAND-Gatter einsparen.

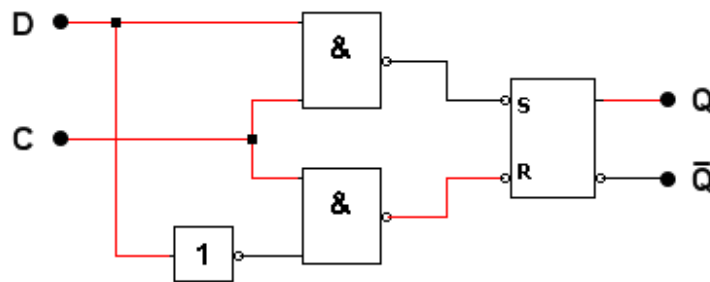
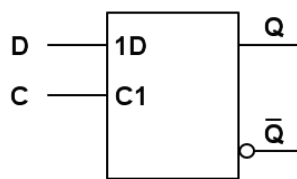


Abbildung 8

Dieses Flip-Flop speichert den Ausgangszustand wenn am Takteingang L-Pegel liegt. Wenn H-Pegel am Takteingang liegt, wird das Signal vom  $D$  Eingang an den Ausgang  $Q$  übernommen (Abbildung 9).



$D$	$C$	$Q_{tn+1}$
0	0	$Q_{tn}$
1	0	$Q_{tn}$
0	1	0
1	1	1

Abbildung 9



## 3.2 Taktflanken gesteuert

Taktflanken gesteuerte Flip-Flops übernehmen die Eingangssignale nur während des kurzen Zeitpunktes von steigender oder abfallender Taktflanke. Die Anfälligkeit durch Störsignale wird dadurch weiter verringert.

Die Flankensteuerung wird durch ein Dreieck am Takteingang gekennzeichnet. Wenn dieser Eingang negiert ist, handelt es sich um negativ (abfallend) Taktflanken gesteuertes Flip-Flop.

### 3.2.1 Dynamisches D-Flip-Flop

Abbildung 10 zeigt eine Realisierung aus zwei Taktzustand gesteuerten D-Flip-Flops nach dem Master-Slave-Prinzip. Der Takteingang des ersten (Master) D-Flip-Flops ist hier negiert um eine positive Flankensteuerung zu realisieren.

Der Ausgang  $Q_m$  wird geschaltet während der Takt L-Pegel führt. Der Zustand von  $Q_m$  bleibt während der H-Phase gespeichert. Sobald der Takt auf H-Pegel wechselt übernimmt das zweite (Slave) D-Flip-Flop diesen Zustand an den Ausgang  $Q$ .

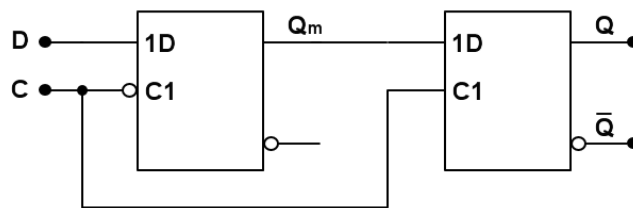


Abbildung 10

Abbildung 11 zeigt Schaltzeichen und Zeitablaufdiagramm des positiv Taktflanken gesteuerten D-Flip-Flops.

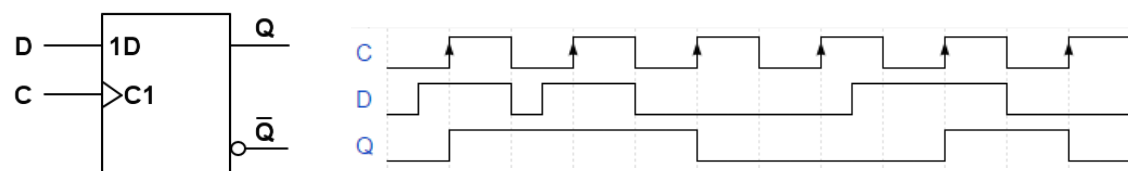


Abbildung 11

### 3.2.2 Positiv Taktflanken gesteuertes RS-Flip-Flop

Durch die Master-Slave-Schaltung von zwei Taktzustand gesteuerten RS-Flip-Flops kann ein Taktflanken gesteuertes RS-Flip-Flop realisiert werden. Wenn Master und Slave in Abbildung 12 vertauscht werden, erhält man ein negativ Taktflanken gesteuertes RS-Flip-Flop.

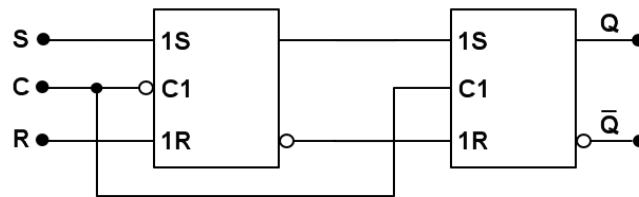


Abbildung 12

Dieses Flip-Flop hat noch den Nachteil des verbotenen (unbestimmten) Zustands, wenn an  $S$  und  $R$  gleichzeitig H-Pegel anliegt. Die Schraffierung in Abbildung 13 kennzeichnet diesen Zustand.

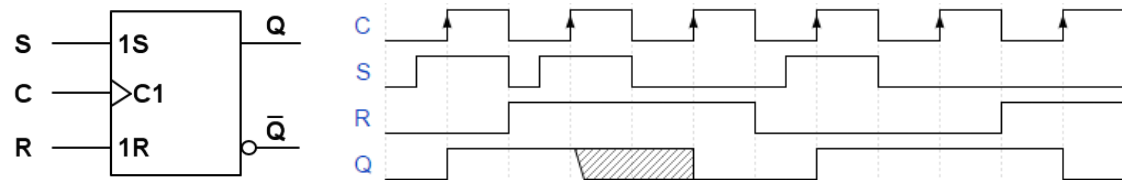


Abbildung 13

### 3.2.3 JK-Flip-Flop

Damit der unbestimmte Zustand für eine sinnvolle Funktion genutzt werden kann, wird das RS-Flip-Flop durch eine geeignete Rückkopplung und zwei UND-Gatter erweitert (Abbildung 14). Die dadurch entstandene Schaltung wird als JK-Flip-Flop bezeichnet.

Durch die Rückkopplung wechselt dieses Flip-Flop, bei H-Pegel an beiden Eingängen, den Ausgangszustand (engl. to toggle).

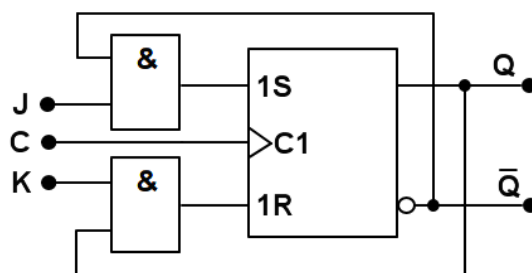


Abbildung 14

Durch die Verwendung des positiv Taktflanken gesteuerten RS-Flip-Flops wird der Wechsel erst bei der folgenden ansteigenden Taktflanke ausgeführt (Abbildung 15).

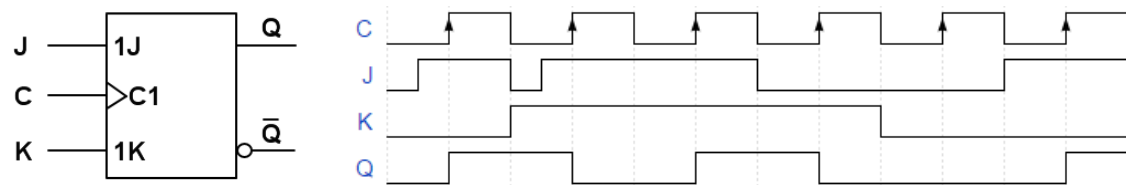


Abbildung 15

### 3.2.4 JK-MS-Flip-Flop (Zweiflanken)

Zweiflanken gesteuerte Flip-Flops sind immer durch eine Master-Slave-Schaltung realisiert. Das Master Flip-Flop übernimmt die Eingänge bei positiver Taktflanke, das Slave Flip-Flop schaltet die Ausgänge bei negativer Taktflanke.

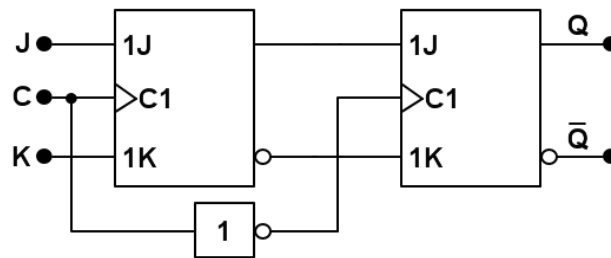


Abbildung 16

Abbildung 16 zeigt die Realisierung des Zweiflanken gesteuerten JK-MS-Flip-Flops. Das Taktsignal wird für den Takteingang des Slave Flip-Flops negiert. Die Steuerung durch beide Taktflanken wird, im Schaltzeichen des JK-MS-Flip-Flops (Abbildung 17), durch die beiden Flanken Symbole an den Ausgängen gekennzeichnet.

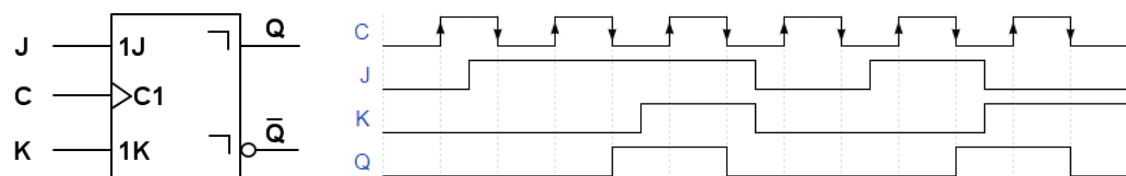


Abbildung 17