

University of Applied Sciences

Praktikum Hardware-Grundlagen

HOCHSCHULE
EMDEN·LEER

Digitale Schaltungen

Gruppe:

Teilnehmer:

Lukas Pencser
Simon Spuck

Vorlesestate:

Vorbereitung:

✓

Testat:

Vergleicher:

RS-Latch:

D-Latch:

D-FF:

Schieberegister:

Benutzte Geräte:

Mixer
maser

Digitale Schaltungen

1. Überblick

In der elektrischen Steuerungstechnik wird vorwiegend mit digitalen Signalen gearbeitet, die durch zweiwertige (binäre) Zustände "ein" (Spannung, Strom) oder "aus" (keine bzw. inverse Spannung, kein bzw. inverser Strom) zum Ausdruck kommen. In den oft umfangreichen Steuerschaltungen werden dabei verschiedene Eingänge, z.B. m, n, o, ..., mit zugeordneten Ausgängen, z.B. A, B, C, ..., derart verknüpft, dass der jeweilige Wert "ein" und "aus" der Ausgänge durch die ebenfalls zweiwertigen Signalwerte der Eingänge genau festgelegt ist (statische Verknüpfungen).

Diese Verknüpfungen lassen sich vorteilhaft mit Mitteln der Booleschen Algebra beschreiben. Denn für die in dieser Algebra auftretenden Variablen gibt es nur den Wert 1 (oft auch L) oder 0 (entsprechend der Aussage "wahr" und "nicht wahr" in der ursprünglich für logische Untersuchungen von Boole entworfenen Algebra). In Bezug auf ihre Anwendung zum Untersuchen von Schaltungsverknüpfungen spricht man auch von Schaltungsalgebra.

In der einfachsten Form ist der Schaltwert eines Ausgangs A abhängig vom Wert eines oder zweier Eingänge: $A = f(m,n)$, wobei die abhängige Variable A sowie die unabhängigen Variablen m, n den Wert 0 oder 1 annehmen können.

Diese einfachsten logischen Schaltungen fallen in die Klasse der kombinatorischen Schaltungen bzw. Schaltnetze. Die abhängigen Variablen hängen nur von der logischen Funktion und den aktuellen Werten der unabhängigen Variablen ab – und nicht von der Historie bzw. der (zeitlichen) Sequenz der Werte der unabhängigen Variablen. D.h., dass diese Schaltnetze keinerlei Gedächtnis haben.

Wenn eine Schaltung ein Gedächtnis haben soll – also beispielsweise digitale Signale gespeichert werden sollen – so werden sogenannte speichernde Logikelemente benötigt. Die Funktion dieser speichernden Logikelemente wird in diesem Praktikumversuch in der Vorbereitung erarbeitet.

Gegenstände dieses Praktikumversuchs sind:

1. Logische Minimierung von logischen Schaltfunktionen mit Hilfe von Karnaugh-Veitch-Diagrammen
2. Realisierung von logischen Schaltfunktionen mit Hilfe von logischen Grundfunktionen
3. Funktion von speichernden Schaltungselementen: RS-Latch, D-Latch und D-Flipflop
4. Realisierung eines Pseudozufallszahlengenerators durch ein rückgekoppeltes Schieberegister

Literaturempfehlung:

Prof. Dr.-Ing. Dirk Rabe: Digital und Mikroprozessortechnik; Online-Modul der Virtuellen Fachhochschule; Abschnitte 2 bis 2.4.5 und 3 bis 3.2.7

kostenloser Zugriff über:

Online-Modul: <http://vflumpt.oncampus.de/loop/Digital- und Mikroprozessortechnik>

Benutzer: Student

Passwort: studi2017

2. Überblick elementare Gatter

y=f(x ₁ ,x ₀)						
Darstellung	Negation / Invertier.	Konjunktion / AND	negierte Konj. / NAND	Disjunktion / OR	negierte Disj. / NOR	Antivalenz / XOR
Boole'sch	$\neg x_0$	$x_0 \wedge x_1$	$\neg(x_0 \wedge x_1)$	$x_0 \vee x_1$	$\neg(x_0 \vee x_1)$	$x_0 \neq x_1$
Algebraisch	\overline{x}_0	$x_0 \bullet x_1$	$\overline{x_0 \bullet x_1}$	$x_0 + x_1$	$\overline{x_0 + x_1}$	$x_0 \oplus x_1$
traditionelle Symb.						
IEEE Symb.						
x ₁	x ₀	0 1	1 0	0 1	1 0	1 0
		0 1	0 1	1 1	0 0	1 1
		1 0	0 1	1 1	0 0	0 1
		1 1	1 1	0 1	0 0	1 1

3. Versuchsvorbereitung

Die Aufgaben sind ggf. unter Loncapa realisiert – und dort zu bearbeiten (und dann nicht durch Ausfüllen der folgenden Seiten).

Aufgabe 1: Entwicklung eines Schaltnetzes zum Vergleichen zweier 2-Bit Dualzahlen

In dieser Übung sollen zweistellige Dualzahlen ($z_1=(a,b)$ und $z_2=(c,d)$) miteinander verglichen werden. Der Vergleich soll mit einem Schaltnetz durchgeführt werden. Mit den 2 Bits können jeweils folgende Dualzahlen dargestellt werden:

a	b	z_1 (dual/dezimal)
0	0	00=0
0	1	01=1
1	0	10=2
1	1	11=3

c	d	z_2 (dual/dezimal)
0	0	00=0
0	1	01=1
1	0	10=2
1	1	11=3

In der unten aufgeführten Funktionstabelle sind die 16 Eingangswerte in zweistellige Dualzahlen aufgeteilt worden. z_1 wird durch die Signale a, b und z_2 durch die Signale c, d dargestellt.

Anforderungen an den Vergleicher (Schaltnetz)

- 1) Der Ausgang A soll eine 1 ergeben, wenn $z_1 = z_2$ ist.
- 2) Der Ausgang B soll eine 1 ergeben, wenn $z_1 > z_2$ ist.
- 3) Der Ausgang C soll eine 1 ergeben, wenn $z_1 < z_2$ ist.

Gehen Sie wie folgt vor:

- a. Tragen Sie die Ausgangswerte für die Variablen A, B und C in folgende Tabelle ein.

	z_1	z_2	A	B	C
a	b	c	$z_1=z_2$	$z_1>z_2$	$z_1< z_2$
0	0	0	0	1	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	0	1
1	0	0	1	0	0
1	0	1	1	0	0
1	1	0	1	0	0
1	1	1	1	0	0
1	1	0	0	1	0
1	1	1	0	1	0
1	1	0	0	0	1
1	1	1	0	0	1
1	1	1	1	0	0
1	1	1	1	0	0

- b. Unter Verwendung der Karnaugh-Veitch-Diagramme sollen die minimierten Schaltfunktionen $A=f(a,b,c,d)$, $B=f(a,b,c,d)$ sowie $C=f(a,b,c,d)$ in der disjunktiven und konjunktiven Normalform gefunden werden. Bestimmen Sie zusätzlich die Verknüpfungszahlen.
 Damit Sie Ihre Ergebnisse überprüfen können, sind die erwarteten Verknüpfungszahlen gegeben:
 $VKZ_{A_disj} = 20 \quad VKZ_{A_konj} = 12 \quad VKZ_{B_disj} = 11 \quad VKZ_{B_konj} = 15$
 $VKZ_{C_disj} = 11 \quad VKZ_{C_konj} = 15$

A:

b=1B:d=1b=1

1	0	1	0
0	0	0	0
1	0	1	0
0	0	0	0

0	0	0	1
0	0	0	0
0	0	0	1
1	1	1	1

$$A = (\bar{A}\bar{B}\bar{C}\bar{D}) \vee (\bar{A}\bar{B}\bar{C}D) \vee (A\bar{B}C\bar{D}) \vee (ABC\bar{D})$$

$$B = A\bar{C} \vee A\bar{B}\bar{D} \vee B\bar{C}\bar{D}$$

C:

d=1

0	1	0	0
1	1	1	1
0	1	0	0
0	0	0	0

$$C = \bar{A}C \vee \bar{A}\bar{B}D \vee \bar{B}C\bar{D}$$

- c. Welche Funktion von diesen 3 Funktionen erfordert die meisten logischen Gatter zur Realisierung?
 Es soll angenommen werden, dass die anderen beiden Funktionen bereits schaltungstechnisch realisiert haben. Wie können Sie unter Zuhilfenahme dieser Funktionsergebnisse die 3. Funktion sehr einfach generieren?

4: 15, Ju, durch eine obere Gatter, welches die

mindesten beiden Ausgänge als Eingänge. $A = \bar{B} \wedge C$

- d. Im Baukasten, der im Versuch verwendet wird, stehen keine 3-fach AND/NAND-Gatter bzw. 3-fach OR/NOR-Gatter zur Verfügung. Diese können aber mit den entsprechenden 4-fach-Gattern realisiert werden. Mit welchen konstanten logischen Wert (0 oder 1) ist der zusätzliche Eingang beim AND/NAND bzw. OR/NOR-Gatter zu belegen, damit sich das Gatter wie gewünscht verhält? Vervollständigen Sie die folgende Tabelle:

Gatter	zusätzliche Pin-Belegung	Verhalten (ankreuzen)	ggf. konstanter Wert am Ausgang (0/1)
UND	0	gewünschte Funktion (3-fach-UND) <input type="checkbox"/>	<input checked="" type="checkbox"/> 0
	1	konstanter Ausgangswert <input checked="" type="checkbox"/>	
ODER	0	gewünschte Funktion (3-fach-ODER) <input checked="" type="checkbox"/>	
	1	konstanter Ausgangswert <input type="checkbox"/>	<input checked="" type="checkbox"/> 1

- e. Formen Sie die disjunktive Schaltfunktion für B nach der DeMorgan'schen Regel wie folgt um (dies wird anhand der Beispiefunktion $D = a \bullet b + \bar{a} \bullet \bar{b}$ demonstriert):

1. Doppelte Negation der logischen Funktion:
Beispiel: $D = a \bullet b + \bar{a} \bullet \bar{b} = a \bullet b + \overline{\overline{a} \bullet \overline{b}}$

$$B = \overline{a \bullet \bar{c}} + \overline{a \bullet \bar{d}} + \overline{b \bullet \bar{c}} + \overline{b \bullet \bar{d}}$$

2. Anwendung der De-Morganschen Regeln auf die ODER-Verknüpfungen:

Beispiel: $D = a \bullet b + \bar{a} \bullet \bar{b} = a \bullet b + \overline{\overline{a} \bullet \overline{b}} = \overline{\overline{a} \bullet \overline{\overline{b}}} = \overline{\overline{a} \bullet \overline{b}}$

$$B = \overline{\overline{a} \bullet \overline{c}} \cdot \overline{\overline{a} \bullet \overline{d}} \cdot \overline{\overline{b} \bullet \overline{c}} \cdot \overline{\overline{b} \bullet \overline{d}}$$

3. Welche elementaren Schaltfunktionen benötigen Sie, um die Schaltung in der disjunktiven Normalform (Beispiel: $D = a \bullet b + \bar{a} \bullet \bar{b}$) und in der hier entwickelten Form (Beispiel: $D = \overline{\overline{a} \bullet \overline{b} \bullet \overline{a} \bullet \overline{b}}$) zu realisieren?

UND, ODER, NICHT

Aufgabe 2: Funktion speichernder Gatter

Die Schwierigkeit bei den hier besprochenen Schaltungsanordnungen ist, dass Gatterausgänge an Gattereingängen angeschlossen werden und es damit zu einer Rückkopplung kommt. Diese Schaltungsanordnung ist dennoch einfacher zu beschreiben als es zunächst den Anschein haben könnte (also einfach mal den folgenden Fragen/Gedankengängen folgen...).

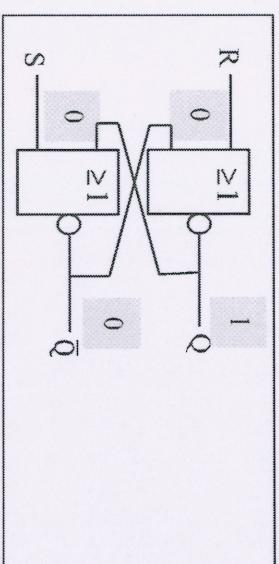
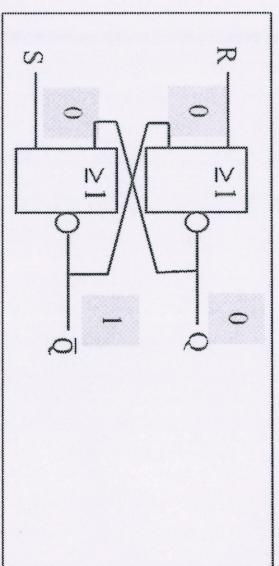
Vervollständigen Sie die Wahrheitstabellen in folgender Tabelle (rechts). Folgende Teilaufgaben sollen Sie an die Lösung dieser Aufgabe (Tabelle ausfüllen) heranführen:

- Wie lautet die Ausgangsbelegung, wenn an einem Eingang eine 1 angelegt wird?
- Mit dieser Erkenntnis können Sie $\frac{3}{4}$ der Tabelle bereits ausfüllen.
- Für den Fall, in dem R und S beide mit einer 0 belegt werden, können Sie davon ausgehen, dass die Initialbelegung an Q und \bar{Q} komplementär ist (also: entweder $Q=0$ und $\bar{Q}=1$ oder $Q=1$ und $\bar{Q}=0$). Spielen Sie einfach diese beiden Fälle in den unten dargestellten Abbildungen durch und beantworten Sie dann folgende Frage:
- In dem Fall, dass R und S beide mit einer 0 belegt werden: Ändert sich die Ausgangsbelegung oder nicht? Falls sie sich ändert, würde das bedeuten, dass sie sich ständig ändern müsste – tut sie das? Falls sie sich nicht ändert, wird der vorher eingestellte Wert beibehalten – man sagt, er wird gespeichert. In der Tabelle können Sie für den speizierenden Fall eintragen, dass $Q = \bar{Q}$ und $\bar{Q} = Q$ sind. Für den instabilen Fall können Sie eintragen, dass $Q = \bar{Q}$ und $\bar{Q} = Q$ sind.

	$y=f(x_1,x_0)$
negierte Disj. / NOR	
Boole'sch	$\neg(x_0 \vee x_1)$
Algebraisch	$x_0 + x_1$
traditionelle Symb.	
IEEE Symb.	

R	S	Q	\bar{Q}
0	0	X	X
1	0	0	1
1	1	0	0
0	1	0	0
1	0	0	0
1	1	0	0

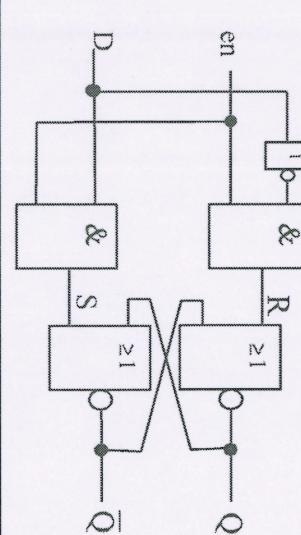
In folgenden zwei Abbildungen sind zwei Fälle angegeben, in denen R und S beide mit einer 0 belegt sind. Bleibt die Ausgangsbelegung (\bar{Q}/Q) erhalten oder ändert sie sich (anders formuliert: Werden die Ausgangswerte gespeichert oder ändern sie sich ständig – stehe Aufgabe oben)?



Erklärung zur Tabelle: Die grau hinterlegte Eingangsbelegung ($R = S = 1$) ist nicht sinnvoll und sollte vermieden werden. R steht für „Rücksetzen“ und S für „Setzen“. Damit bekommt diese Schaltungsanordnung auch eine gut einprägsame Bedeutung. Es ist auch klar, dass es nicht sinnvoll ist, gleichzeitig den Speicher zu setzen und zu löschen (rückzusetzen) – siehe graue Tabellenzeile.

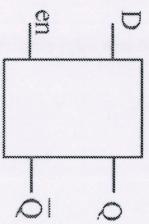
Beschreiben Sie verbal die Bedeutung dieser Schaltungsanordnung unter Verwendung der Begriffe Setzen und Rücksetzen. Die Bedeutung jeder einzelnen Tabellenzeile soll sich hier wiederfinden.

Vervollständigen Sie nun die Wahrheitstabelle für folgende Schaltungsanordnung.
(Überlegen Sie sich erst, wie R und S aussehen.)



en	D	R	S	Q	\bar{Q}
0	0	0	0	0	X
0	1	0	0	0	X
1	0	0	0	0	X
1	1	0	0	0	0

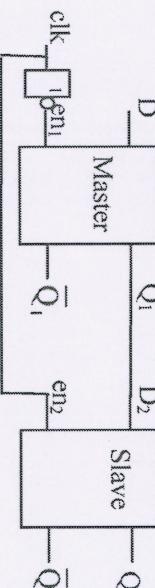
Als Schaltsymbol für dieses D-Latch wird folgendes Symbol verwendet:



Beschreiben Sie die speichernde Wirkung dieses D-Latches mit Ihren eigenen Worten (Stichworte: Bei welcher Eingangsbelegung von „en“ speichert das Gatter? Bei welcher Eingangskombination von „en“ wird welcher Wert wohin übernommen?).

Wenn „en“ 1 ist speichert das Gatter, wenn „en“ 0 ist dann kann Daten Ausgangswert nicht mehr beeinflussen.

Beschreiben Sie das Verhalten folgender Schaltungsanordnung:



Beschreiben Sie jeweils das Verhalten des Master- und Slave-Latches bei $\text{clk}=0$ und $\text{clk}=1$ und was beim Übergang von $\text{clk}=0$ nach $\text{clk}=1$ passiert.

Wenn „clk“ 0 ist, dann wird der Master geschaltet, wenn „clk“ 1 ist, dann wird der Slave geschaltet.

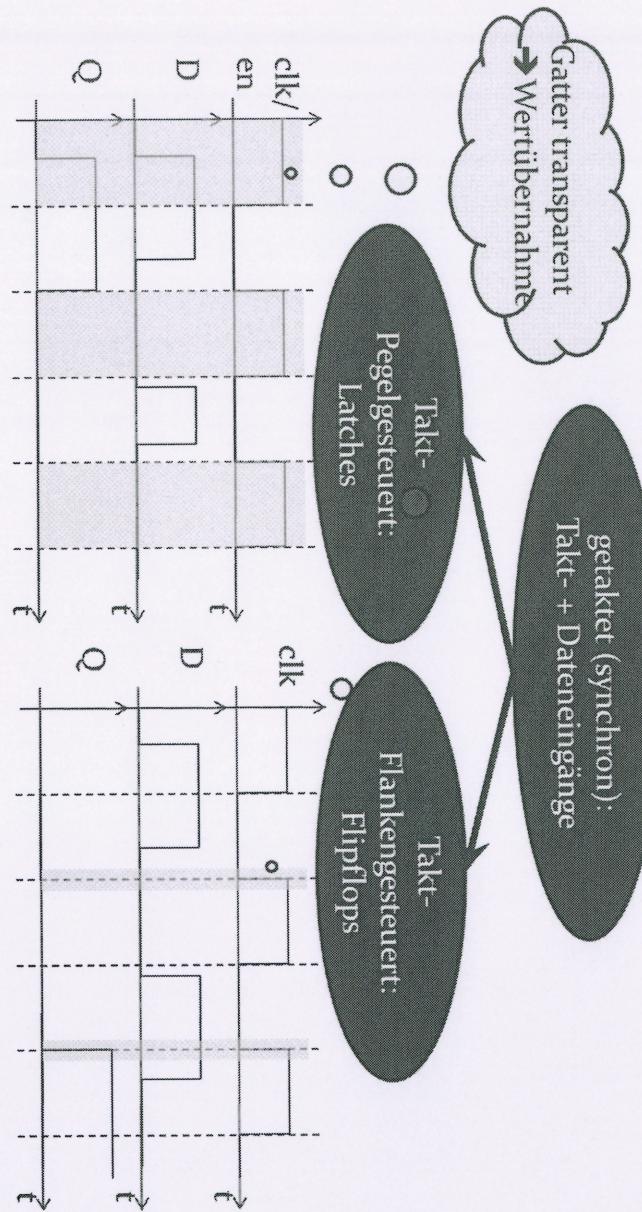
Abstrahieren Sie das Verhalten der Gesamtschaltung, indem Sie sich nur auf die äußeren Pins D, clk, Q und \bar{Q} beziehen.

Wenn „D“ und „clk“ 1 ist, dann wird $Q = 1$ sein. Wenn „D“ und „clk“ 0 ist, dann wird $Q = 0$ sein.

Das Symbol für diese Schaltungsanordnung (Takt-Flankengesteuertes Flipflop) ist hier dargestellt:

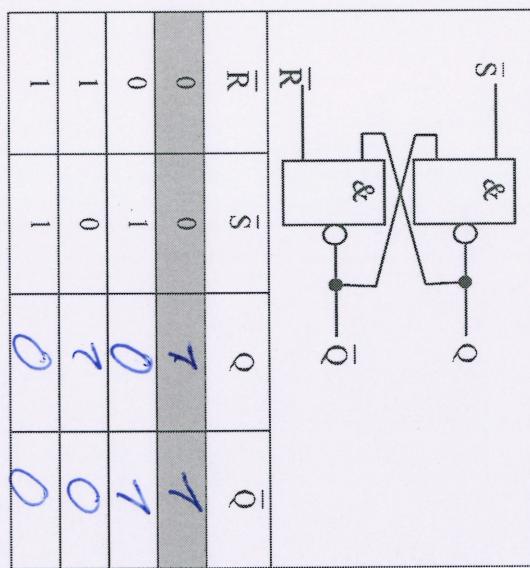


Das zeitlich relevanten Schaltverhalten ist in folgender Darstellung dargestellt:



Ergänzung zum RS-Latch:

Das RS-Latch wurde durch 2 rückgekoppelte NOR-Gatter realisiert. Ein RS-Latch lässt sich auch durch rückgekoppelte NAND-Gatter wie in der folgenden Abbildung dargestellt realisieren. Die Eingänge R und S sind hier jedoch negiert; also \bar{R} und \bar{S} .



	$y = f(x_1, x_0)$
negierte Konj / NAND	$\overline{x_1 \wedge x_0}$
Darstellung Boole'sch	$-(x_0 \wedge x_1)$
Algebraisch	$x_0 \bullet x_1$
traditionelle Symb.	
IEEE Symb.	

4. Versuchsdurchführung

Aufgabe 1: Entwicklung eines Schaltnetzes zum Vergleichen zweier 2-Bit Dualzahlen

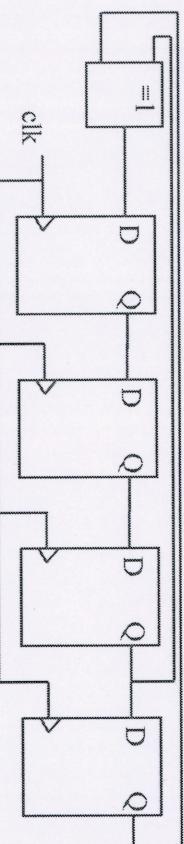
Realisieren Sie die logischen Schaltfunktionen, die Sie in der Versuchsvorbereitung entwickelt haben, mit dem Digitaltechnik-Baukasten (alle 3 Funktionen sollen gleichzeitig realisiert werden). Die Ergebnisse sollen durch 3 Leuchtdioden dargestellt werden.

Aufgabe 2: Speichernde Gatter

Realisieren Sie die speichernden Gatter RS-Latch und D-Latch aus der Versuchsvorbereitung und erproben Sie das analysierte Verhalten. Erproben Sie außerdem das Verhalten eines taktfallenen-gesteuerten Flipflops (liegt als Gatter im Baukasten vor). Geben Sie jeweils detailliert im Protokoll an, was Sie erprobt haben und wie sich die jeweiligen Schaltungsanordnungen verhalten.

Aufgabe 3: Speichernde Gatter

Realisieren Sie folgende Schaltungsanordnung und generieren Sie mit einem Schalter den Takt:

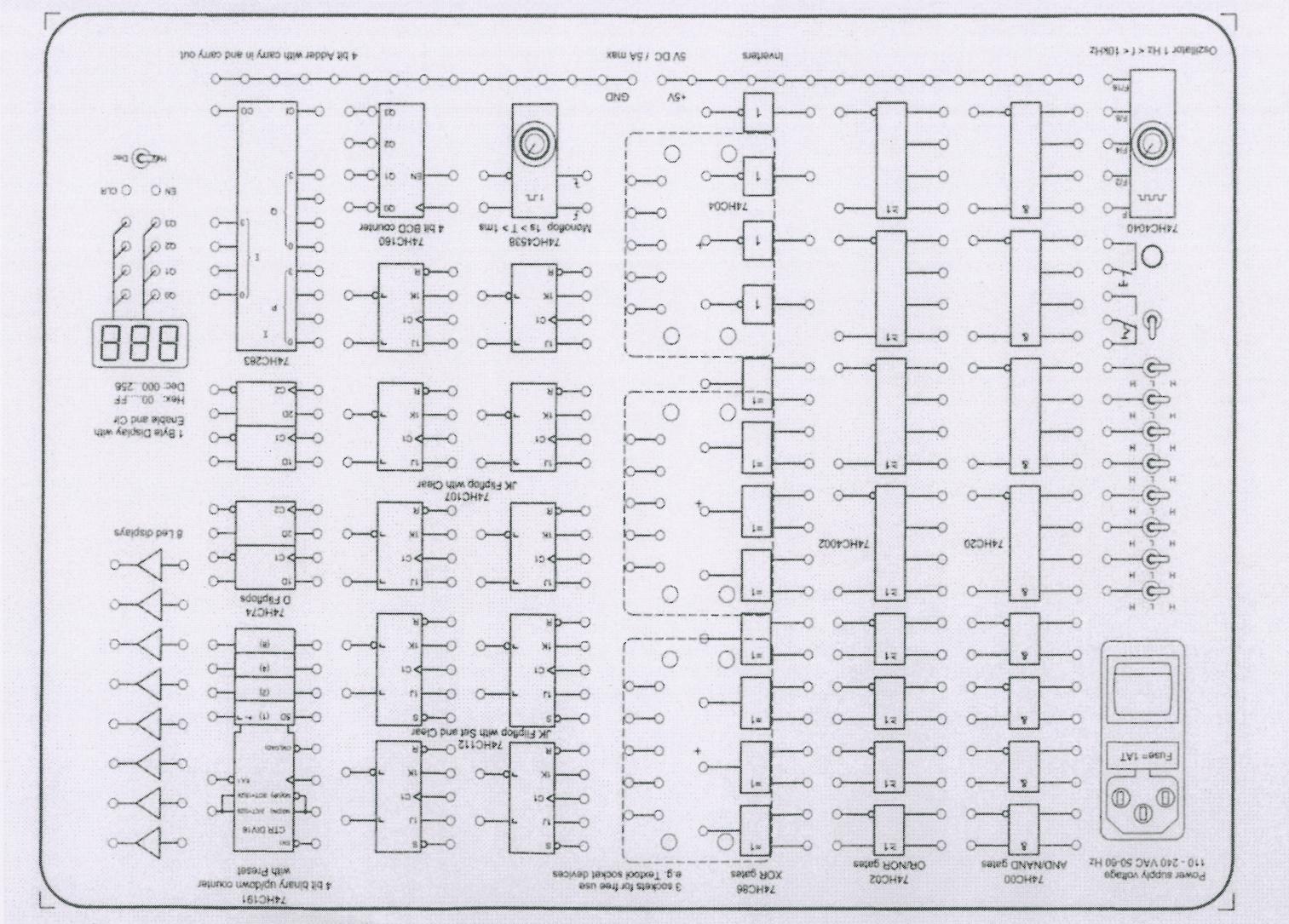


Den Ausgang jedes Flipflops schalten Sie auf je eine Leuchtdiode. Notieren Sie die Folge der Signale nach jeder steigenden Taktflanke. Wie viel unterschiedliche Kombinationen können Sie hier beobachten?

Hinweis: Die D-Flipflops sind auf dem Board nach dem Anlegen der Versorgungsschaltung zurückgesetzt. Damit sich eine aussagekräftige Sequenz von Kombinationen ergibt, muss ein FlipFlop per Hand auf 1 gesetzt werden.

- Wie können Sie dies per Hand machen?
- Tipp 1: Denken Sie an die Funktion eines D-Flipflops, die Sie in Aufgabe 2 analysiert haben.
- Tipp 2: Hierfür müssen Sie temporär ein Flipflop umverdrahten und entsprechend ansteuern.

5. Aufbau des im Versuch verwendeten Digitrainers



For students who think ahead ASML

Je
Wilt jij een Engelstalig CV ontwikkelen?
Kijk op EersteWerkgever.nl/Engels-CV

Onderwerp: _____
Datum: _____

~~PERIODENVERBAP~~
~~D-ABCDEFAB~~
 $\beta = 0.100 \times 100 \times 100 \times 100 \times 100$

1001 1001
1111
~~00000000~~
6 1000
1 0100
2 0090
3 0001
4 0000
5 0170
6 1027
7 0707
8 1070
9 1101
70 1170
77 1177
12 0177
73 0077
14 0007
15 1000