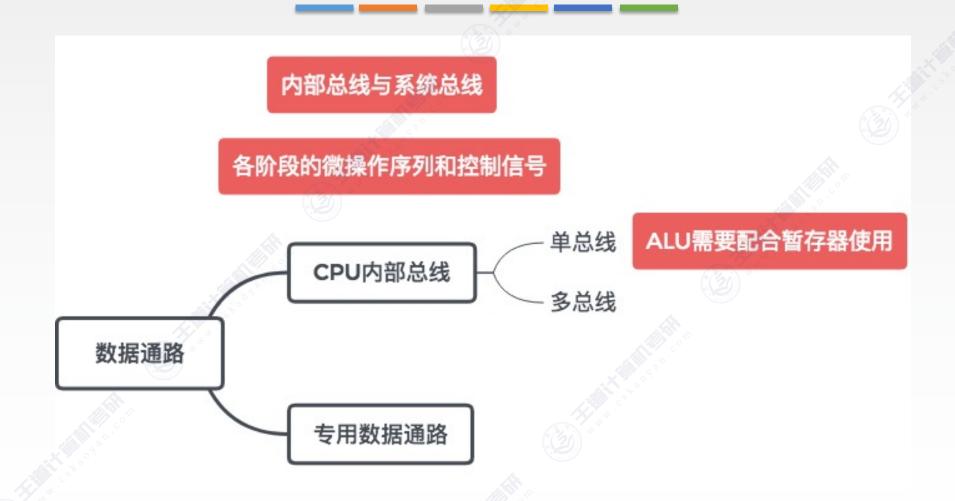
本节内容

中央处理器

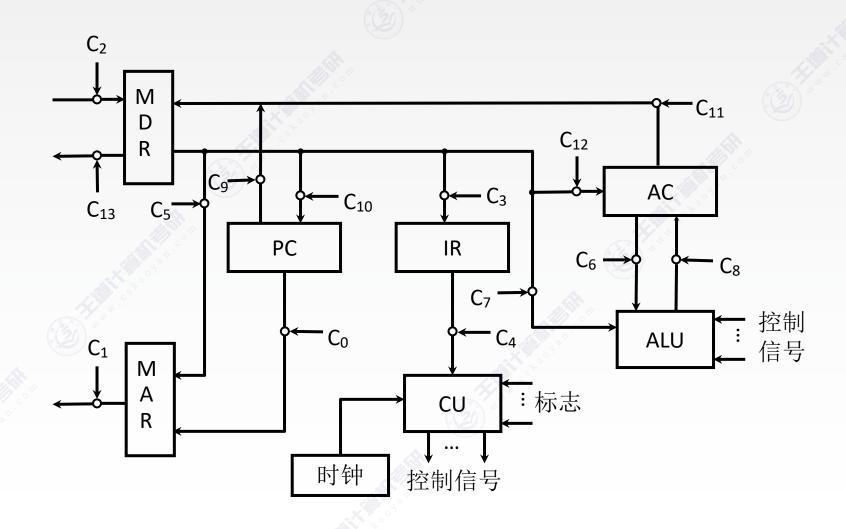
数据通路

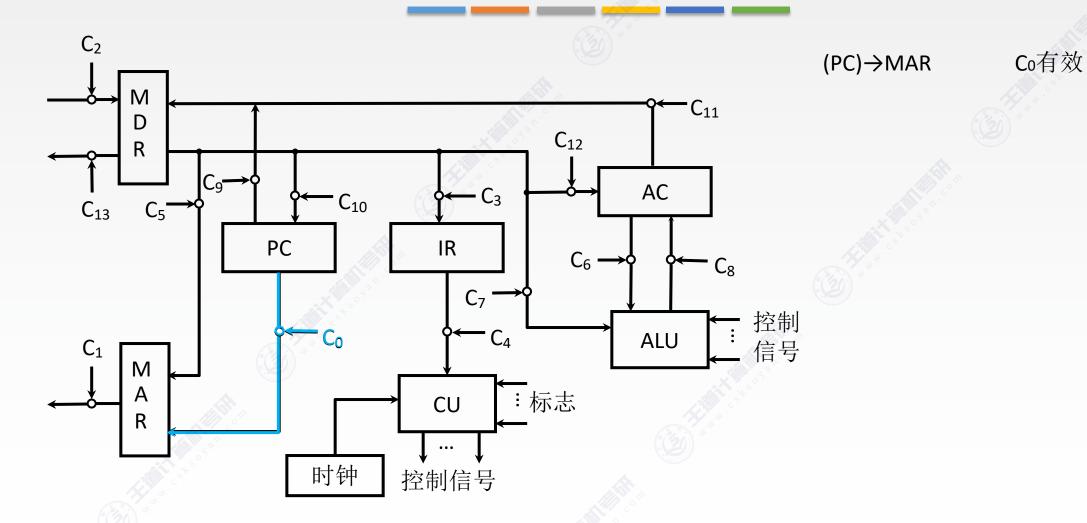
专用通路结构

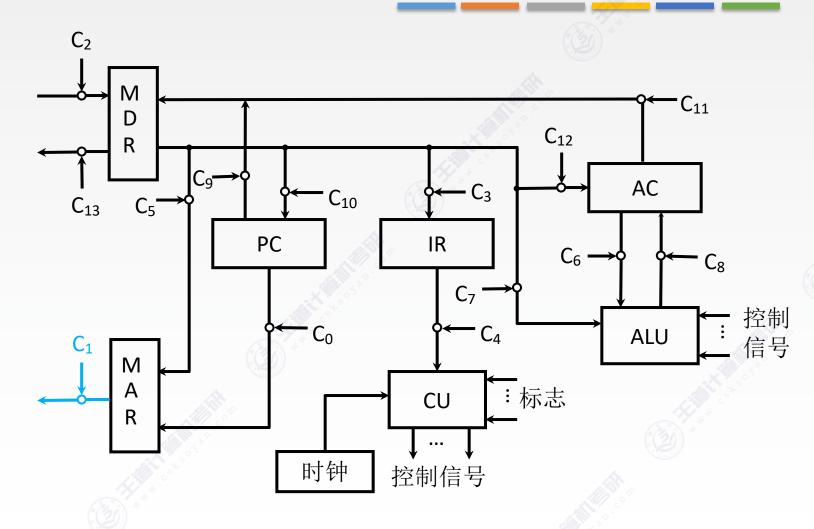
上节回顾



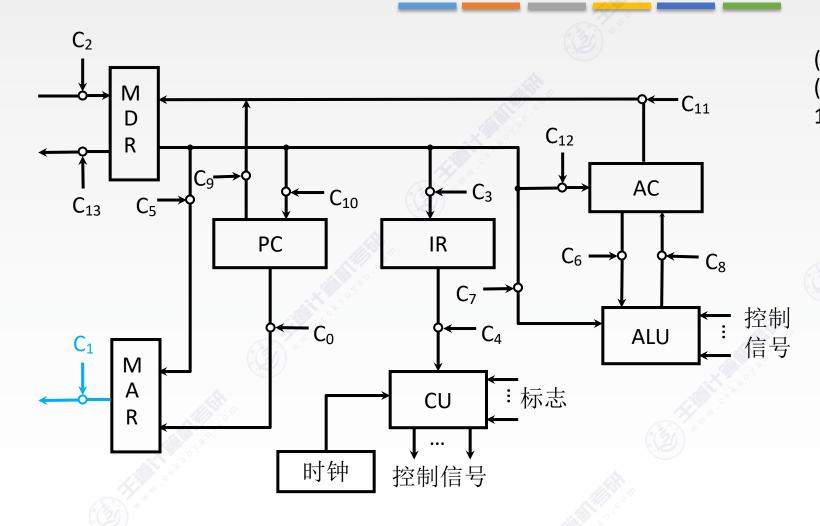
专用数据通路方式



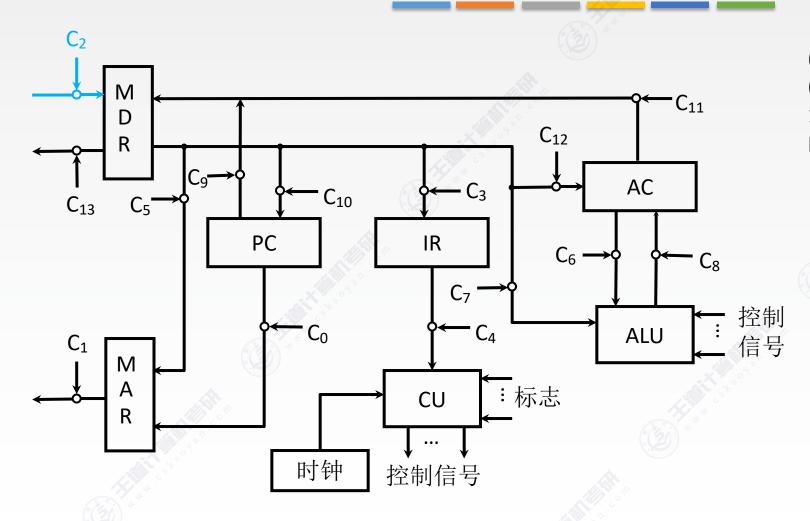




(PC)→MAR Co有效 (MAR)→主存 C1有效



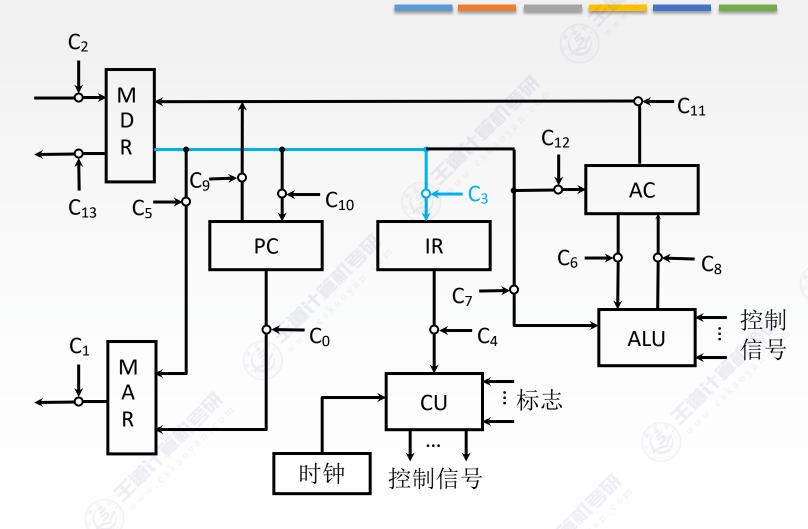
(PC)→MAR Co有效 (MAR)→主存 C1有效 1→R 控制单元向主存发送读命令



(PC)→MAR Co有效 (MAR)→主存 C1有效

1→R 控制单元向主存发送读命令

M(MAR)→MDR C₂有效

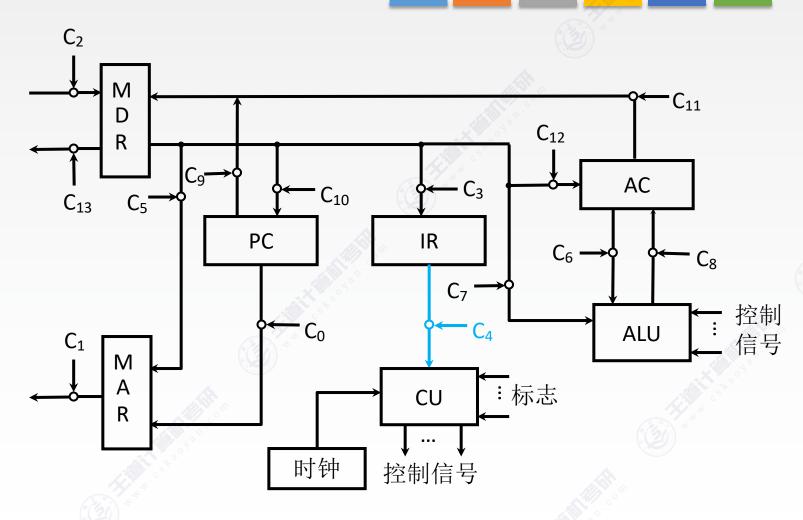


(PC)→MAR Co有效 (MAR)→主存 C1有效

1→R 控制单元向主存发送读命令

M(MAR)→MDR C₂有效 (MDR)→IR C₃有效

 $(PC)+1 \rightarrow PC$



(PC)→MAR Co有效 (MAR)→主存 C1有效

1→R 控制单元向主存发送读命令

M(MAR)→MDR C₂有效 (MDR)→IR C₃有效

 $(PC)+1\rightarrow PC$

Op(IR)→CU C4有效

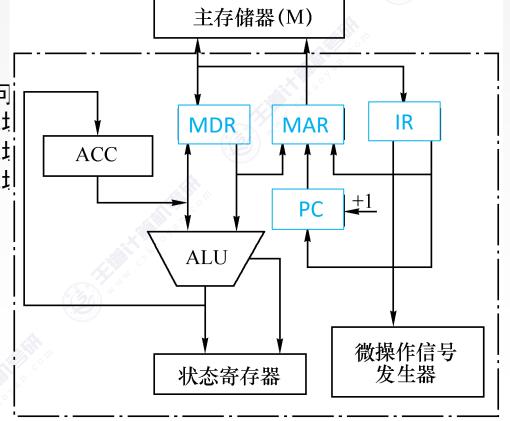
下图是一个简化了的CPU与主存连接结构示意图(图中省略了所有的多路选择器)。其中有一个累加寄存器(ACC)、一个状态数据寄存器和其他4个寄存器:主存地址寄存器(MAR)、主存数据寄存器(MDR)、程序寄存器(PC)和指令寄存器(IR),各部件及其之间的连线表示数据通路,箭头表示信息传递方向。

要求:

- (1) 请写出图中a、b、c、d 4个寄存器的名称。
- (2) 简述图中取指令的数据通路。
- (3) 简述数据在运算器和主存之间进行存/取访问
- (4) 简述完成指令LDA X的数据通路(X为主存地划
- (5) 简述完成指令ADD Y的数据通路(Y为主存地均
- (6) 简述完成指令STA Z的数据通路(Z为主存地划

(1)

d能自动"+1",是PC PC内容是地址,送MAR,故c是MAR b与微操作信号发生器相连,是IR 与主存相连的寄存器是MAR和MDR,c是MAR,则a是MDR

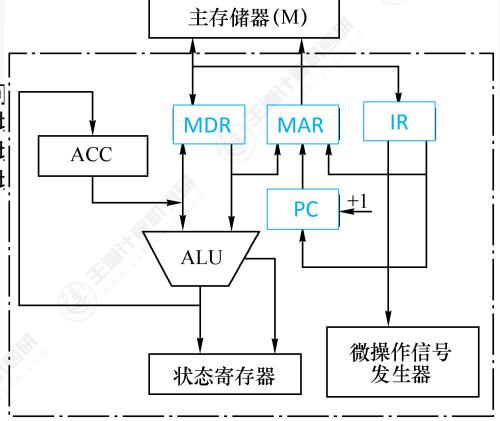


下图是一个简化了的CPU与主存连接结构示意图(图中省略了所有的多路选择器)。其中有一个累加寄存器(ACC)、一个状态数据寄存器和其他4个寄存器:主存地址寄存器(MAR)、主存数据寄存器(MDR)、程序寄存器(PC)和指令寄存器(IR),各部件及其之间的连线表示数据通路,箭头表示信息传递方向。

要求:

- (1) 请写出图中a、b、c、d 4个寄存器的名称。
- (2) 简述图中取指令的数据通路。
- (3) 简述数据在运算器和主存之间进行存/取访问
- (4) 简述完成指令LDA X的数据通路(X为主存地划
- (5) 简述完成指令ADD Y的数据通路(Y为主存地均
- (6) 简述完成指令STA Z的数据通路(Z为主存地划

(2) (PC) \rightarrow MAR M(MAR) \rightarrow MDR (MDR) \rightarrow IR



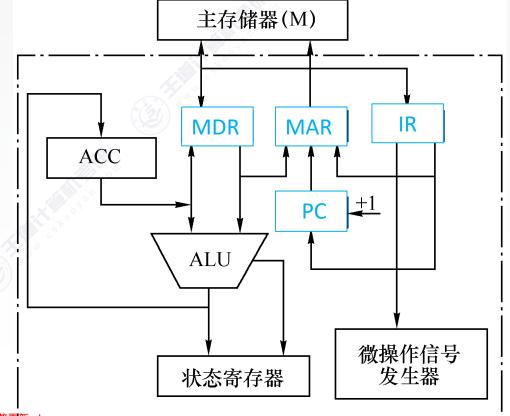
下图是一个简化了的CPU与主存连接结构示意图(图中省略了所有的多路选择器)。其中有一个累加寄存器(ACC)、一个状态数据寄存器和其他4个寄存器:主存地址寄存器(MAR)、主存数据寄存器(MDR)、程序寄存器(PC)和指令寄存器(IR),各部件及其之间的连线表示数据通路,箭头表示信息传递方向。

(3) 简述数据在运算器和主存之间进行存/取访问的数据通路。

存/取的数据放到ACC中设数据地址已放入MAR取:

 $M(MAR) \rightarrow MDR$ $(MDR) \rightarrow ALU \rightarrow ACC$

存: (ACC) → MDR (MDR) → M(MAR)

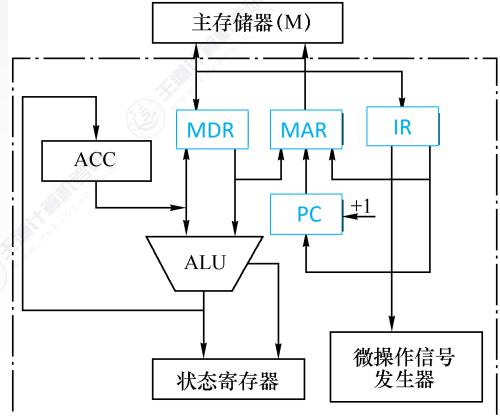


关注公众号【研途小时】获取后续课程完整更新

下图是一个简化了的CPU与主存连接结构示意图(图中省略了所有的多路选择器)。其中有一个累加寄存器(ACC)、一个状态数据寄存器和其他4个寄存器:主存地址寄存器(MAR)、主存数据寄存器(MDR)、程序寄存器(PC)和指令寄存器(IR),各部件及其之间的连线表示数据通路,箭头表示信息传递方向。

(4) 简述完成指令LDA X的数据通路(X为主存地址, LDA的功能为(X)→ACC)。

 $X \rightarrow MAR$ $M(MAR) \rightarrow MDR$ $(MDR) \rightarrow ALU \rightarrow ACC$

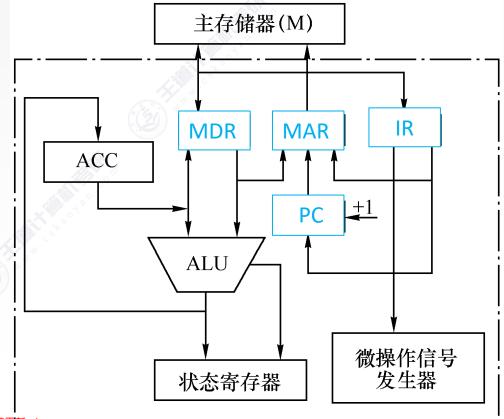


关注公众号【研途小时】获取后续课程完整更新

下图是一个简化了的CPU与主存连接结构示意图(图中省略了所有的多路选择器)。其中有一个累加寄存器(ACC)、一个状态数据寄存器和其他4个寄存器:主存地址寄存器(MAR)、主存数据寄存器(MDR)、程序寄存器(PC)和指令寄存器(IR),各部件及其之间的连线表示数据通路,箭头表示信息传递方向。

(5) 简述完成指令ADD Y的数据通路(Y为主存地址, ADD的功能为(ACC)+(Y)→ACC)。

 $Y \rightarrow MAR$ $M(MAR) \rightarrow MDR$ $(MDR) \rightarrow ALU, (ACC) \rightarrow ALU$ $ALU \rightarrow ACC$

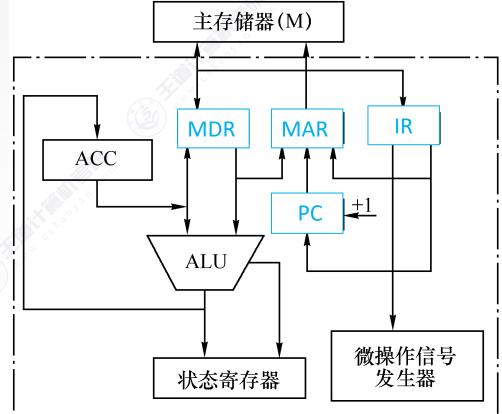


关注公众号【研途小时】获取后续课程完整更新一

下图是一个简化了的CPU与主存连接结构示意图(图中省略了所有的多路选择器)。其中有一个累加寄存器(ACC)、一个状态数据寄存器和其他4个寄存器:主存地址寄存器(MAR)、主存数据寄存器(MDR)、程序寄存器(PC)和指令寄存器(IR),各部件及其之间的连线表示数据通路,箭头表示信息传递方向。

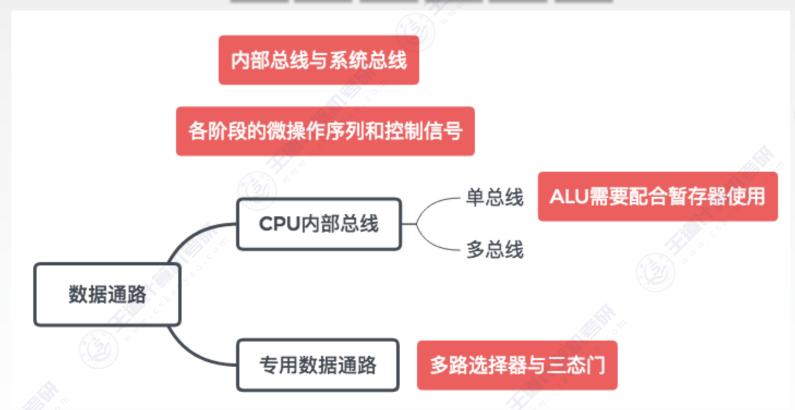
(6) 简述完成指令STA Z的数据通路(Z为主存地址, STA的功能为(ACC)→Z)。

 $Z \rightarrow MAR$ (ACC) $\rightarrow MDR$ (MDR) $\rightarrow M(MAR)$



注公众号【研途小时】获取后续课程完整更新

本节回顾



涉及的主要操作类型: 寄存器之间的数据传送; 主存与CPU之间的数据传送; 使用ALU进行算术逻辑运算。

基本思路:

利用题目提供的数据通路进行数据传送; 由CU发出的控制信号实现通路的建立。