

Jméno: Matej Slivka

Login: xslivk03

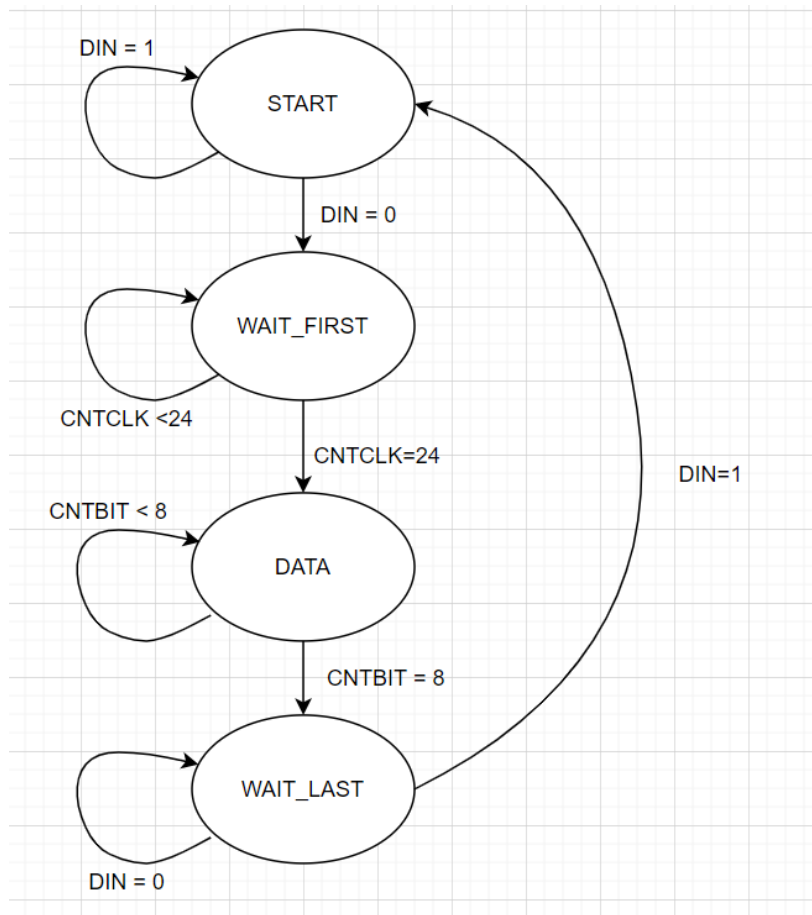
Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu

Popis funkce Stručný slovní popis struktury a funkce obvodu (max. polovina strany A4)

Návrh automatu (Finite State Machine)

Schéma automatu



Popis funkce

Automat pracuje v štyroch stavoch (START, WAIT_FIRST, DATA, WAIT_LAST). Počiatočný stav automatu je START.

START- keď sa automat nachádza v stave START, tak čaká na zahájenie prenosu dát. Teda čaká na vstupe (DIN) bit s hodnotou 1 ktorý predstavuje start bit.

WAIT_FIRST- v tomto stave automat prijal start_bit a čaká na prvý bit prenášaného slova. Automat si automaticky odráta 24 hodinových taktov . Po uplynutí 24 hodinových taktov sa automat nachádza v strede signálu prvého bitu ktorý má čítať.

DATA- v tomto stave automat zbiera data ktoré sú posielané. Data berie osem krát za každým keď si odráta 16 hodinových taktov. Po uložení posledného signálu sa prepne do modu WAIT_LAST

WAIT_LAST- V tomto stave automat dostáva vstup $DIN=0$. Na základe tohto signálu dokáže automat určiť ,že sa jedná o STOP BIT. Akonáhle automat dostane na vstupe $DIN=1$ tak sa prepne do stavu START

Snímek obrazovky ze simulací

