

การทดลองที่ 5 ฟลิปฟลอป และ BCD to 7Segment และวงจรนับ**วัตถุประสงค์**

1. เพื่อให้นักศึกษาเข้าใจการทำงานของฟลิปฟลอป
2. เพื่อให้เข้าใจการทำงานของ BCD to 7 Segment
3. เพื่อให้สามารถออกแบบวงจรนับแบบ Synchronous ได้
4. เพื่อให้สามารถสร้างวงจรนับที่ออกแบบโดยใช้ JK Flip Flop ได้
5. เพื่อให้สามารถใช้งานโปรแกรมช่วยออกแบบ ISE WebPack ได้




บทนำ**Flip-Flop****D Flip Flop Characteristic Table**

D	Clock	Q	\bar{Q}	
0	0	Q	\bar{Q}	Nochanged State
1	0	Q	\bar{Q}	
0	1	0	1	
1	1	1	0	

T Flip Flop Characteristic Table

T	$Clock$	Q	\bar{Q}	
0	1/0/1	\bar{Q}	Q	Toggle
1	1/0/1	\bar{Q}	Q	Toggle

JK Flip Flop Characteristic Table

\overline{PRESET}	\overline{CLEAR}	J	K	Clk	Q	\bar{Q}	State
0	1	X	X	X	1	0	Set
1	0	X	X	X	0	1	Reset
0	0	X	X	X	1	1	Unused
1	1	0	1		0	1	Reset
1	1	1	0		1	0	Set
1	1	0	0	X	Q	\bar{Q}	Unchanged
1	1	1	1		\bar{Q}	Q	Toggle

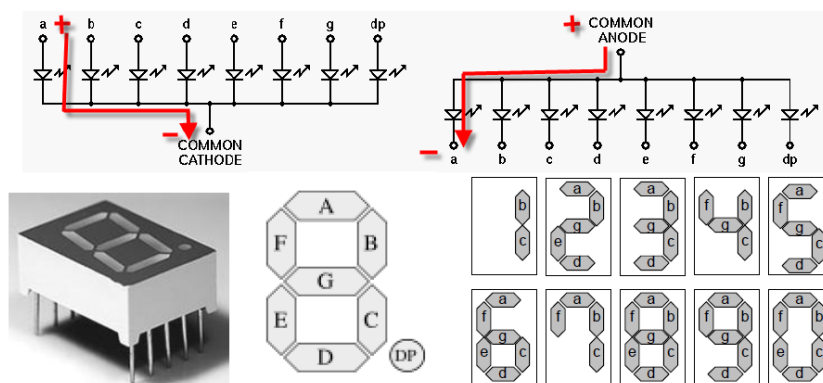
JK Flip Flop Excitation Table

Present State	Next State	Input	
Q	Q	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

7 Segment Display

คือ ไดโอดเปล่งแสงแบบเลขเจ็ดส่วนเป็น LED (Light Emitting Diode) ที่นำมาจัดวางรูปแบบแสดงผลตัวเลข และตัวอักษรภาษาอังกฤษบางตัว 7-Segment ประกอบด้วย LED จำนวนแปดตัว ดังรูปที่ 1 (ล่าง) คือ A, B, C, D, E, F, G, และ DP โดยเชื่อมต่อวงจรในสองแบบคือ Common Anode กับ Common Cathode ดังรูปที่ 1 (บน)

Common Anode คือจุดเชื่อมต่อของ LED ทั้งแปดดวงเชื่อมต่อกันหมดที่ขา Anode ส่วน Common Cathode คือจุดเชื่อมต่อของ LED ทั้งแปดดวงเชื่อมต่อกันหมดที่ขา Cathode หรือจำง่ายๆ ว่า Common Anode รวมจุดไฟบวกไว้ด้วยกัน Common Cathode รวมจุดไฟลบไว้ด้วยกัน



รูปที่ 1 แสดง 7 Segment Display

7447/48

7447/48 เป็นไอซีที่ใช้ในการแปลงสัญญาณดิจิตอลขนาด 4 บิตไปเป็นสัญญาณที่ใช้ในการควบคุม 7 segment โดยให้ศึกษาการทำงานโดยละเอียดของไอซีเบอร์ 7447(48) ได้จาก Datasheet

7493 Synchronous 4-Bit Binary Counter







7493 คือ ไอซีที่ใช้เป็นวงจรนับแบบไบนารีขนาดสูงสุด 4 บิตแบบนับขึ้น โดยภายในบรรจุ JK Flip Flop เชื่อมต่อแบบ master/slave จำนวน 4 ตัว นอกจากนี้ไอซี 7493 มีสัญญาณรีเซ็ต 2 สัญญาณ ได้แก่

$R_{0(1)}$ และ $R_{0(2)}$ เมื่อสัญญาณทั้งสองเป็นลอจิก 0 ทั้งคู่ JK Flip Flop ทุกตัวจะอยู่ในสถานะรีเซ็ต ศึกษา รายละเอียดการทำงานเพิ่มเติมได้จาก datasheet







การทดลอง

- ให้นักศึกษาสร้างวงจร Flip Flop ชนิดต่าง ๆ กำหนดให้อินพุตมาจากสวิตช์เลื่อนและ Clock มาจากสวิตช์ PB1 หรือ PB2 โดยเอาท์พุทเป็น LED 2 ตัว ไฟติดคือ 1 ไฟดับคือ 0

















1.1 D Flip Flop

















D	Clock	Q	\bar{Q}	State
0	-			
0				
0				
1	-			
1				
1				
0	-			
0				
0				

1.2 T Flip Flop

T	Clock	Q	\bar{Q}	State
0	-			
0				
0				
1	-			
1				
1				
0	-			
0				
0				

1.3 JK Flip Flop

\overline{PRESET}	\overline{CLEAR}	J	K	Clock	Q	\overline{Q}	State
1	1	0	0	-			
1	1	0	0				
1	1	0	0				
1	1	0	1	-			
1	1	0	1				
1	1	0	1				
1	1	1	0	-			
1	1	1	0				
1	1	1	0				
1	1	1	1	-			
1	1	1	1				
1	1	1	1				
0	1	0	0	-			
0	1	0	0				
0	1	0	0				
0	1	0	1	-			
0	1	0	1				
0	1	0	1				
0	1	1	0	-			
0	1	1	0				
0	1	1	0				
0	1	1	1	-			
0	1	1	1				
0	1	1	1				

\overline{PRESET}	\overline{CLEAR}	J	K	Clock	Q	\overline{Q}	State
1	0	0	0	-			
1	0	0	0				
1	0	0	0				
1	0	0	1	-			
1	0	0	1				
1	0	0	1				
1	0	1	0	-			
1	0	1	0				
1	0	1	0				
1	0	1	1	-			
1	0	1	1				
1	0	1	1				
0	0	0	0	-			
0	0	0	0				
0	0	0	0				
0	0	0	1	-			
0	0	0	1				
0	0	0	1				
0	0	1	0	-			
0	0	1	0				
0	0	1	0				
0	0	1	1	-			
0	0	1	1				
0	0	1	1				

- [illegible]

[illegible]

This image shows a full page of white paper with horizontal dashed lines, typical of primary school handwriting practice paper. The lines are evenly spaced and run across the width of the page. There are no margins, text, or other markings on the paper.

Logic Diagram (JK Flip Flop)

4. แก้ไขเพิ่มเติมวงจรนับในข้อ 2 โดยเพิ่ม การแสดงผลบน 7 segment โดยใช้วงจรถอดรหัสจากข้อ 1 แล้วแสดงผลบน 7 segment บน FPGA โดยต่อสัญญาณ Clock ของวงจรนับเข้ากับสวิทช์กดติดปัลลอยด์ 1 ตัวบนบอร์ด FPGA
5. ทดสอบการทำงานให้สมบูรณ์ แล้วส่งตรวจ

ใบตรวจการทดลองที่ 5

วัน/เดือน/ปี _____ ☐ กลุ่มเช้า ☐ กลุ่มบ่าย กลุ่มที่ _____

รหัสนักศึกษา _____ ชื่อ-นามสกุล _____

การตรวจการทดลอง

☐ บันทึกคะแนนแล้ว

การทดลองข้อ 5 ลายเซ็นอาจารย์ _____