

# CSED311: Lab 4 (due Apr. 30)

김태연(20220140), 손량(20220323)

Last compiled on: Tuesday 23<sup>rd</sup> April, 2024, 20:27

## 1 Introduction

RISC-V architecture를 바탕으로 Control flow instruction을 처리하지 않는 Pipelined CPU를 구현한다.

## 2 Design

이번에 구현한 RISC-V Multicycle CPU는 다음과 같은 주요 기능을 가진 Submodule로 나누었으며, 생성된 값들을 선택하기 위해 추가적으로 Multiplexer를 구현하여 사용했다. 기존 Single-cycle CPU에 추가적으로 Forwarding unit과 Forwarding path를 설계하여 Pipelining을 지원하였다.

### 2.1 Program Counter

### 2.2 Instruction Memory and Data Memory

### 2.3 Register File

### 2.4 Inter-Stage Registers

#### 2.4.1 IF-ID

#### 2.4.2 ID-EX

#### 2.4.3 EX-MEM

#### 2.4.4 MEM-WB

### 2.5 ALU

### 2.6 Immediate Generator

### 2.7 Control Unit

### 2.8 Hazard Detection Unit

## 3 Hazard Detection and Data Forwarding

## 4 Implementation

각 베릴로그 파일에 대한 세부 설명은 다음과 같다.

#### **4.1 top.v – Top module**

cpu.v에서 구현한 cpu 모듈을 사용하여 Pipelined CPU를 구현하였다.

#### **4.2 cpu.v – 내부 Module을 연결하여 Pipelined CPU 구성**

cpu.v는 다음과 같은 submodule을 연결하여 구성하였다.

### **5 Discussion**

### **6 Conclusion**