

CSED311: Lab 2 (due Mar. 26)

김태연(20220140), 손량(20220323)

Last compiled on: Tuesday 19th March, 2024, 20:42

1 Introduction

RISC-V architecture를 바탕으로 구성된 Single cycle CPU가 작동하는 방식을 알아보고, 각 Instruction type에 따라 거치는 Datapath에 유의하며 CPU를 구성하는 각 module을 연결하여 Single cycle CPU를 구현한다.

2 Design

이번에 구현한 RISC-V Single cycle CPU는 다음과 같은 Submodule로 나누어서 설계하였다.

2.1 ALU

2.2 Register file

2.3 Data memory

2.4 Instruction memory

3 Implementation

각 베릴로그 파일에 대한 설명은 다음과 같다.

- 3.1 `cpu.v` – 내부적인 Module을 연결하여 CPU 구성
- 3.2 `cpu_def.v` – CPU control unit을 위한 상수 정의
- 3.3 `opcodes.v` – CPU instruction set에 대응되는 상수 정의
- 3.4 `control_unit.v` – Instruction으로부터 CPU control signal 생성
- 3.5 `register_file.v` – Register file 구현
- 3.6 `instruction_memory.v` – Instruction memory 구현
- 3.7 `data_memory.v` – Data memory 구현
- 3.8 `alu.v` – ALU 동작 구현
- 3.9 `alu_def.v` – ALU 구성을 위한 상수 정의
- 3.10 `alu_control_unit.v` – Instruction과 ALU opcode 대응
- 3.11 `immediate_generator.v` – Instruction type 별 immediate value 생성
- 3.12 `pc.v` – Program Counter 동작 구현
- 3.13 `adder32bit.v` – 내부적인 Adder 동작 구현
- 3.14 `mux32bit.v` – 내부적인 Multiplexer 동작 구현
- 3.15 `top.v` – Top module

4 Discussion

5 Conclusion