2023 Digital IC Design Homework 2

|  |  |  |
| --- | --- | --- |
| NAME | 陳映臻 | |
| Student ID | P76111783 | |
| **Functional Simulation Result** | | |
| **Score** | | **100** |
| .  .  . | | |
| **Description of your design** | | |
| 將output都設置成reg型態，並新增一些register：number, counter, stack, order, pop\_index, top，number儲存每個test pattern的火車數量，counter記錄data訊號在目前test pattern傳送過的火車順序數量，stack和order皆為陣列，stack模擬火車入站、出站，order儲存出站順序，pop\_index記錄order下一個要出站的陣列index(也等於已經出站的火車數量)，top記錄stack的top index。  當偵測到clk和reset正緣的時候，進入always block，如果reset為1，將所有register初始為0，否則開始讀取test pattern。若number為0，代表尚未讀取test pattern的火車數量，因此讓number等於data，不然接著判斷counter是否已經等於test pattern的火車數量，如果還沒的話開始讀取目前的火車順序，並操作stack的push和pop，更新counter, pop\_index, top的值，否則輸出結果，將valid先設成1在判斷result的值，若top為0的話，代表stack為空，火車照著test pattern的順序可以全部出站，result設為1，不然result為0。若valid為1的話，下一個cycle將所有register設回預設值0。 | | |