

به نام خداوند بخشنده و مهربان



دانشگاه صنعتی امیرکبیر  
( پلی تکنیک تهران )



دانشکده مهندسی  
کامپیوتر و فناوری اطلاعات

گزارش پروژه پایان ترم معماری کامپیوتر

استاد درس : جناب آقای دکتر حامد فربه

تدریس یاران درس :

سپیده بیاتی

نگین فیروزیان

دانشجویان :

آراد اشرفی اصل ۹۴۳۴۰۰۵

روزبه قاسمی ۹۵۳۱۴۲۴

تابستان ۱۳۹۷

۱- هدف از پروژه چیست؟

۲- دستورات و گذرگاه مشترک

۳- زمان بندی و کنترل

۴- سیکل دستورات و انواع آن

۵- فلوچارت و توضیحات تکمیلی

۶- اجرای برنامه و امواج خروجی

۷- تحلیل دستی کد

هدف از پروژه چیست؟

هدف از این پروژه پیاده سازی یک کامپیوتر پایه مشابه کامپیوتر پایه مانو است. این پردازنده موظف است دستورات ساده پیاده شده عم از جمع و تفریق که در ادامه آمده است را انجام دهد.

دستورات و گذرگاه مشترک

به طور کلی دستورات ما ۱۶ بیتی است که ۱۰ بیت کم ارزش ما یعنی از بیت شماره ۰ تا بیت شماره ۹ مربوط به آدرس و دیتاست. همچنین از بیت ۱۰ تا بیت ۱۳ به Op Code مرتبط می شود.

بیت شماره ۱۴ ام مربوط به ۱۰ و بیت شماره ۱۵ ام مربوط به ۱۱ می شود که وظیفه ۱۰ و ۱۱ مشخص کردن نوع آدرس دهی است. همچنین در جدول شماره ۱ در توضیح پروژه با توجه به ۱۱ و ۱۰ مشخص می شود که آدرس دهی فوری، مستقیم یا غیر مستقیم است.

همچنین این کامپیوتر همانند کامپیوتر پایه مانو نیاز به چندین رجیستر عم از AC و MAR و MBR خواهد بود که لیست تمام رجیستر های مورد نیاز در جدول شماره ۲ در توضیح پروژه ذکر شده است.

می‌دانیم کامپیوتر پایه از ۸ رجیستر، یک واحد حافظه و یک واحد کنترل تشکیل شده است که طبق نقشه شماره ۲ نشان می‌دهد که رجیستر ها چگونه با یکدیگر ارتباط به وسیله گذرگاه مشترک ارتباط داشته اند. این گذرگاه مشترک نیز به وسیله یک مالتی پلوسر ۸ به ۱ طراحی شده است. در صفحه ۵ نیز به طور مفصل دستورات این کامپیوتر پایه توضیح داده شده است که از آن عبور کرده و به مباحث مهم تری می‌پردازیم.

## زمان بندی و کنترل

زمان بندی برای هر رجیستری در هر کامپیوتر پایه ای از طریق یک تولید کننده کلاک ارشد انجام می‌شود که در این پروژه وظیفه زمانبندی بر عهده Sequence Counter است که با استفاده از Decoder این کار انجام می‌شود.

## سیکل دستورات و انواع آن

سیکل دستورات به وسیله ۳ فلیپ فلاپ اصلی تعیین می‌شود که این سه فلیپ فلاپ به ترتیب G و F و R می‌باشد که با استفاده از جدول شماره ۴ مشخص می‌شود که دستورات در چه سیکلی قرار دارد و در ادامه هر کدام از این سیکل ها توضیح داده شده است.

## فلوچارت و توضیحات تکمیلی

برای پیاده سازی نهایی، هرکدام از ماژول هارا پیاده سازی کرده و سپس در ماژول نهایی CPU که در اصل تاپ ماژول ما نیز هست از دیگر ماژول ها کامپوننت گرفته و با استفاده از سیگنال های کمکی اجزای کامپیوتر را بهم وصل می کنیم.

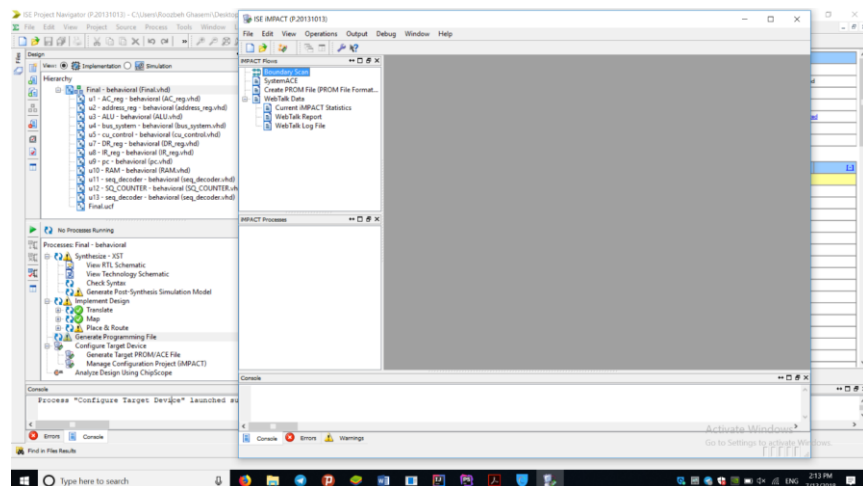
روش کار آن نیز دقیقاً براساس فلوچارت داده شده در توضیح پروژه است. ابتدا Fetch شده سپس Decode کرده و روش آدرس دهی آن مشخص می شود (مستقیم یا غیرمستقیم) سپس Execute شده و تشخیص داده می شود که دستورات از نوع ورودی-خروجی است یا ثباتی.

این دستورات مربوط به ماژول Control Unit است و می توان گفت پایه این پروژه در اصل همین ماژول است.

## اجرای برنامه و امواج خروجی

زمانی که می خواهیم پروژه را سنتز کنیم به دلیل سنگینی برنامه زمان سنتز آن طولانی می شود اما در نهایت سنتز می شود و قابل اجرا روی FPGA نیز هست.

حال میتوان برای صحت این موضوع در قسمت Simulation از تاپ ماژول یک testbench ساخته و از روی امواج خروجی صحت آنرا تایید می کنیم.



# تحليل دستی کد

ردیف	T <sub>۰</sub>	T <sub>۱</sub>	T <sub>۲</sub>	T <sub>۳</sub>	T <sub>۴</sub>	T <sub>۵</sub>
PC	۰۱H	(۰۲)H	(۰۲)H	(۰۲)H	(۰۲)H	(۰۲)H
IR	۲A	۸۹	۸۹	۸۹	۸۹	۸۹
AR	۰۱	۰۱	۰۹	۹A	۹A	۹A
DR	FB	FB	FB	FB	FC	FC
AC	FB	FB	FB	FB	FB	FA
D	D۲	D۲	D۰	D۰	D۰	D۰
IRv	۰	۰	۱	۱	۱	۱

ردیف	T <sub>۰</sub>	T <sub>۱</sub>	T <sub>۲</sub>	T <sub>۳</sub>	T <sub>۴</sub>	T <sub>۵</sub>
PC	۰۲	۰۲	۰۲	۰۲	۰۲	
IR	۸۹	۳C	۳C	۳C	۳C	
AR	۰۲	۰۲	۰C	۰C	۰C	
DR	FC	FC	FC	FC	FC	
AC	FA	FA	FA	FA	FA	
D	D۰	D۰	D۳	D۳	D۳	
IRv	۱	۱	۰	۰	۰	

$\mu$ $\delta$	$T_c$	$T_i$	$T_r$	$T_{rr}$	$T_{rr}$	$T_d$
PC	$\cdot r$	$\cdot r$	$\cdot r$	$\cdot r$	$\cdot r$	$\cdot r$
IR	$r_c$	$1B$	$1B$	$1B$	$1B$	$1B$
AR	$\cdot r$	$\cdot r$	$\cdot B$	$\cdot B$	$\cdot B$	$\cdot B$
DR	$F_c$	$F_c$	$F_c$	$F_c$	$\cdot 1$	$\cdot 1$
AC	$F_A$	$F_A$	$F_A$	$F_A$	$F_A$	$F_A$
D	$D_r$	$D_{rr}$	$D_{rr}$	$D_1$	$D_{rr}$	$D_1$
IRv	$\cdot$	$\cdot$	$\cdot$	$\cdot$	$\cdot$	$\cdot$

$\mu$ $\delta$	$T_c$	$T_i$	$T_r$	$T_{rr}$	$T_{rr}$	$T_d$
PC	$\cdot r$	$\cdot 2$	$\cdot 2$	$\cdot 2$	$\cdot 2$	
IR	$1B$	$r_c$	$r_c$	$r_c$	$r_c$	
AR	$\cdot r$	$\cdot r$	$\cdot C$	$\cdot C$	$\cdot C$	
DR	$1B$	$1B$	$1B$	$1B$	$1B$	
AC	$F_A$	$F_A$	$F_A$	$F_A$	$F_A$	
D	$D_1$	$D_1$	$D_{rr}$	$D_{rr}$	$D_{rr}$	
IRv	$\cdot$	$\cdot$	$\cdot$	$\cdot$	$\cdot$	

$\delta$	$T_2$	$T_1$	$T_r$	$T_r$	$T_r$	$T_2$	$T_4$
PC	.2	.4	.4	.4	.4	.4	.4
IR	4C	4C	4C	4C	4C	4C	4C
AR	.2	.2	.C	.C	.C	.C	.C
DR	1B	1B	1B	1B	F9	FA	FA
AC	F9	F9	F9	F9	F9	F9	F9
D	Dy	Dy	Dy	Dy	Dy	Dy	Dy
IRv	.	.	.	.	.	.	.

$\gamma$	$T_2$	$T_1$	$T_r$	$T_r$	$T_r$	$T_2$
PC	.4	.V	.V	.V	.V	
IR	4C	1V	1V	1V	1V	
AR	.4	.4	.V	.V	.V	
DR	FA	FA	FA	FA	FA	
AC	F9	F9	F9	F9	F9	
D	Dy	Dy	Dy	Dy	Dy	
IRv	.	.	.	.	.	