# **Lab3 Preparation Report**

*יהונתן ארמא 207938903*

*יובל יעקב סעיד 206921892*

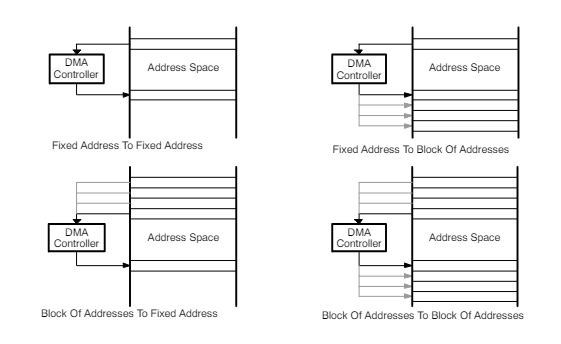
## PART C:

1. ה-DMA (Direct memory access) הוא רכיב שאחראי על העברת מידע מכתובת אחת לכתובת אחרת ללא התערבות ה-CPU, בכל מרחב הכתובות, אפילו מרגיסטרי הפריפריה ל-RAM.

שימוש ב-DMA יכול להגביר את תפוקת המערכת (Throughput), בנוסף זה יכול להוריד את צריכת ההספק של המערכת על ידי שמירת ה-CPU על מצב חיסכון בהספק.

ה-Tradeoff על השימוש הזה הוא שהוספת רכיב פריפריאלי זה יקר.

1. ל-DMA שלנו יש 4 שיטות מיעון, כל ערוץ DMA יכול לעבוד במוד אחר באופן בלתי תלוי.
   1. Fixed address to fixed address: העתקה מכתובת בודדת לכתובת בודדת.
   2. Fixed address to block addresses: העתקה מכתובת בודדת לבלוק של כתובות.
   3. Block addesses to fixed address: העתקה מבלוק של כתובות לכתובת בודדת.
   4. Block addesses to fixed address: העתקה מבלוק של כתובות לבלוק של כתובות.

תיאור מהמשפחה:

1. ל-DMA שלנו יש 6 שיטות להעברת מידע, כל ערוץ DMA יכול לעבוד במוד אחר באופן בלתי תלוי.
   1. Single Transfer: כל העברת מידע בודדת דורשת טריגר. ומתבצע Clear בצורה אוטומטית.
   2. Block transfer: כל העברת בלוק שלם דורשת טריגת בודד. שוב, מתבצע Clear אוטומטי בסיום.
   3. Burst-block transfer: ה-DMA מבצע העברת Burst, Blocking ל-CPU, כאשר ה-CPU מבצע 20 אחוז מהיכולות שלו בין כל 4 העברות של ה-DMA. גם פה מתבצע Clear לביט.
   4. Repeated single transfer: כל העברת מידע בודדת דורשת טריגר. **ולא** מתבצע Clear בצורה אוטומטית.
   5. Repeated block transfer: כל העברת בלוק שלם דורשת טריגת בודד. **ולא** מתבצע Clear אוטומטי בסיום.
   6. Repeated burst-block transfer: ה-DMA מבצע העברת Burst, Blocking ל-CPU, כאשר ה-CPU מבצע 20 אחוז מהיכולות שלו בין כל 4 העברות של ה-DMA. **ולא** מתבצע Clear לביט.
2. ACD12 – ניתן להעביר מידע בצורה אוטומטית מהזכרון של ה-ADC (ADC12MEM) למיקום אחר, מתבצע ללא ה-CPU. פעולת ה-DMA יכולה להיות מוטרגת מרגיסטר ה-ADC12IFG

DAC12 – כנ"ל יכול להעביר מידע ל-DAC12\_xDAT, והדגל יורד אוטומטית.

TimerB – שוב, ה-DMA יכול להיות מוטרג מהדגל של האינטרפט.

1. בבוקר שלנו יש שלושה רכיבים להעברת מידע דרך DMA, שמסודרים בין 0 ל-2. רק רכיב אחד יכול לפעול בכל עת. אם יש טריגר לשני רכיבים במקביל, הרכיב שיש לו עדיפות גבוהה יתחיל לפעול, והרכיב עם עדיפות נמוכה ימתין עד לסיום ההעברה של הרכיב הראשון. ניתן להגדיר את סדר העדיפויות, שעשוי להשתנות באמצעות ביטים ROUNDROBIN. במצב רגיל, הרכיבים פועלים בסדר מהמספר הנמוך לגבוהה. ב ROUNDROBIN, הרכיב שסיים את ההעברה האחרונה יתחיל בעדיפות הנמוכה ביותר.

לרכיב ה-DMA נדרש זמן להתחיל לפעול. כדי לסנכרן את עבודתו עם המעבד, הוא צריך בין מחזור אחד לשני של שעון MCLK. לאחר הסנכרון, הרכיב דורש עוד שני מחזורי שעון להעברת בייט או מילה, ומחזור נוסף של המתנה בין כל העברה להעברה. לכן, סה"כ הזמן של הפעולה הוא בין 4 ל-5 מחזורי שעון MCLK.

עבור מקרה 1 על פי טבלת ה- datasheet, הרכיב ה-DMA דורש 4 מחזורי שעון MCLK. b) עבור מקרה 2 על פי טבלת ה- datasheet, הרכיב ה-DMA דורש 5 מחזורי שעון MCLK.

1. בכל ערוץ של DMA קיים ביט המאפשר בקשה לפסיקה. פסיקה זו מתרחשת כאשר ערך הרגיסטר DMAxSZ מגיע לערך 0, המציין סיום העברת המידע. על מנת לאפשר את הפסיקה, יש להפעיל פסיקה גלובלית ופסיקה מקומית באופן מתאים.
2. בזמן פעולת ה-DMA אין אפשרות להפעיל בקשות פסיקה אחרות. כל בקשות הפסיקה שיתקבלו במהלך זמן זה יוכנסו לתור המתנה עד שה-DMA יסיים את פעולתו. כדי למנוע בעיות כאלה, נמליץ להשבית את מודול ה-DMA כאשר איננו משתמשים בו ולהפעילו רק בזמן שימוש בו.