

دانشگاه صنعتی امیرکبیر (پلی تکنیک تهران)  
دانشکده مهندسی برق

## گزارش کارآموزی

پایه سازی و ارزیابی فیلتر بلادرنگ روی FlexRIO  
R)۵۷۸۲NI- + R۷۹۷۲PXIe- (NI  
راهنمای تحویل و ادامه کار در LabVIEW FPGA

آرش گنجه ای

40123070

کارشناسی — مهندسی برق (Control)

UNSW Sydney — Control & Dynamics Lab

دکتر Hendra Nurdin

دکتر پیرانوند

شهریور ۱۴۰۴

دانشجو:

شماره دانشجویی:

مقطع و گرایش:

محل کارآموزی:

استاد ناظر (میزبان):

استاد ناظر (دانشکده):

تاریخ:

## فرم تصویب و تأیید دفاع / ارزیابی

این صفحه پس از تأیید نهایی/دفاع توسط کمیته آموزشی تکمیل و در نسخه نهایی جایگزین می شود.

## تعهدنامه اصالت اثر

به نام خدا

اینجانب آرش گنجه‌ای، متعهد می‌شوم مطالب مندرج در این گزارش حاصل کار پژوهشی/فنی اینجانب تحت راهنمایی و نظارت اساتید دانشگاه صنعتی امیرکبیر بوده و مطابق مقررات و روال‌های متعارف به منابع دیگر ارجاع داده شده است. این اثر قبلاً برای احراز هیچ مدرک هم‌سطح یا بالاتر ارائه نشده است. در صورت اثبات هرگونه تخلف، دانشگاه مجاز به پیگیری قانونی و ابطال مدرک می‌باشد. کلیه حقوق مادی و معنوی این اثر متعلق به دانشگاه صنعتی امیرکبیر است.

آرش گنجه‌ای

1404/07/01

نام و نام خانوادگی:

امضاء:

تاریخ:

## چکیده

این گزارش، پیاده‌سازی و ارزیابی یک زنجیره پردازش سیگال بلادرنگ را بر روی پلتفرم NI PXIe-7972R (Kintex-7) به همراه ماژول NI-5782R در محیط LabVIEW FPGA مستند می‌کند و به عنوان یک راهنمای تحویل و ادامه کار تدوین شده تا دانشجویان بعدی بتوانند پروژه را بدون ابهام بازسازی، اجرا و توسعه دهند. برای دستیابی به نرخ 125 MHz در SCTL و حفظ دقت عددی، معماری فیلتر IIR مرتبه دو با تبدیل Look-Ahead ( $k=1$ ) برگزیده شد تا وابستگی بازخورد از  $y[n-1]$  به  $\{y[n-2], y[n-4]\}$  جابه‌جا شود؛ بدین ترتیب یک رجیستر لوله‌ای یک سیکل روی همه شاخه‌ها—از جمله  $b.x[n]$ —قابل اعمال است و زمان‌بندی حفظ می‌شود، در حالی که تابع انتقال  $H(z)$  بدون تغییر (جز یک تأخیر صحیح) باقی می‌ماند.

ضرب‌ها به صورت موازی بر روی DSP48E1 و جمع‌ها به شکل درخت متوازن پیاده‌سازی شده‌اند. تنها یک تبدیل عددی (HT نهایی  $\rightarrow Q2.23$ ) درست پیش از بازخورد حالت انجام می‌شود تا از کوانتیزاسیون‌های میانی و افت طیفی جلوگیری گردد. برای رسم و لاگ با نرخ بالا، به جای Read/Write Control از DMA FIFO استفاده شده است. در میزبان، سیگال‌ها به DBL تبدیل و با  $dt = 8 \text{ ns}$  (125 MHz) به موج تبدیل و نمایش داده می‌شوند.

اعتبارسنجی شامل هم‌ترازی تأخیر و علامت، برازش gain/offset، محاسبه RMSE و Corr، و طیف‌های Welch PSD در بازه 1-60 MHz است. نتایج نشان می‌دهند پیاده‌سازی FPGA با مرجع Fixed-Point هم‌راستاست و اختلاف با مرجع دابل در کف کوانتیزاسیون قابل تبیین است. افزون بر فیلتر، یک الگوی برآورد فاز نیز ارائه می‌شود که در آن وزن‌ها روی میزبان تولید، با DMA Host  $\rightarrow$  Target منتقل، در BRAM ذخیره و سپس در SCTL برای MAC‌های پالس‌به‌پالس مصرف می‌شوند. گزارش با یک دستورکار بازآفرینی دقیق (افزودن شاسی/اهداف/CLIP، تعریف DMA، اتصال bitfile، چیدمان پوشه‌ها)، نکات زمان‌بندی و عیب‌یابی، و پیشنهاد‌های توسعه (مانند Q2.24 و دادرینگ) جمع‌بندی می‌شود.

**کلیدواژه‌ها:** LabVIEW FPGA، FlexRIO، NI-5782R، IIR Look-Ahead، DMA FIFO

# Abstract

This internship report documents the implementation and evaluation of a real-time signal-processing chain on NI PXIe-7972R (Kintex-7) with the NI-5782R front end in LabVIEW FPGA. A second-order IIR filter using Look-Ahead ( $k=1$ ) and a uniform one-cycle pipeline on *all* branches—including the  $b.x[n]$  path—was realized to meet 125 MHz SCTL timing. Multiplications run in parallel on DSP48E1 slices and the sums are organized as a balanced tree. Fixed-point formats are Q2.23 for signals and Q2.16 for coefficients, with a single final high-throughput cast (wide→Q2.23) just before state feedback to minimize quantization noise and avoid mid-stream casts.

High-rate plotting and logging use DMA FIFO rather than Read/Write Control. On the host, streams are converted to DBL with  $dt = 1\text{ ns}$  and analyzed. Validation covers fixed delay alignment, gain/offset fit, RMSE/correlation, and Welch PSD over 1 MHz–9.5 MHz. The FPGA output matches a fixed-point reference closely; differences relative to a double-precision reference are explainable by quantization. Beyond the filter, a weighted phase-estimation pattern is presented in which weights are generated on the host, transferred via Host→Target DMA, stored in BRAM, and consumed by SCTL MAC blocks. The report concludes with a reproducible hand-off guide (adding chassis/targets/CLIP, defining DMA, linking the bitfile, folder layout), timing/Debug notes, and development suggestions (e.g., Q2.24 and dithering).

**Keywords:** LabVIEW FPGA; FlexRIO; NI-5782R; IIR Look-Ahead; Fixed-Point; DMA FIFO

# فهرست مطالب

تعهدنامه اصالت اثر

چکیده

Abstract

۱	مقدمه و اهداف کارآموزی	۱
۱	۱.۱ پس زمینه و ضرورت	۱.۱
۱	۲.۱ بیانیه مسئله	۲.۱
۱	۳.۱ اهداف کارآموزی (طبق جمع بندی میزبان)	۳.۱
۲	۴.۱ دستاوردهای مورد انتظار و معیارهای موفقیت	۴.۱
۲	۵.۱ دامنه، فرضیات و محدودیت ها	۵.۱
۲	۶.۱ مخاطب و نحوه استفاده از این سند	۶.۱
۳	۷.۱ رویه ها و قراردادهای نگارشی	۷.۱
۳	۸.۱ خلاصه مشارکت ها (Contributions)	۸.۱
۳	۹.۱ ساختار گزارش	۹.۱
۴	۲ شرح دوره و موضوع کارآموزی	۲
۴	۱.۲ محل و بازه زمانی	۱.۲
۴	۲.۲ موضوع و اهداف کاری	۲.۲
۴	۳.۲ وظایف و فعالیت ها	۳.۲
۴	۴.۲ خروجی ها و دستاوردها	۴.۲
۴	۵.۲ مهارت های کسب شده	۵.۲
۵	۳ مبانی نظری و پیشینه کاربردی	۳
۵	۱.۳ فیلتر IIR مرتبه دو در فرم مستقیم و مسئله زمان بندی	۱.۳
۵	۲.۳ تبدیل Look-Ahead (با $k=1$ ) و حفظ تابع انتقال	۲.۳
۶	۳.۳ قالب های عددی Fixed-Point و سیاست های گرد کردن/اشباع	۳.۳
۶	۴.۳ نقش DSP48E1 و چرایی «جمع متوازن»	۴.۳
۶	۵.۳ کلاک گذاری و SCTL: همگامی با I/O Module Clock	۵.۳
۷	۶.۳ DMA FIFO در برابر Read/Write Control	۶.۳
۷	۷.۳ اثرات لوله کشی: فقط تأخیر صحیح، نه تغییر دینامیک	۷.۳
۷	۸.۳ جمع بندی فصل	۸.۳
۸	۴ پلتفرم سخت افزار و نرم افزار	۴
۸	۱.۴ شاسی و کنترلر PXIe	۱.۴
۸	۲.۴ ماژول FPGA: NI PXIe-7972R (Kintex-7)	۲.۴
۸	۳.۴ ماژول I/O: NI-5782R با Multi-Sample CLIP	۳.۴

۴۰۴	کلاک‌ها و هم‌گونه‌سازی	۸
۵۰۴	نرم‌افزار و زنجیرهٔ کامپایل	۹
۶۰۴	نرخ‌ها و منابع	۹
۷۰۴	پیوند میزبان ↔ هدف	۹
۸۰۴	جدول جمع‌بندی پیکربندی	۹
۹۰۴	جمع‌بندی فصل	۱۰
۵	بازآفرینی پروژه از صفر + تولید سیگال و استریم	۱۱
۱۰۵	ایجاد پروژه و افزودن کنترلر/شاسی/هدف FPGA	۱۱
۲۰۵	الحاق NI-5782R با Multi-Sample CLIP و کلاک‌گذاری	۱۱
۳۰۵	تعریف DMA FIFO‌ها و اصول استریم	۱۲
۱۰۳۰۵	اصول طراحی	۱۲
۴۰۵	افزودن FPGA VI و ساخت حلقهٔ SCTL	۱۳
۵۰۵	تولید سیگال داخلی در SCTL و درهم‌گذاری چهارفاز AO	۱۳
۱۰۵۰۵	نمای کلی	۱۳
۲۰۵۰۵	موج مربعی (Square)	۱۳
۳۰۵۰۵	موج دندانه‌اره‌ای (Sawtooth)	۱۳
۴۰۵۰۵	موج سینوسی (Sine)	۱۴
۶۰۵	حلقهٔ AO → AI و قیود نمونه‌برداری	۱۴
۷۰۵	معماری استریم، دسی‌میشن چرخه‌ای و چیدمان Host VI	۱۴
۱۰۷۰۵	دسی‌میشن در هدف	۱۴
۲۰۷۰۵	چیدمان Host VI	۱۴
۸۰۵	الگوی عددی و نکات زمان‌بندی حلقهٔ سریع	۱۴
۹۰۵	اشتباهات رایج و درمان سریع	۱۵
۱۰۰۵	چک‌لیست نهایی بازآفرینی	۱۵
۱۱۰۵	جمع‌بندی فصل	۱۵
۶	پیاده‌سازی دقیق فیلتر روی FPGA	۱۶
۱۰۶	نمای کلی FPGA VI و بخش‌بندی منطقی	۱۶
۲۰۶	طرح عددی و مسیر پیش‌پردازش AI	۱۶
۳۰۶	هستهٔ فیلتر Look-Ahead و هم‌ترازی پایلین	۱۶
۴۰۶	تبدیل نهایی HT و بازخورد حالت	۱۷
۵۰۶	نکات زمان‌بندی و منابع	۱۷
۶۰۶	قلاب‌های مشاهده/ثبت: DMA FIFO و دسی‌میشن	۱۸
۷۰۶	کنترل‌های کم‌سرعت و رجیسترهای وضعیت	۱۸
۸۰۶	اشتباهات رایج و راه‌حل‌ها	۱۸
۹۰۶	قالب ضرایب و خوشهٔ تنظیمات	۱۸
۱۰۰۶	خروجی AO و مسیر بای‌پس	۱۹
۱۱۰۶	جمع‌بندی فصل	۱۹
۷	اعتبارسنجی و نتایج فیلتر	۲۰
۱۰۷	پیکربندی آزمون	۲۰
۲۰۷	روش هم‌ترازی و مرجع	۲۰
۳۰۷	معیارهای کمی	۲۰
۴۰۷	نمودارهای اصلی	۲۱

۵۰۷	جدول نتایج	۲۱
۶۰۷	تفسیر و بحث	۲۲
۷۰۷	تنظیمات استریم و هاست (برای بازتولید)	۲۲
۸۰۷	جمع‌بندی فصل	۲۳

۸	اعتبارسنجی برآورد فاز Mark II)	۲۴
۱۰۸	پیکربندی آزمون و تعاریف	۲۴
۲۰۸	روش ارزیابی	۲۴
۳۰۸	نتایج عددی (پالس نماینده)	۲۵
۴۰۸	نمودارها	۲۵
۵۰۸	تفسیر	۲۵
۶۰۸	بازتولید (حداقل لازم)	۲۵
۷۰۸	کارهای تکمیلی سریع	۲۶
۸۰۸	جمع‌بندی فصل	۲۶

۹	جمع‌بندی و مسیر آینده	۲۷
۱۰۹	دستاوردهای کلیدی	۲۷
۲۰۹	محدودیت‌ها و ریسک‌ها	۲۷
۳۰۹	پیشنهادهای توسعه آتی	۲۸
۴۰۹	چک لیست «تحويل به دانشجوی بعدی»	۲۸
۵۰۹	سخن پایانی	۲۸

آ	کدهای کوتاه تحلیل (نماینده)	۳۰
ب	تنظیمات عملی DMA و هاست	۳۱
پ	واژه‌نامه اختصارات	۳۲
	فهرست نمادها	۳۳
	واژه‌نامه فارسی به انگلیسی	۳۴
	واژه‌نامه انگلیسی به فارسی	۳۵



## فهرست تصاویر

۱۰۵	ساختار پروژه	۱۲
۱۰۷	چگالی طیفی یک طرفه برحسب dB/Hz. منحنی FPGA (قرمز) در تمام باند غیراشباع روی مرجع MATLAB (سیاه) می‌نشیند؛ سیگنال Raw طبق انتظار بالاتر است.	۲۱
۲۰۷	هم‌پوشانی چند دوره سینوسی میان‌باند پس از فقط جبران تاخیر ثابت ۳- نمونه. انطباق بصری کامل است و ناهم‌خوانی‌ها در زیر واحد درصد باقی می‌مانند.	۲۲
۳۰۷	Error PSD: کف ۸۶- تا ۹۵ dB/Hz (بسته به طول بخش/پنجره). با نرمال‌سازی به فول-اسکیل، مقایسه مستقیم با کف نظری dBFS/Hz ۱۴۹,۳- ممکن است.	۲۳
۱۰۸	خلاصه پالس به پالس (Mark II): $\psi_{\text{int}}$ و $\psi_{\text{end}}$ برای HW (دایره توخالی) و SIM (مربع) و همچنین $residual$ روی محور راست.	۲۵
۲۰۸	روند زمانی $\phi$ : داده HW (آبی پیوسته) در برابر شبیه‌سازی MATLAB (قرمز خط چین). خط عمودی شروع پالس و خط افقی $\psi_{\text{true}}$ را نشان می‌دهد.	۲۶

## فهرست جداول

۹	..... خلاصهٔ پیکربندی پلتفرم سخت افزار و نرم افزار
۱۵	..... چک لیست سریع برای بازآفرینی کامل پروژه

## فصل ۱

# مقدمه و اهداف کارآموزی

### ۱.۱ پس زمینه و ضرورت

این کارآموزی در بستر پلتفرم FlexRIO شامل NI PXIe-7972R (Kintex-7) و ماژول NI-5782R انجام شد تا به پرسشی عملی پاسخ دهد: آیا این سکوی سخت افزاری برای پردازش سیگال بلادرنگ در نرخ‌های صدها مگاهرتز، برای آزمایش مدنظر مناسب و قابل اتکا است؟ پاسخ به این سؤال، تنها با «ساختن یک زنجیره واقعی» و سنجش آن در میدان ممکن است؛ به همین دلیل، مسیر گزارش حاضر از طراحی یک فیلتر IIR مرتبه دو آغاز و با اعتبارسنجی و مستندسازی کامل پایان می‌گیرد.

در چنین نرخ‌هایی، چالش اصلی نه «درست بودن ریاضی»، بلکه «بستن زمان بندی» در Single-Cycle Timed Loop (SCTL) و تضمین جریان پایدار داده به/از میزبان است. این الزام، تصمیم‌های معماری را تعیین می‌کند: استفاده هدفمند از بلوک‌های DSP48E1 برای ضرب‌ها، سازمان‌دهی جمع‌ها در یک درخت متوازن، پرهیز از تبدیل‌های عددی میانی، و اتکا به DMA FIFO برای استریم نمودارها و لاگ. هدف این فصل، چارچوبی شفاف برای چرایی و چستی پروژه ارائه می‌کند تا خواننده بداند در ادامه دقیقاً به دنبال چه چیزی است.

### ۲.۱ بیانیه مسئله

- مسئله فنی: پیاده‌سازی فیلتر مرتبه دو روی FPGA به نحوی که در SCTL با کلاک 125 MHz پایدار اجرا شود و عددیت ثابت اعشار (Q-Format) آن با مرجع دقیق هم‌خوانی داشته باشد.
- مسئله سامانه‌ای: طراحی یک مسیر Host↔FPGA که برای رسم/لاگ با نرخ بالا متکی بر DMA FIFO باشد، نه Read/Write Control.
- مسئله تحویل/انتقال: مستندسازی کامل به صورت یک راهنمای تحویل تا دانشجویان بعدی بدون ابهام پروژه را بازآفرینی، اجرا و توسعه دهند.

### ۳.۱ اهداف کارآموزی (طبق جمع بندی میزبان)

براساس هماهنگی‌های انجام شده در پایان دوره با استاد ناظر میزبان، اهداف زیر تعیین شد:

۱. تحویل نسخه اول گزارش: آماده‌سازی متنی که هم جنبه فنی (طراحی/اعتبارسنجی/نتایج) و هم جنبه انتقال (handoff) را پوشش دهد.
۲. نظم‌دهی پروژه: نام گذاری مشخص فایل‌ها و پوشه‌ها، ارجاع‌دهی در گزارش، و کامنت گذاری کافی روی VIs.

۳. مرجع بلادرنگ: رساندن یک فیلتر IIR به اجرای پایدار در SCTL@125 MHz و تطبیق با مرجع مناسب (مدل Fixed-Point/دوبل).

## ۴.۱ دستاوردهای مورد انتظار و معیارهای موفقیت

- دستاوردهای فنی: (الف) فیلتر مرتبه دو با تبدیل Look-Ahead ( $k=1$ ) و لوله‌کشی کنترل‌شده؛ (ب) ضرب‌های موازی روی DSP48E1 و جمع متوازن؛ (پ) تنها یک تبدیل HT نهایی ( $Q2.23 \rightarrow$ ) قبل از بازخورد؛ (ت) استریم پایدار داده با DMA FIFO.
- اعتبارسنجی: هم‌ترازی تأخیر و علامت، برازش gain/offset، شاخص‌های Corr/RMSE، و Welch PSD در بازه 1-60 MHz؛ تطابق کیفی/کمی با مرجع Fixed-Point.
- تحویل و انتقال: دستورکار بازآفرینی پروژه (افزودن شاسی/اهداف/CLIP، تعریف DMA، اتصال bitfile)، نقشه پوشه‌ها، و برگه عیب‌یابی رایج.

## ۵.۱ دامنه، فرضیات و محدودیت‌ها

### دامنه

تمرکز بر یک مسیر نمونه‌وار ولی کامل است: دریافت از AI، مقیاس‌گذاری و تبدیل به Q2.23، پردازش فیلتر، ارسال به AO و استریم چند DMA برای مشاهده/لاگ. برای خودآزمایی، مولد سیگنال داخلی (square/saw/sine) با  $AO \rightarrow AI$  حلقه می‌شود.

### فرضیات

- استفاده از Multi-Sample CLIP برای NI-5782R و درایو کردن SCTL با I/O Module Clock@125 MHz.
- قالب عددی سیگنال Q2.23 و ضرایب Q2.16؛ محصولات و جمع‌ها در پهنای گسترده DSP48E1.
- استفاده از DMA FIFO برای گراف/لاگ و Read/Write Control صرفاً برای کنترل‌های کم‌سرعت.

### محدودیت‌ها

- برای ساده‌سازی، از زنجیره‌های سری DSP48E1 (اتصال  $P \rightarrow C$  طولانی) صرف‌نظر شده و جمع‌ها به صورت درخت متوازن در نظر گرفته شده‌اند.
- مولد موج مربعی با «تقسیم‌گر N» فرکانس را روی شبکه 125 MHz کوآتیزه می‌کند (فرکانس‌های دلخواه پیوسته هدف نیستند).
- AI تا 250 MS/s محدود است؛ برای آزمایش‌هایی مانند 84.6 MHz EOM باید قیود نایکوئیست در نظر گرفته شود (استفاده از هر دو کانال AI پیشنهاد آینده است).

## ۶.۱ مخاطب و نحوه استفاده از این سند

مخاطب اصلی دانشجوی ادامه‌دهنده پروژه و استاد راهنما هستند. مطالعه فصل‌ها به ترتیب پیشنهاد می‌شود:

۱. فصل ۲ (مبانی): چرا Look-Ahead، چرا Q2.16/Q2.23، و چرا جمع‌ها گلوگاه‌اند.
۲. فصل ۳ و ۴ (بلتفرم & بازآفرینی): اضافه‌کردن شاسی/اهداف/CLIP، کلاک‌ها، و تعریف DMA.
۳. فصل ۵ (پیاده‌سازی فیلتر): معماری DSP48E1، لوله‌کشی یک‌سیکل، تبدیل HT نهایی.

- ۴. فصل ۶ (تولید سیگال و استریم): AO چهار فاز، AO→AI، دسی میشن DMA.
- ۵. فصل ۷ (اعتبارسنجی): روش ها و نتایج نماینده.
- ۶. فصل ۸ (الگوی برآورد فاز): Host→Target DMA برای وزن ها، BRAM دو کلاک، SCTL MACs.
- ۷. فصل ۹ (جمع بندی و آینده): پیشنهادها و مسیر توسعه.

## ۷.۱ رویه ها و قراردادهای نگارشی

- برای یکدست بودن نگارش:
- هرگاه اصطلاح/نماد لاتین در متن فارسی می آید، با ... نمایش داده شود (برای درست نمایی حروف و اعداد).
- واحدها و علائم روی محورها انگلیسی بمانند؛ کپشن ها فارسی باشند.
- ارجاع ها به شکل/جدول با Cross-reference انجام شوند تا شماره ها خودکار به روزرسانی شوند.

## ۸.۱ خلاصه مشارکت ها (Contributions)

- ۱. طراحی و پیاده سازی فیلتر بلادرنک با تبدیل Look-Ahead ( $k=1$ ) و لوله کشی یک سیکل هم تراز روی تمام شاخه ها (شامل  $b.x[n]$ ).
- ۲. معماری عددی بهینه: Q2.23 برای سیگال، Q2.16 برای ضرایب؛ تنها یک تبدیل HT نهایی؛ پرهیز از کست های میانی.
- ۳. نقشه پروژه قابل بازآفرینی: افزوده شدن شاسی/اهداف/CLIP، تعریف DMA ها، و اتصال bitfile در Host.
- ۴. اعتبارسنجی مبتنی بر مرجع Fixed-Point و شاخص های PSD/Corr/RMSE.
- ۵. الگوی وزن دهی و برآورد فاز با Host→Target DMA، BRAM، و SCTL MACs.

## ۹.۱ ساختار گزارش

- فصل ۲ مبانی نظری لازم را فراهم می کند (از DF-II تا Look-Ahead و Q-Format).
- فصل ۳ پلتفرم سخت افزار/نرم افزار را معرفی می کند.
- فصل ۴ پروژه را گام به گام از صفر بازآفرینی می کند.
- فصل ۵ پیاده سازی فیلتر روی FPGA را با جزئیات فنی توضیح می دهد.
- فصل ۶ تولید سیگال و استریم DMA را شرح می دهد.
- فصل ۷ روش و نتایج اعتبارسنجی را ارائه می کند.
- فصل ۸ الگوی برآورد فاز و بارگذاری وزن ها را نشان می دهد.
- فصل ۹ جمع بندی و پیشنهاد های آینده را بیان می کند.

## فصل ۲

# شرح دوره و موضوع کارآموزی

### ۱.۲ محل و بازه زمانی

این دوره در UNSW Sydney — Control & Dynamics Lab انجام شد. بازه زمانی: (مثال) خرداد تا شهریور ۱۴۰۴؛ حضور تمام وقت در آزمایشگاه (هفته‌ای N ساعت).

### ۲.۲ موضوع و اهداف کاری

تمرکز اصلی: پیاده‌سازی و ارزیابی زنجیره Real-Time DSP روی FlexRIO شامل فیلتر IIR با Look-Ahead ( $k=1$ )، استریم DMA، و اعتبارسنجی عددی/طیفی.

### ۳.۲ وظایف و فعالیت‌ها

- طراحی و پیاده‌سازی هسته فیلتر IIR در FPGA LabVIEW با SCTL@125 MHz.
- نگاشت ضرب‌ها به DSP48E1 و طراحی درخت جمع متوازن.
- پیکربندی NI-5782R با Multi-Sample CLIP و هم‌نمونه‌سازی با I/O Module Clock.
- استریم داده با DMA FIFO، دسی‌میشن چرخه‌ای و نمایش روی Host.
- اعتبارسنجی با Welch PSD/Corr/RMSE و هم‌ترازی تاخیر.

### ۴.۲ خروجی‌ها و دستاوردها

- هسته فیلتر پایدار در 125 MHz با وفاداری عددی Q2.23.
- Host VI و داده‌های نمونه لاگ برای بازتولید نتایج.
- مستندسازی گام‌به‌گام (این گزارش) و چک‌لیست تحویل.

### ۵.۲ مهارت‌های کسب‌شده

- زمان‌بندی SCTL/FPGA، بهره‌گیری از DSP48E1، و طراحی پایپلاین یکنواخت.
- تحلیل طیفی و طراحی قالب‌های ثابت اعشار.
- معماری استریم DMA و تفکیک کنترل کم‌سرعت/جریان پررنگ.

## فصل ۳

# مبانی نظری و پیشینه کاربردی

این فصل مؤلفه‌های نظری و محدودیت‌های عملی را که طراحی و پیاده‌سازی فصل‌های بعدی بر آن‌ها تکیه دارد، منسجم بیان می‌کند: مدل فیلتر مرتبه دو در فرم مستقیم، تبدیل Look-Ahead و چرایی آن، قالب‌های عددی ثابت اعشار، نقش بلوک‌های DSP48E1 در بستن زمان‌بندی، و تمایز بنیادی DMA FIFO با Read/Write Control برای رسم/لاگ.

## ۱.۳ فیلتر IIR مرتبه دو در فرم مستقیم و مسئله زمان‌بندی

فرم مستقیم راجع (مثلاً Direct Form II) برای فیلتر IIR مرتبه دو به شکل زیر نوشته می‌شود:

$$y[n] = b_0 x[n] + b_1 x[n-1] + b_2 x[n-2] - a_1 y[n-1] - a_2 y[n-2]. \quad (1.3)$$

در نرخ‌های بالا (اینجا 125 MHz) اجرای (۱.۳) در یک SCTL به معنای عبور از زنجیره‌ای از پنج ضرب و یک درخت جمع عریض به علاوه تبدیل‌های عددی میانی است؛ این عمق منطقی معمولاً «مسیر بحرانی» را از بودجه یک سیکل فراتر می‌برد و خطای زمان‌بندی می‌دهد. بنابراین باید معماری را طوری تنظیم کرد که:

- ضرب‌ها به طور کامل موازی شوند؛
- جمع‌ها در یک درخت متوازن اجرا شوند؛
- از تبدیل‌های عددی میانی (که هم هزینه منطقی دارند و هم مسیر را عریض می‌کنند) پرهیز شود؛
- و در نهایت، امکان افزودن یک رجیستر لوله‌ای روی همه شاخه‌ها فراهم شود.

## ۲.۳ تبدیل Look-Ahead (با $k=1$ ) و حفظ تابع انتقال

ایده Look-Ahead این است که وابستگی بازخوردی را از  $y[n-1]$  به تاخیرهای زوج منتقل کنیم تا بتوان یک رجیستریک سیکل روی همه شاخه‌ها قرار داد بدون آن که  $H(z)$  تغییر کند (جز یک تأخیر صحیح). برای  $k=1$ ، با ضرب و تقسیم بر چندجمله‌ای مخرج  $A(-z)$  (که  $A(z) = 1 - a_1 z^{-1} - a_2 z^{-2}$  است) به رابطه زیر می‌رسیم:

$$y[n] = \sum_{k=0}^4 b'_k x[n-k] + A_2 y[n-2] + A_4 y[n-4] \quad (2.3)$$

که در آن ضرایب جدید چنین‌اند:

$$\begin{aligned} A_2 &= 2a_2 - a_1', & A_4 &= -a_2', \\ [b_1', \dots, b_4'] &= [b_1, b_1 - a_1b_2, b_2 - a_1b_1 + a_2b_2, -a_1b_2 + a_2b_1, a_2b_2]. \end{aligned} \quad (3.3)$$

خاصیت کلیدی آن است که:

$$H_{\text{Look-Ahead}}(z) = H_{\text{Direct}}(z) \times z^{-d}, \quad (4.3)$$

یعنی صرفاً یک تأخیر صحیح  $d$  افزوده می‌شود (برای  $k=1$ ، همان یک سیکل رجیستر هماهنگ روی شاخه‌ها).

لزوم هم‌ترازی لوله‌ها. اگر تنها بخشی از شاخه‌ها رجیستر بخورند، عملاً فیلتر دیگری ساخته‌ایم. بنابراین باید یک رجیستر یک سیکل بر روی تمام شاخه‌ها—از جمله مسیر  $b'.x[n]$ —درست قبل از ورود به درخت جمع گذاشته شود تا همه مسیرها هم‌تاخیر باشند.

### ۳.۳ قالب‌های عددی Fixed-Point و سیاست‌های گردکردن/اشباع

برای هم‌خوانی با پهنای پورت‌های DSP48E1 و کف نویز قابل قبول، طرح زیر به کار می‌رود:

- سیگنال/حافظه حالت: Q2.23 (کلمه ۲۵ بیتی با ۲۳ بیت جزء اعشاری)؛
  - ضرایب روی پورت B ضرب‌کننده‌ها: Q2.16 (۱۸ بیت، مناسب پورت B)؛
  - محصولات و جمع‌ها: در پهنای P (تا ۴۸ بیت) داخل DSP48E1؛
  - تنها یک تبدیل HT نهایی: (wide  $\rightarrow$  Q2.23) درست پیش از بازنویسی وضعیت بازخورد.
- برای تبدیل‌ها (cast) از  $\text{round-to-nearest}(\text{ties-to-even})$  و  $\text{saturate}$  استفاده می‌شود. کف نویز گردکردن برای گام  $\Delta$  برابر  $\Delta/\sqrt{12}$  است؛ با Q2.23،  $\Delta = 2^{-23}$  بوده و اثر آن در PSD به صورت کف سفید قابل مشاهده است.

### ۴.۳ نقش DSP48E1 و چرایی «جمع متوازن»

هر بلوک DSP48E1 یک عمل  $P = A \times B + C$  با پهنای  $A=25b$ ،  $B=18b$  و  $C,P=48b$  انجام می‌دهد. راهبرد عملی برای 125 MHz:

۱. پنج ضرب موازی برای  $b'.x[n], \dots, b'.x[n-4]$  و نیز دو جمله  $A_2y[n-2]$  و  $A_4y[n-4]$  (طبق (۲.۳)) بسته به نگاشت شما روی ضرب‌ها)؛
  ۲. درخت جمع متوازن به صورت  $(p_1 + p_2)$  و  $(p_2 + p_3)$  در گام اول، سپس جمع نتیجه با  $p_4$ ؛
  ۳. پرهیز از زنجیره سری  $P \rightarrow C$  طولانی میان چند DSP48E1 برای جمع—این کار مسیر بحرانی را طولانی و رسیدن به زمان‌بندی را دشوار می‌کند؛
  ۴. افزودن یک رجیستریک سیکل روی تمام شاخه‌ها قبل از ورود به درخت جمع (هماهنگ با Look-Ahead).
- این الگو سبب می‌شود ضرب‌ها هزینه زمانی نداشته باشند (همه موازی) و جمع‌ها نیز با کمترین عمق منطقی انجام شوند.

### ۵.۳ کلاک گذاری و SCTL: همگامی با I/O Module Clock

برای آنکه مسیر پردازش با AI/AO هم‌گونه باشد، SCTL باید با I/O Module Clock (اینجا 125 MHz) درایو شود. کلاک‌های 40/200 MHz می‌توانند برای منطق جانبی (غیر بحرانی) استفاده شوند، اما حلقه سریع فیلتر و



مسیرهای DMA Write مرتبط با نمونه‌های سیگنال باید روی کلاک I/O Module اجرا شوند تا جابجایی فاز/نمونه رخ ندهد.

## ۶.۳ DMA FIFO در برابر Read/Write Control

**Control. Read/Write** مکانیسم رجیسترخوان/نوشت آهسته است—هر بار یک درخواست/پاسخ از طریق PCIe. مناسب پارامترهای کم‌سرعت (ضرایب، مد کاری، پرچم‌ها) ولی نامناسب برای نمودارهای جریان داده.

**FIFO. DMA** کانال استریم با بافر عمیق در هر دو سمت؛ برای ارسال نخبه زمان‌سری با نرخ بالا به میزبان ضروری است. تنظیمات عملی:

- جهت: Target→Host برای اندازه‌گیری‌ها؛ Host→Target برای بارگذاری وزن/جدول‌ها؛
  - نوع عنصر: I16 برای ADC Raw؛ I32 برای جریان‌های Q2.23 (در میزبان به DBL و سپس مقیاس با  $2^{-23}$ )؛
  - عمق بافر: معمولاً  $4k-16k$ ؛
  - اندازه خواندن میزبان:  $32k-128k$  عنصر در هر فراخوانی برای کارایی PCIe.
- برای نمودارها، DMA تنها انتخاب پایدار است؛ Read/Write Control در بهترین حالت نرخ‌های بسیار پایین را پاسخ می‌دهد و در عمل موجب تکه‌تکه شدن موج و timeout‌های گاه‌وبیگاه می‌شود.

## ۷.۳ اثرات لوله‌کشی: فقط تأخیر صحیح، نه تغییر دینامیک

پس از اعمال رجیستریک سیکل روی همه شاخه‌ها و استفاده از Look-Ahead، پاسخ انتقال برابر پاسخ ایده‌آل مرتبه دو (با ضرایب اصلی) است و تنها یک تأخیر نمونه افزوده می‌شود:

$$H_{\text{ایده‌آل}}(z) = z^{-1} H_{\text{پداده‌سازی}}(z).$$

این نکته در فصل اعتبارسنجی با هم‌ترازی تأخیر و سپس برازش gain/offset تأیید می‌شود.

## ۸.۳ جمع‌بندی فصل

در این فصل دیدیم که برای رسیدن به 125 MHz در SCTL، مسئله اصلی «کوتاه کردن مسیر بحرانی» است: تبدیل Look-Ahead وابستگی بازخورد را برای لوله‌کشی ایمن بازآرایی می‌کند؛ DSP48E1 ضرب‌ها را در سطح سخت‌افزار جذب می‌کند؛ جمع متوازن عمق منطقی را کمینه می‌کند؛ و تنها یک تبدیل HT نهایی کف نویز را کنترل‌پذیر نگه می‌دارد. برای رسم/لاگ با نرخ بالا نیز DMA FIFO ضرورت دارد. این مبانی، زیربنای فصل‌های بعدی (پلتفرم، بازآفرینی پروژه، پداده‌سازی فیلتر، تولید سیگنال و اعتبارسنجی) هستند.

## فصل ۴

# پلتفرم سخت افزار و نرم افزار

این فصل اجزای فیزیکی و ابزارهای نرم افزاری مورد استفاده را معرفی می کند تا خواننده بتواند همان محیط را بازتولید کند: شاسی/کنترلر PXIe، ماژول FPGA، ماژول I/O با CLIP مناسب، کلاک گذاری، و زنجیره نرم افزار/کامپایلر.

### ۱.۴ شاسی و کنترلر PXIe

زیرسامانه میزبان/شاسی به صورت زیر است:

- کنترلر: نمونه متداول NI-PXIe-8840 (یا معادل آن) نصب شده روی شاسی PXIe.
- اسلات بندی: ماژول FPGA در اسلات مشخص (مثلاً PXI1Slot4) قرار گرفته است تا با I/O هم مسیر باشد.
- لینک به میزبان: ارتباط PCIe داخلی شاسی، که DMA FIFOها روی آن استریم می شوند.

### ۲.۴ NI PXIe-7972R (Kintex-7): FPGA ماژول

- پردازنده قابل پیکربندی: Xilinx Kintex-7 با حدود ۸۴۰ بلوک DSP48E1.
- کاربرد در این پروژه: اجرای فیلتر مرتبه دو با تبدیل Look-Ahead ( $k=1$ ) در SCTL@125 MHz، ضرب های موازی روی DSP48E1 و جمع متوازن.
- حافظه داخلی: BRAM برای بافرها/جدول ها (در نمونه برآورد فاز برای وزن ها).

### ۳.۴ NI-5782R: I/O ماژول با Multi-Sample CLIP

- ورودی/خروجی آنالوگ: AI تا 250 MS/s و AO با آرایش چهارفاز (خروجی مؤثر 500 MS/s).
- کلاک ماژول: انتخاب Multi-Sample CLIP باعث می شود I/O Module Clock در دسترس قرار گیرد و SCTL با ۱۲۵ MHz درایو شود.
- حلقه خودآزمایی: یک کانال AO به AI1 با کابل کوتاه متصل می شود تا بدون منبع خارجی، زنجیره تست شود.

### ۴.۴ کلاک ها و هم نمونه سازی

- کلاک سریع: I/O Module Clock@125 MHz، منبع SCTL برای مسیر سیگنال و نویسنده های DMA مرتبط با نمونه ها.

- کلاک‌های جانبی: 40/200 MHz برای منطق غیربحرانی (مثلاً بارگذار وزن‌ها یا مدیریت رجیسترها).
- اصل هم‌نمونه‌سازی: پردازش هم‌فاز با AI/AO برای جلوگیری از جابجایی زمانی.

## ۵.۴ نرم‌افزار و زنجیره کامپایل

- محیط توسعه: LabVIEW به همراه ماژول LabVIEW FPGA.
- کامپایلر: NI Compile FPGA با پشت‌صحنه Xilinx Vivado.
- ابزار تحلیل: Python/MATLAB برای هم‌ترازی، برازش gain/offset، Corr/RMSE، و Welch PSD.

## ۶.۴ نرخ‌ها و منابع

- کلاک SCTL: 125 MHz.
- ورودی/خروجی: AI تا 250 MS/s؛ AO مؤثر 500 MS/s (چهار فاز).
- منابع DSP: ضرب‌ها روی DSP48E1؛ جمع‌ها به صورت درخت متوازن؛ بدون کست‌های میانی.

## ۷.۴ پیوند میزبان ↔ هدف

- DMA FIFO: برای استریم داده پرسرعت (Raw، Taps، Filtered، AO-Prewire) عنصر I16 برای خام ADC و I32 برای جریان‌های Q2.23.
- Read/Write Control: فقط برای کنترل‌های کم‌سرعت (انتخاب موج محرک، ضرایب، پرچم‌ها، دسی میشن).
- توصیه عملی: عمق FIFO بین ۴-۱۶k؛ اندازه خواندن میزبان ۳۲-۱۲۸k عنصر برای کارایی PCIe.

## ۸.۴ جدول جمع‌بندی پیکربندی

جدول ۱۰۴: خلاصه پیکربندی پلتفرم سخت‌افزار و نرم‌افزار

مقدار/توضیح	گزینه
PXIe با کنترلر NI-PXIe-8840 (نمونه)	شاسی/کنترلر
NI PXIe-7972R (Kintex-7)	ماژول FPGA
Multi-Sample CLIP با NI-5782R	ماژول I/O
(SCTL مبدأ) I/O Module Clock@125 MHz	کلاک سریع
AO: 250 MS/s تا AI: 500 MS/s؛ چهار فاز	AO/AI
Raw=I DMA FIFO (۱۶، FixedPoint=۳۲)، R/W Control برای رجیسترها	استریم
NI Compile (Vivado backend) + LabVIEW FPGA	کامپایلر
Python/MATLAB برای هم‌ترازی و PSD/شاخص‌ها	تحلیل

## ۹.۴ جمع‌بندی فصل

پیکربندی درست شاسی/کنترلر، انتخاب CLIP مناسب برای NI-5782R و درایوکردن SCTL با I/O Module با Clock@125 MHz، پیش‌نیاز هم‌گونه‌سازی و بستن زمان‌بندی است. فصل بعدی گام به گام نشان می‌دهد چگونه همین پلتفرم در LabVIEW Project بازآفرینی شود: افزودن کنترلر و شاسی، الحاق هدف FPGA، افزودن ماژول I/O با CLIP درست، تعریف DMA FIFO ها و ساخت bitfile.

## فصل ۵

# بازآفرینی پروژه از صفر + تولید سیگال و استریم

این فصل کل مسیر عملی را یک جا ارائه می کند: ساخت پروژه LabVIEW از صفحه سفید، افزودن کنترلر/شاسی و هدف FPGA، الحاق NI-5782R با Multi-Sample CLIP، تعریف DMA FIFO ها، ساخت bitfile و اتصال به Host VI؛ سپس منطق تولید سیگال داخلی (square/saw/sine)، حلقه AO→AI برای خودآزمایی، و معماری استریم/دسی میشن برای رسم و لاگ پوشش داده می شود. هدف این است که دانشجوی بعدی بدون حدس و آزمون و خطا همان محیط اجرایی را بازتولید کند.

## ۱۰۵ ایجاد پروژه و افزودن کنترلر/شاسی/هدف FPGA

### گام های دقیق

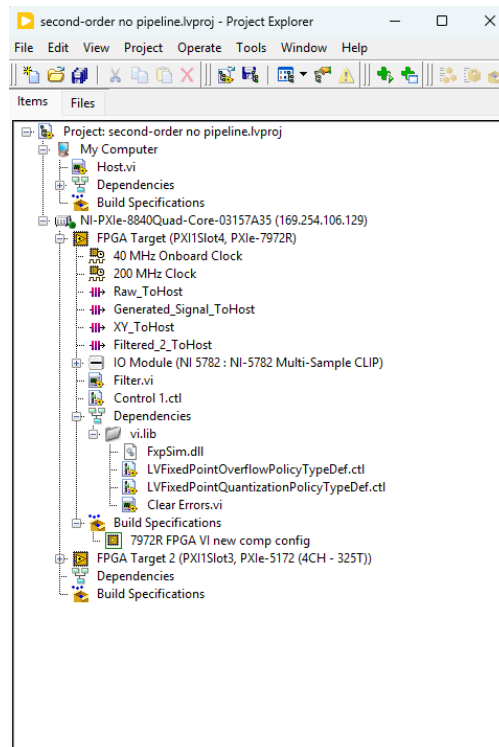
- ۱۰۴ ساخت پروژه: File → New Project را بزنید تا یک پروژه خالی ایجاد شود.
- ۲۰۴ افزودن کنترلر/شاسی: روی ریشه پروژه راست کلیک → New → Targets and Devices...، گزینه Existing target or device را انتخاب، از زیرگروه Real-Time PXI Systems کنترلر خود (مثلاً NI-PXIE-8840) را بیفزایید. نام گذاری پیشنهادی: PXIE-Controller.
- ۳۰۴ افزودن FPGA Target: روی گره کنترلر تازه افزوده راست کلیک → New → Targets and Devices...، هدف FPGA متناظر با اسلات واقعی را برگزینید (مثلاً PXI1Slot4, NI PXIE-7972R). نام پیشنهادی: FPGA (PXI1Slot4 — PXIE-7972R).

## ۲۰۵ الحاق NI-5782R با Multi-Sample CLIP و کلاک گذاری

چرایی انتخاب Multi-Sample CLIP. این سیگال I/O Module Clock را در اختیار می گذارد تا حلقه SCTL دقیقاً با AI/AO هم نمونه شود (۱۲۵ MHz). بدون آن، هم فازی نمونه برداری تضمین نمی شود.

### گام های دقیق

- ۴۰۴ روی FPGA Target راست کلیک → New → I/O Module را بیفزایید.
- ۵۰۴ روی ماژول I/O راست کلیک → Properties → برگه Socketed CLIP، گزینه NI-5782R (Multi-Sample) را انتخاب کنید.
- ۶۰۴ در Project Explorer باید کانال های AI/AO و سیگال I/O Module Clock دیده شوند.



شکل ۱۰۵: ساختار پروژه

- اصل هم‌نمونه‌سازی.
- کلاک سریع (حیاتی): @ ۱۲۵ MHz I/O Module Clock به‌عنوان منبع SCTL برای مسیر سیگنال و نویسنده‌های DMA مرتبط با نمونه‌ها.
- کلاک‌های جانبی (اختیاری): «40 MHz» یا «200 MHz» برای منطق غیربحرانی (مثلاً بارگذار وزن‌ها/رجیسترها). این کلاک‌ها به حلقه اصلی SCTL وصل نشوند.

### ۳.۵ تعریف DMA FIFO ها و اصول استریم

#### ۱۰.۳.۵ اصول طراحی

- استریم برای نمودار/لاگ: تنها DMA FIFO نرخ کافی برای گراف‌های زنده فراهم می‌کند؛ Read/Write Control مخصوص پارامترهای کم‌سرعت است.
- نوع عنصر: Raw ADC به‌صورت I16؛ جریان‌های ثابت اعشار داخلی Q2.23 به‌صورت I32 ارسال و در میزبان به DBL (ضریب  $2^{-23}$ ) تبدیل می‌شوند.
- عمق/قطعه‌خوانی: عمق FIFO حدود ۴k-۱۶k عنصر؛ اندازه خواندن میزبان ۳۲-۱۲۸k عنصر برای بهره مناسب PCIe.

#### گام‌های دقیق (ساخت DMA)

- ۷.۴ روی FPGA Target راست کلیک → FIFO → New و نوع را DMA انتخاب کنید.
- ۸.۴ **Host:→Target** Raw\_ToHost (I16)، AO0\_ToHost (I32)، Filtered\_2\_ToHost (I32)،
- AO\_PreWire\_ToHost (I32).
- ۹.۴ **Target:→Host** Host\_To\_Target\_Weights (برای جدول/وزن‌ها؛ I16 یا I32 بسته به طرح کوانتیزاسیون).

۱۰۰۴ برای هر FIFO: Requested Depth بین ۴۰۹۶-۱۶۳۸۴ و Arbitration برابر Lossless.

## ۴.۵ افزودن FPGA VI و ساخت حلقه SCTL

### گام‌های دقیق

- ۱۱.۴ روی FPGA Target راست کلیک  $\rightarrow$  VI  $\rightarrow$  New. نام پیشنهادی: Filter\_LA\_Biquad.vi.
- ۱۲.۴ یک Single-Cycle Timed Loop قرار دهید و کلاک آن را به ( ۱۲۵ MHz I/O Module Clock ) متصل کنید.
- ۱۳.۴ مسیر ورودی AI: widen/scale  $\rightarrow$  تبدیل به Q2.23  $\rightarrow$  هسته فیلتر، خروجی به AO و نویسنده‌های DMA.
- ۱۴.۴ کنترل‌های کم‌سرعت (انتخاب موج، ضرایب، دسی‌میشن) را به صورت FPGA Controls/Indicators بسازید تا از Host با Read/Write Control تنظیم شوند.

## ۵.۵ تولید سیگنال داخلی در SCTL و درهم‌گذاری چهارفاز AO

### ۱.۵.۵ نمای کلی

مولد square/saw/sine در همان SCTL@ ۱۲۵ MHz اجرا می‌شود تا با مسیر پردازش هم‌ثونه باشد. در هر تیک SCTL، چهار نمونه پیاپی تولید و به کانال‌های AO[0..3] نوشته می‌شود؛ این درهم‌گذاری چهارفاز نرخ مؤثر خروجی را به 500 MS/s می‌رساند، در حالی که کلاک هسته همچنان ۱۲۵ MHz است. برای خودآزمایی، یک کانال AO با کابل کوتاه به AI1 وصل می‌شود تا مسیر کامل AO  $\rightarrow$  AI بدون منبع خارجی تست شود.

### ۲.۵.۵ موج مربعی (Square)

- ایده: یک توگل ۱ بیتی با شمارندهٔ سیکی؛ هرگاه شمارنده به آستانه برسد خروجی وارون می‌شود.
- فرکانس: با  $f_{SCTL} = 125 \text{ MHz}$  داریم

$$f_{\square} = \frac{f_{SCTL}}{2N} = \frac{125 \text{ MHz}}{2N}.$$

- چون  $N$  صحیح است، فرکانس روی شبکهٔ 125 MHz کوانتیزه می‌شود (مثلاً  $62.5 \text{ MHz} \Rightarrow N=1$ ).
- چهارفاز: در هر تیک، چهار مقدار هم‌سطح (یا با آفست فاز دنخواه برای آزمون بین‌فازی) به AO[0..3] نوشته می‌شود.

### ۳.۵.۵ موج دندانه‌اره‌ای (Sawtooth)

- ایده: انباشتگر مدولار I16 که هر تیک به اندازهٔ AMP افزایش می‌یابد.
- چهارفاز: چهار فاز خروجی به صورت  $\{acc, acc+AMP, acc+2AMP, acc+3AMP\} \bmod 2^{16}$ .
- فرکانس مؤثر: با افزایش کل  $4 \times AMP$  در هر تیک:

$$f_{\text{saw}} \approx \frac{f_{SCTL} \cdot 4 \cdot AMP}{2^{16}}.$$

## ۴.۵.۵ موج سینوسی (Sine)

- ایده: انباشتگر فاز با گام  $\Delta$ :  $\phi \leftarrow \phi + \Delta \pmod{2\pi}$  و سپس HT Sine برای مقداردهی.
- فرکانس:

$$f_{\sin} = \frac{\Delta}{2\pi} f_{\text{SCTL}}, \quad f_{\text{SCTL}} = 125 \text{ MHz}.$$

## ۶.۵ حلقه AO→AI و قیود نمونه برداری

- AO چهار فاز: نرخ مؤثر 500 MS/s (چهار کانال، چهار نمونه در هر تیک).
- AI: حداکثر 250 MS/s؛ برای حامل های بالاتر باید قیود نایکوئیست رعایت شود (در آینده استفاده هم زمان از دو کانال AI پیشنهاد می شود).
- نکته عملی: دامنه AO را با رنج AI هماهنگ کنید تا اشباع رخ ندهد؛ کابل کوتاه و زمین مشترک.

## ۷.۵ معماری استریم، دسی میشن چرخه ای و چیدمان Host VI

### ۱.۷.۵ دسی میشن در هدف

- یک شمارنده چرخه ای داخل SCTL هر  $N$  سیکل یک بار DMA Write را فعال می کند (پارامتر از میزبان). با  $N=1$  همه نمونه ها ارسال می شوند؛ برای کاهش بار PCIe می توان  $N > 1$  برگزید (مثلاً ۴، ۸، ۱۶).

### ۲.۷.۵ چیدمان Host VI

- ۱.۴H **Open/Close:** Open FPGA VI Reference (با bitfile یا target binding) و عبور سیم های *refer-ence/error* از همه DMA Read/Write ها تا Close FPGA Reference.
- ۲.۴H خواندن DMA: برای هر FIFO (مثلاً Raw\_ToHost.Read)، *elements of Number* (مثل ۶۵۵۳۶) و *Timeout* (مثل ۰.۵۰۰۰ ms).
- ۳.۴H تبدیل و نمایش: I16 خام مستقیماً قابل نمایش؛ I32 نماینده Q2.23 به DBL و ضریب  $2^{-23}$  ساخت موج با  $dt = 8 \text{ ns}$  و اتصال به Waveform Graph.
- ۴.۴H کنترل های کم سرعت: Read/Write Control برای انتخاب موج (square/saw/sine)، پارامترهای  $N/\text{AMP}/\text{delta}$ ، دسی میشن DMA و پرچم ها.

## ۸.۵ الگوی عددی و نکات زمان بندی حلقه سریع

- قالب ها: سیگال/حالت Q2.23؛ ضرایب Q2.16 روی پورت B ضرب کننده ها؛ محصولات/جمع ها در پهنای DSP48E1.P.
- ضرب ها: همگی روی DSP48E1 (نه LUT)؛ ورودی ها sign-extend.
- جمع ها: درخت متوازن (دو جمع موازی، سپس جمع نهایی)؛ از زنجیره طولانی  $P \rightarrow C$  میان چند DSP اجتناب کنید.
- پایلین یکنواخت: یک رجیستر لوله ای یک سیکل روی تمام شاخه ها، درست پیش از ورود به درخت جمع؛ نبود هم تراز یعنی ساخت یک فیلتر دیگر.
- کلاک صحیح: حلقه سریع SCTL الزاماً روی @Module Clock 125 MHz، نه روی کلاک های جانبی.



## ۹.۵ اشتباهات رایج و درمان سریع

- عدم نمایش I/O: ماژول‌های I/O خودکار ظاهر نمی‌شوند—حتماً دستی اضافه و CLIP را روی Multi-Sample بگذارید.
- گراف «پله‌پله» یا timeout: size chunk خواندن میزبان را بزرگ‌تر (مثلاً ۶۴k-۱۲۸k) و عمق FIFO را بیشتر کنید؛ در صورت فشار PCIe، دسی‌میشن هدف را افزایش دهید.
- عدم هم‌نمونه‌سازی: اگر SCTL را روی کلاک جانبی گذاشته‌اید، به @125 MHz I/O Module Clock برگردید.
- ضرب روی LUT: اگر DSP Utilization پایین است، نگاشت ضرب‌ها را به DSP48E1 صریح کنید.

## ۱۰.۵ چک‌لیست نهایی بازآفرینی

جدول ۱۰.۵: چک‌لیست سریع برای بازآفرینی کامل پروژه

وضعیت	آیتم
<input type="checkbox"/>	PXIE Controller افزوده شد
<input type="checkbox"/>	FPGA Target (PXIE-7972R, Slot OK)
<input type="checkbox"/>	Multi-Sample CLIP با NI-5782R
<input type="checkbox"/>	@125 MHz I/O Module Clock به SCTL وصل شد
<input type="checkbox"/>	FIFO DMAها (نام/نوع/عمق درست)
<input type="checkbox"/>	FPGA VI (هسته فیلتر + مولد square/saw/sine)
<input type="checkbox"/>	درهم‌گذاری چهارفاز AO و حلقه AO→AI تست شد
<input type="checkbox"/>	Build Spec ساخته و مسیر lvbitx یادداشت شد
<input type="checkbox"/>	Host VI: DMA Read, Open/Close، تبدیل Q2.23→DBL
<input type="checkbox"/>	گراف‌ها (8 ns = dt + دسی‌میشن هدف در صورت نیاز)

## ۱۱.۵ جمع‌بندی فصل

با پیاده‌سازی یکپارچه‌ی این فصل، پروژه از صفر تا نمودار زنده روی میزبان بازتولید شد: Multi-Sample CLIP برای دسترسی به @125 MHz I/O Module Clock، حلقه سریع SCTL هم‌نمونه با AI/AO، مولد داخلی square/saw/sine با درهم‌گذاری چهارفاز AO (نرخ مؤثر 500 MS/s) و حلقه AO→AI برای خودآزمایی، به‌همراه FIFO DMAهای مناسب و دسی‌میشن چرخه‌ای. فصل‌های بعدی جزئیات هسته فیلتر و اعتبارسنجی کمی را دنبال می‌کنند.

## فصل ۶

# پیاده‌سازی دقیق فیلتر روی FPGA

این فصل جزئیات عملی ساخت هسته فیلتر مرتبه دو را در LabVIEW FPGA توضیح می‌دهد: ساختار VI FPGA، مسیرهای داده و کنترل، نگاشت ضرب/جمع روی DSP48E1، هم‌ترازی پایلین با الگوی Look-Ahead، طرح عددی Q-Format، و قلاب‌های DMA برای مشاهده و ثبت.

## ۱.۶ نمای کلی VI FPGA و بخش‌بندی منطقی

دیگرام بلوکی VI FPGA در یک SCTL با کلاک I/O Module Clock@125 MHz سازمان‌دهی شده و سه بخش دارد:

- ۱.۵F هسته فیلتر: پیاده‌سازی رابطه Look-Ahead ( $k=1$ ) با پنج ضرب موازی و جمع متوازن؛ تنها یک تبدیل HT نهایی ( $Q2.23 \rightarrow \text{wide}$ ) پیش از بازخورد.
- ۲.۵F درگاه‌های I/O: مسیر AI (گسترش و مقیاس)، مسیر AO (خروجی یا بای‌پس)، و سیگنال‌های کمکی I/O.
- ۳.۵F استریم DMA: نوشتن Raw/AI0/Filtered/AO-Prewire با امکان دسی‌میشن چرخه‌ای برای کاهش بار PCIe.

## ۲.۶ طرح عددی و مسیر پیش‌پردازش AI

- داده خام: I16 از AI (مثلاً بازه  $\{-8192, \dots, 8191\}$  برای NI-5782R).
  - گسترش و مقیاس: تبدیل به FXP(39,14) و سپس مقیاس  $2^{-13}$  برای هم‌ترازی با بازه  $\pm 1$ .
  - کست ورودی: تبدیل به Q2.23 (25b با 23 بیت اعشاری) با  $\text{round-to-nearest}$  (ties-to-even) و  $\text{.saturate}$ .
- این جریان Q2.23 ورودی هسته فیلتر است و همان فرمت در رجیسترهای حالت نیز نگه داشته می‌شود.

## ۳.۶ هسته فیلتر Look-Ahead و هم‌ترازی پایلین

### روابط اجرایی

به‌جای فرم مستقیم، رابطه اجراشده مطابق فصل ۲:

$$y[n] = \sum_{k=0}^4 b'_k x[n-k] + A_2 y[n-2] + A_4 y[n-4],$$

که اجازه می‌دهد یک رجیستر یک سیکل روی تمام شاخه‌ها گذاشته شود و تابع انتقال تنها یک تأخیر نمونه بگیرد.

## نگاشت روی DSP48E1

- (آ) ضرایب و فرمت‌ها: ضرایب  $b'_k, A_2, A_4$  در Q2.16 روی پورت B قرار می‌گیرند؛ سیگال‌ها Q2.23 روی پورت‌های A/C (با sign-extend).
- (ب) ضرب‌های موازی: پنج ضرب برای  $b'_k x[n-k]$  و دو ضرب برای  $A_2 y[n-2]$  و  $A_4 y[n-4]$  (بنا به طراحی، می‌توانید  $A_2, A_4$  را نیز در DSP48E1 ضرب کنید یا در سطح جمع لحاظ کنید).
- (ج) درخت جمع متوازن: ابتدا  $(p_1 + p_2)$  و  $(p_3 + p_4)$ ، سپس جمع نتیجه با  $p_5$ ؛ از زنجیره‌های طولانی  $P \rightarrow C$  میان چند DSP48E1 برای جمع خودداری کنید تا مسیر بحرانی کوتاه بماند.

## پایلین یک سیکل و ضرورت هم‌ترازسازی

برای جلوگیری از تغییر دینامیک، یک رجیستر پیش از ورود به درخت جمع روی تمام شاخه‌ها—از جمله مسیر  $b'_0 x[n]$ —قرار داده می‌شود. نتیجه:

$$H_{\text{پایده‌سازی}}(z) = z^{-1} H_{\text{ایده‌آل}}(z),$$

یعنی تنها یک تأخیر صحیح؛ در فصل اعتبارسنجی، با هم‌ترازی تأخیر و سپس برازش بهره/افست، این موضوع کنترل می‌شود.

## ۴.۶ تبدیل نهایی HT و بازخورد حالت

پس از جمع نهایی (که در پهنای P تا 48b رخ می‌دهد)، یک تبدیل نهایی HT از پهنای عریض به Q2.23 انجام شده و مقدار Q2.23 به رجیسترهای حالت  $y[n-2], y[n-4]$  و خروجی/استریم ارسال می‌شود. انجام تنها یک تبدیل در انتها:

- کف نویز کوانتیزاسیون را حداقل می‌کند ( $\Delta = 2^{-23}$ ،  $\Delta/\sqrt{12}$  برای کف سفید)؛
- از کست‌های میانی که هم مسیر را عریض و هم طیف را بدتر می‌کنند جلوگیری می‌کند.

## ۵.۶ نکات زمان‌بندی و منابع

### اصول بستن زمان‌بندی

- ضرب در DSP: همه ضرب‌ها در DSP48E1، نه در LUT؛ این کار تأخیر را کم و جیت‌ر مسیر را محدود می‌کند.
- جمع متوازن: دو جمع موازی در گام اول، یک جمع نهایی؛ از fan-in بزرگ یک مرحله‌ای پرهیزید.
- پایلین یک‌نواخت: یک رجیستر یک سیکل روی همه شاخه‌ها؛ نبود هم‌ترازی، معادل ساخت یک فیلتر دیگر است.
- کلاک صحیح: SCTL روی I/O Module Clock@125 MHz، نه 40/200 MHz.

### گزارش کامپایل (خواندن صحیح)

در Timing Summary به Worst Path و Slack توجه کنید؛ پایداری در 125 MHz باید با slack مثبت دیده شود. در Utilization، مصرف DSP48E1 باید متناسب با تعداد ضرب‌ها افزایش یابد (نشانه درست‌نگاشت شدن)

ضرب‌ها روی DSP). اگر مصرف DSP پایین و LUT بالا بود، ضرب‌ها روی LUT رفته‌اند—نگاشت را بازیابی کنید.

## ۶.۶ قلاب‌های مشاهده/ثبت: DMA FIFO و دسی میشن

جریان‌های پیشنهادی

نام DMA	محتوا
Raw_ToHost	I16 خام ADC (پیش از مقیاس)
AI0_ToHost	Q2.23 پس از تبدیل ورودی (به صورت I32 ارسال)
Filtered_2_ToHost	خروجی فیلتر Q2.23 (ارسال I32)
AO_PreWire_ToHost	مقدار AO پیش از اتصال فیزیکی AO→AI

دسی میشن چرخه‌ای

یک شمارنده چرخه‌ای داخل SCTL هر  $N$  سیکل یک بار DMA Write را فعال می‌کند (قابل تنظیم از میزبان). با  $N = 1$  تمام نمونه‌ها ارسال می‌شوند؛ برای کاستن بار PCIe،  $N > 1$  انتخاب کنید.

## ۷.۶ کنترل‌های کم‌سرعت و رجیسترهای وضعیت

پارامترهایی مانند waveform select (انتخاب موج)،  $\Delta$ ، divisor N/AMP (سینوسی)، دسی میشن DMA، ضرایب و پرچم‌ها از طریق FPGA Controls/Indicators در FPGA VI تعریف و در Host VI با Read/Write Control خوانده/نوشته می‌شوند. این مسیر برای تنظیمات کم‌سرعت است و نباید برای استریم نمودار استفاده شود.

## ۸.۶ اشتباهات رایج و راه‌حل‌ها

- ضرب‌ها روی LUT: اگر DSP Utilization پایین است، گره‌های ضرب را به صراحت از نوع DSP48E1 انتخاب کنید یا از بلوک‌های DSP48 آماده استفاده کنید.
- جمع سری روی DSP: زنجیره طولانی  $P \rightarrow C$  مسیر بحرانی را می‌کشد؛ جمع را به درخت متوازن تبدیل کنید.
- عدم هم‌ترازسازی پایلاین: رجیستر روی یکی دو شاخه، ولی نه همه شاخه‌ها؛ نتیجه تغییر دینامیک است. یک رجیستر روی تمام شاخه‌ها بگذارید.
- کست‌های میانی: تبدیل‌های میان‌راهی Q مسیر را عریض و طیف را بدتر می‌کند؛ تنها یک HT نهایی داشته باشید.
- SCTL روی کلاک اشتباه: اگر حلقه فیلتر را روی 40/200 MHz گذاشته‌اید، AI/AO هم‌فاز نیست؛ به I/O Module Clock@125 MHz برگردید.

## ۹.۶ قالب ضرایب و خوشه تنظیمات

برای ردگیری و تکرارپذیری، ضرایب Q2.16 در یک typedef cluster نگهداری شوند (با توضیح منبع تولید: اسکرپت طراحی/کوانتیزاسیون). خوشه کنترل‌ها نیز به صورت typedef یکسان‌سازی شود تا بین Host/FPGA مشترک باشد.

## ۱۰.۶ خروجی AO و مسیر بای پس

خروجی فیلتر شده می تواند به AO ارسال شود یا برای آزمایش های خاص، بای پس (ارسال ورودی مقیاس شده) فعال شود. محدوده AO و AI را طوری تنظیم کنید که اشباع رخ ندهد؛ اگر حلقه  $AO \rightarrow AI$  برقرار است، دامنه AO را مطابق محدوده ورودی AI تنظیم کنید.

## ۱۱.۶ جمع بندی فصل

در این فصل دیدیم چگونه هسته فیلتر ( $k=1$ ) Look-Ahead با ضرب های موازی روی DSP48E1، جمع متوازن، یک پایپلین یک سیکل هم تراز، و تنها یک تبدیل HT نهایی، با کلاک 125 MHz در SCTL پایدار اجرا می شود. قلاب های DMA برای مشاهده/ثبت و رجیسترهای Read/Write Control برای کنترل های کم سرعت، الگوی استاندارد  $Host \leftrightarrow FPGA$  را کامل می کنند. فصل بعد به تولید سیگنال، مسیر  $AO \rightarrow AI$ ، و معماری استریم می پردازد.

## فصل ۷

# اعتبارسنجی و نتایج فیلتر

این فصل کارایی هسته فیلتر را در برابر مرجع نرم‌افزاری ارزیابی می‌کند. رویکرد «فقط هم‌ترازی زمانی» به کار رفته است: نرخ نمونه‌برداری یکسان  $F_s$ ، اعمال تنها تاخیر ثابت پایلین روی خروجی سخت‌افزار، بدون cross-correlation، بدون وارونگی علامت، و بدون برازش بهره/افست. سپس معیارهای کمی (خطای RMS نسبی، NMSE، نویز بانندی) و نمودارهای استاندارد (Welch)، PSD، هم‌پوشانی زمانی، PSD Error گزارش می‌شوند.

## ۱۰۷ پیکربندی آزمون

- نرخ نمونه‌برداری:  $F_s = 125,000,000$  MHz؛ طول سیگنال:  $N = 9000$ .
- تاخیر لوله‌کشی خروجی FPGA: ۳- نمونه (منفی یعنی خروجی FPGA نسبت به مرجع عقب‌تر است)؛ این تاخیر ثابت و از پیش معلوم است.
- پنجره محاسبات: برای حذف اثرات لبه، از ابتدا و انتها EDGE\_TRIM نمونه کنار گذاشته می‌شود (در کد:  $\max(32, 1024)$ ).
- PSD: Welch پنجره Hann با هم‌پوشانی ۵۰٪؛ طول بخش به صورت تطبیقی متناسب با  $N$ .
- باند تحلیل نویز: ۶۰ MHz-۱ MHz.

## ۲۰۷ روش هم‌ترازی و مرجع

۱. هم‌ترازسازی زمانی دو جریان raw و fpga بر اساس timestamp یکسان؛ اختلاف شروع به واحد نمونه گرد و FPGA روی شبکه circshift raw می‌شود.
۲. فقط تاخیر ثابت پایلین اعمال می‌شود:  $\text{PIPE\_DELAY} = -3$ .
۳. مرجع نرم‌افزاری: همان ضرایب Look-Ahead با  $k=1$  در MATLAB و حالت اولیه صفر (بدون برازش) اعمال می‌شوند.
۴. خطا تعریف می‌شود:  $e[n] = y_{\text{FPGA}}[n] - y_{\text{ideal}}[n]$  روی بازه بدون لبه.

## ۳۰۷ معیارهای کمی

- تمام اعداد بدون هرگونه برازش بهره/افست و بدون xcorr گزارش می‌شوند.
- خطای RMS نسبی:  $\text{relRMS} = \frac{\text{rms}(e)}{\text{rms}(y_{\text{ideal}})} = 8,127 \times 10^{-5}$ .

- $NMSE = 20 \log_{10}(\text{relRMS}) = -81.80 \text{ dB}$  (dB): NMSE
- نویز بانندی (۶۰ MHz-۱ MHz): انتگرال خطی PSD یک طرفه (واحد دلخواه، a.u.):

$$Raw = 855, \quad FPGA = 350, \quad MATLAB = 350.$$

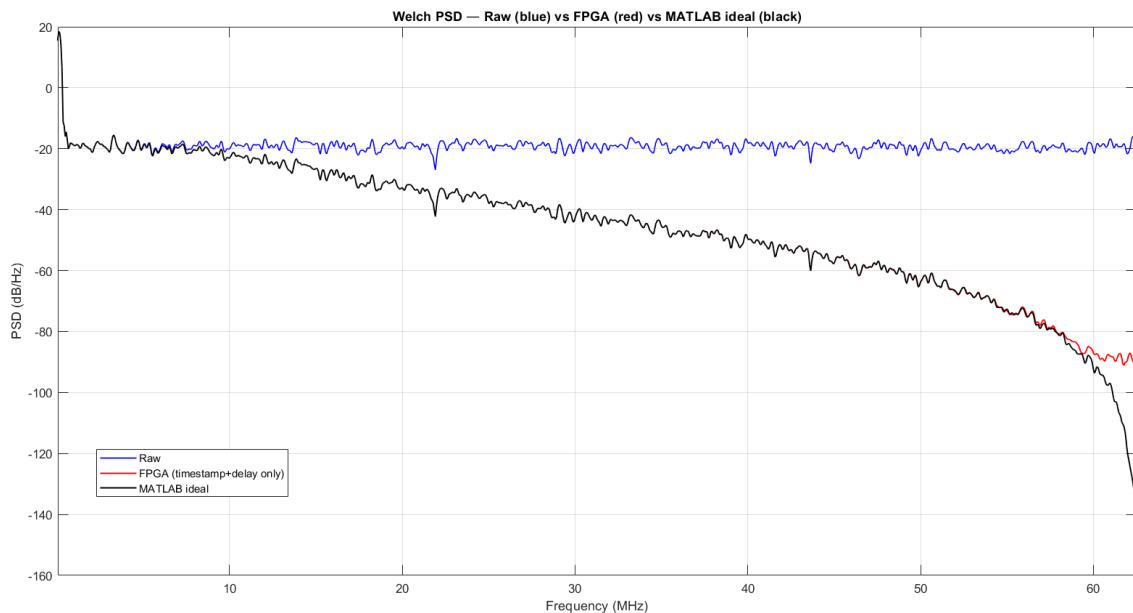
برای FPGA/MATLAB نشان دهنده هم خوانی پیاده سازی ثابت اعشار با مرجع است.

کف کوانتیزاسیون نظری. با قالب  $Q_{23,23}$  و گرد کردن  $(ties-to-even)$  nearest، گام کوانتیزاسیون  $\Delta = 2^{-23}$  است. واریانس نویز گرد کردن  $\Delta^2/12$  و کف مورد انتظار:

$$20 \log_{10} \Delta - 10 \log_{10} 12 \approx -149.3 \text{ dBFS/Hz}.$$

این مقدار به عنوان مرجع تئوریک برای تفسیر PSD (پس از نرمال سازی به فول-اسکیل) استفاده می شود.

## ۴.۷ نمودارهای اصلی



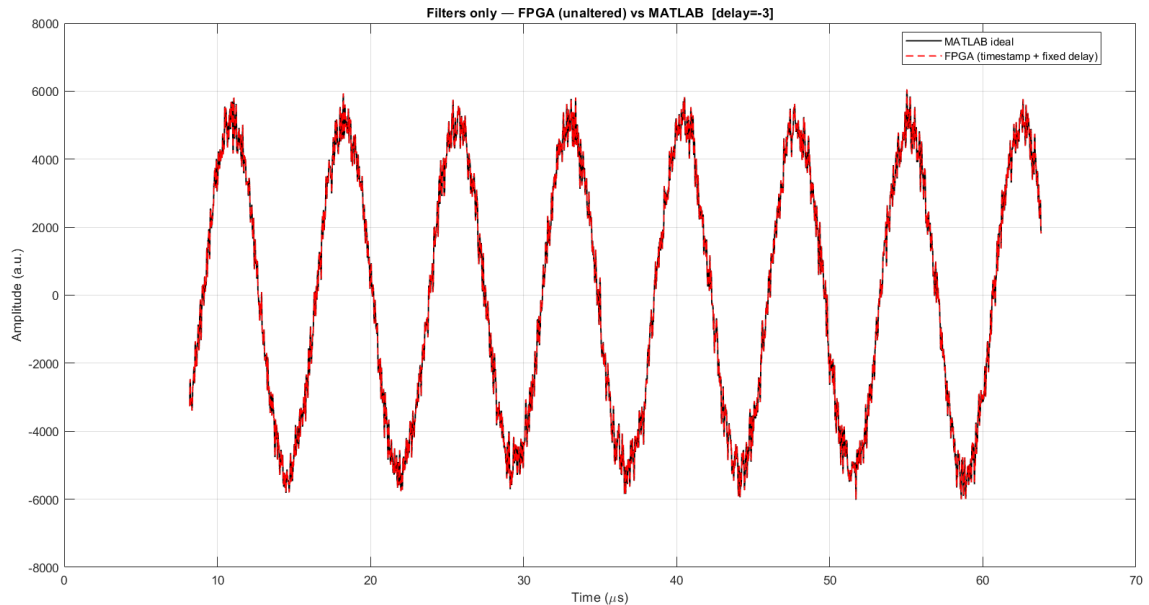
شکل ۱۰۷: چگالی طیفی یک طرفه بر حسب dB/Hz. منحنی FPGA (قرمز) در تمام باند غیراشباع روی مرجع MATLAB (سیاه) می نشیند؛ سیگنال Raw طبق انتظار بالاتر است.

## ۵.۷ جدول نتایج

سناریو	هم تراز	برازش بهره/افست	relRMS	(dB) NMSE
فیلتر (سینوسی)	تاخیر ثابت ۳-	ندارد	$8.127 \times 10^{-5}$	-81.80

نویز بانندی (۶۰ MHz-۱ MHz):

$$Raw = 855, \quad FPGA = 350, \quad MATLAB = 350 \text{ PSD) linear (a.u., .}$$



شکل ۲۰۷: هم‌پوشانی چند دوره سینوسی میان‌باند پس از فقط جبران تاخیر ثابت ۳- نمونه. انطباق بصری کامل است و ناهم‌خوانی‌ها در زیر واحد درصد باقی می‌مانند.

## ۶.۷ تفسیر و بحث

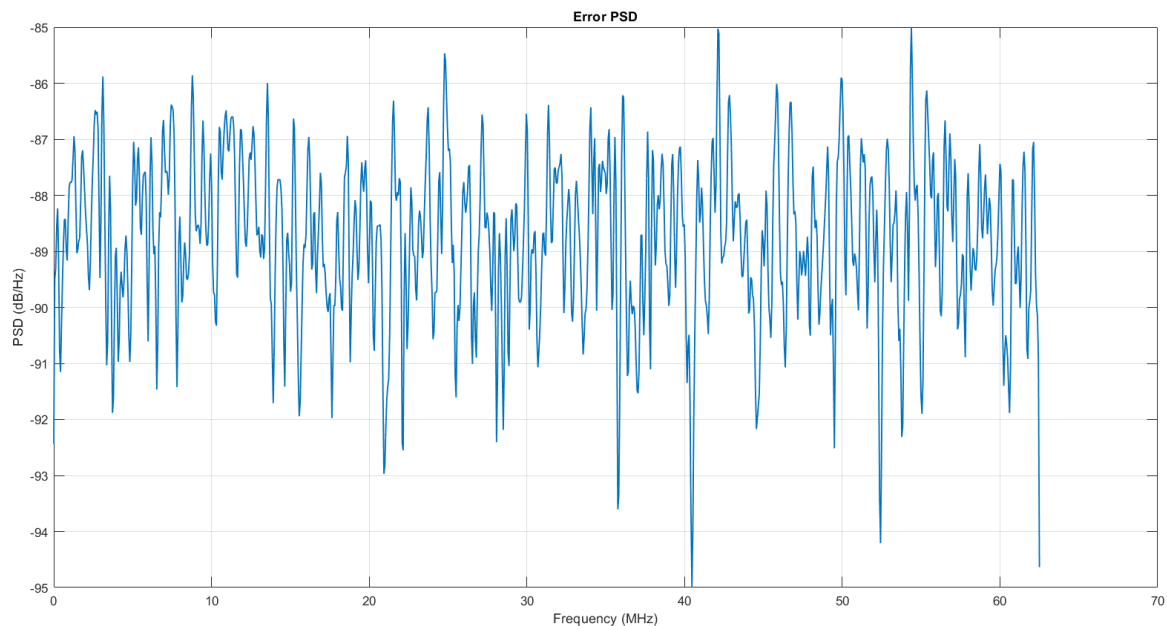
- هم‌خوانی بدون برازش:  $\text{relRMS} = 8,1 \times 10^{-5}$  و  $\text{NMSE} = -81,8 \text{ dB}$  در نبود هرگونه برازش نشان می‌دهد مسیر ثابت اعشار  $Q_{2,23}$ ، رجیستر هم‌تراز یک سیکل و جمع متوازن، با مرجع وفادارانه منطبق‌اند.
- **PSD:** هم‌پوشانی FPGA/مرجع در شکل ۱۰۷ و برابری توان باند خطی ( $350=$ ) برای MATLAB/FPGA تأیید می‌کند که اختلافات باقی‌مانده از کوانتیزاسیون کنترل‌شده یا اثرات تحلیل ناشی می‌شود، نه از مدل/ضرایب.
- **PSD: Error** کف  $-86$  تا  $-95 \text{ dB/Hz}$  مشاهده شد؛ تبدیل به  $\text{dBFS/Hz}$  (با نرمال‌سازی به  $\text{FS}$ ) امکان مقایسه مستقیم با کف نظری  $149,3 \text{ dBFS/Hz}$  را فراهم می‌کند.
- تاخیرها: تاخیر الگوریتمی رجیستر هم‌تراز  $d = 1$  نمونه؛ جبران هم‌ترازسازی بین مسیر با ۳- نمونه اعمال شده است ( $24 \text{ ns}@125 \text{ MHz}$ ).

## ۷.۷ تنظیمات استریم و هاست (برای بازتولید)

جریان	جهت	قالب	عمق FIFO	Chunk هاست	Timeout
Raw_ToHost	T→H	I16	۸۱۹۲	۶۵۵۳۶	۵۰۰۰ ms
Filtered_2_ToHost	T→H	I32 (Q2.23)	۸۱۹۲	۶۵۵۳۶	۵۰۰۰ ms
AI0_ToHost	T→H	I32 (Q2.23)	۸۱۹۲	۶۵۵۳۶	۵۰۰۰ ms
A0_PreWire_ToHost	T→H	I32 (Q2.23)	۸۱۹۲	۶۵۵۳۶	۵۰۰۰ ms

یادآوری: جریان‌های  $Q_{2,23}$  به  $I_{32}$  روی DMA ارسال و در هاست با ضریب  $2^{-23}$  به  $\text{DBL}$  مقیاس می‌شوند.  $\text{Timeout} = 5000 \text{ ms}$  برای پرهیز از تایم‌اوت‌های مقطعی انتخاب شد.





شکل ۳.۷: Error PSD: کف  $-86$  تا  $-95$  dB/Hz (بسته به طولِ بخش/پنجره). با نرمال‌سازی به فول-اسکیل، مقایسهٔ مستقیم با کف نظری  $149.3$  dBFS/Hz ممکن است.

## ۸.۷ جمع‌بندی فصل

در آزمون فقط-زمان‌بندی، خروجی FPGA با جبرانِ تاخیر ثابت  $3-$  نمونه، بدون هرگونه برازش، با مرجع نرم‌افزاری منطبق شد:  $reIRMS = 8.13 \times 10^{-5}$  و  $NMSE = -81.8$  dB. توانِ باندی ( $1$  MHz- $60$  MHz) برای MATLAB/FPGA برابر ( $= 350$  a.u.) است و صحتِ مسیر ثابت‌اعشار و معماریِ جمع متوازن را تأیید می‌کند. فصل بعد (۸) همین الگوی اعتبارسنجی را برای «برآوردِ فاز با وزن‌دهی میزبان» به‌کار می‌گیرد و اثرِ وزن‌ها را با مقایسهٔ با/بی‌وزن نشان می‌دهد.

## فصل ۸

### II) اعتبارسنجی برآورد فاز Mark

این فصل نسخهٔ Mark II از الگوی برآورد فاز را با مرجع نرم‌افزاری MATLAB هم‌سنجی می‌کند. وزن‌ها روی میزبان تولید و به سخت‌افزار ارسال می‌شوند، اما در این ارزیابی تمرکز بر پاریتی الگوریتمی است: آیا فرمول‌بندی و زمان‌بندی انتخاب تأخیر  $L$ ، انتگرال وزن‌دار، و شاخص‌های پالس به پالس در عمل همان چیزی را می‌دهند که مدل نرم‌افزار پیش‌بینی می‌کند؟

#### ۱۰۸ پیکربندی آزمون و تعاریف

- نرخ نمونه‌برداری:  $\Delta t = 1 \text{ ns}$   $F_s = 125,000,000 \text{ MHz}$ .
- طول سیگنال پس از برش لبه‌ها:  $M = 8530$  نمونه.
- انتخاب تأخیر:  $L = 23$  (بر مبنای بهینه‌سازی پارامتر؛  $\alpha = 5,7613281$ ).
- چارچوب پالس: بازهٔ پالس تحلیل‌شده در حوالی  $t \approx 42,796 \mu\text{s}$ .

کیت‌های گزارش‌شده در انتهای هر پالس. مطابق فصل‌های قبل، سه کیت زیر محاسبه و گزارش می‌شوند (قالب ثابت اعشار در پیاده‌سازی و double در مرجع):

$$\psi_{\text{end}} = \text{wrap}(\phi[N-1]), \quad \psi_{\text{int}} = \text{wrap}\left((S_g \phi + S_g i/A) \text{inv} S_g\right), \quad \text{residual} = (S_g i \cdot \text{inv} S_g)/A,$$

که در آن  $S_g(\cdot) = \sum_{k=0}^{N-1} g_k(\cdot) \Delta t$  و  $\text{wrap}(\theta) = \text{mod}(\theta + \pi, 2\pi) - \pi$

#### ۲۰۸ روش ارزیابی

آ) هم‌ترازسازی زمانی: هم‌تراز بر اساس مُهرزمان‌های یکسان؛ تنها تأخیر ثابت روی خروجی لحاظ می‌شود (بدون cross-correlation و بدون فیت بهره/افست).

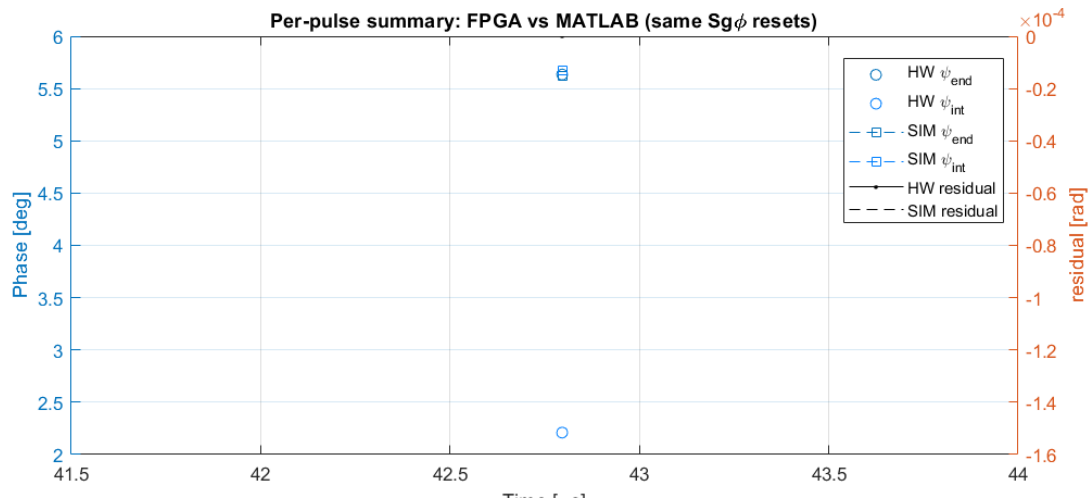
ب) انتخاب  $L$ : مقدار  $L = 23$  از تحلیل پایداری/نویز به دست آمده و در هر دو مسیر اعمال شده است.

ج) بازهٔ پایا: برای خطای  $\phi$  (نمودار زمانی)، یک پنجرهٔ پایا تعریف و RMS در آن گزارش می‌شود.

## ۳۰۸ نتایج عددی (پالس نماینده)

سنجه	واحد	HW (داده/FPGA)	SIM (MATLAB)
$t \approx 42,796 \mu s @ \psi_{end}$	[rad]	$+0,09833$	$+0,09819$
$@ \psi_{int}$ همان پالس	[rad]	$+0,03857$	$+0,09900$
$@ Residual$ همان پالس	[rad]	$+0,00000 \times 10^0$	$-1,531 \times 10^{-4}$
RMS{ $\phi_{HW} - \phi_{SIM}$ } (پنجره پایا)	[rad]	$2,729 \times 10^{-3}$	(نسبی ۲,۷۱٪)

## ۴۰۸ نمودارها



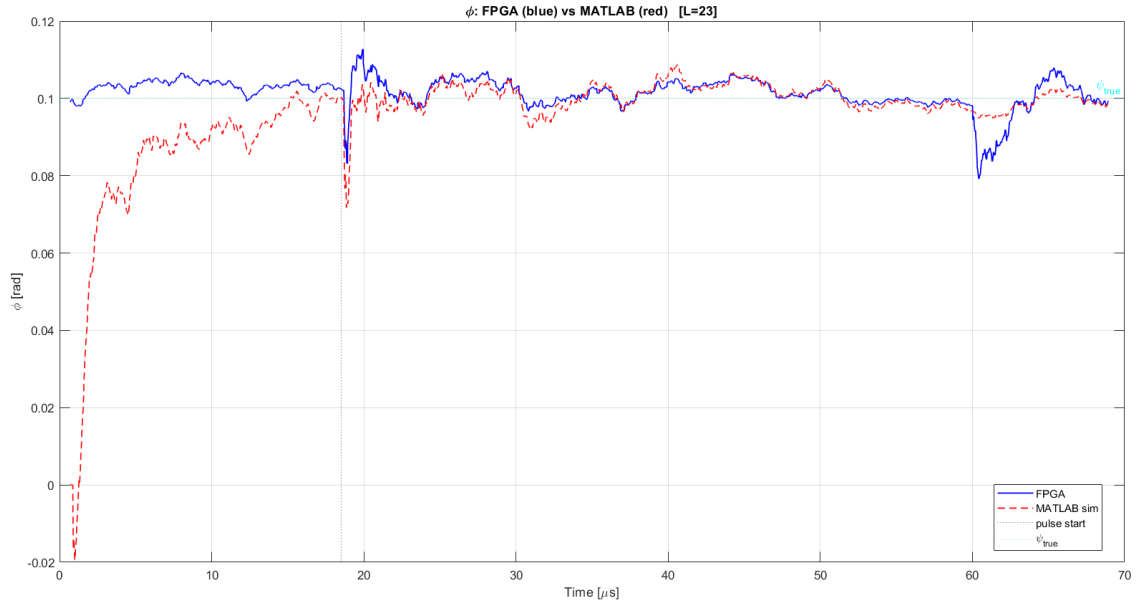
شکل ۱۰۸: خلاصه پالس به پالس (Mark II):  $\psi_{end}$  و  $\psi_{int}$  برای HW (دایره توخالی) و SIM (مربع) و همچنین  $residual$  روی محور راست.

## ۵۰۸ تفسیر

- پاریتی انتهایی خوب:  $\psi_{end}$  بین HW و SIM تا دو رقم اعشار منطبق است ( $\approx 0,098$  رد). این نشان می‌دهد انتخاب  $L = 23$  و لوله‌کشی/هم‌ترازی به درستی اعمال شده‌اند.
- اختلاف در  $\psi_{int}$ : انحراف قابل توجه بین HW و SIM (حدود  $0,060$  رد) ریشه در یکی از این موارد دارد: (۱) مقیاس دهی  $A$  یا  $invS_g$  در یکی از مسیرها؛ (۲) تفاوت قالب‌های  $Q$  و سیاست گردکردن/اشباع هنگام انتگرال وزن‌دار؛ (۳) تعریف دقیق پنجره انتگرال (مرزهای پالس یا  $\Delta t$  ادغام شده در وزن).
- RMS پایا کوچک: خطای  $\phi$  در پنجره پایا  $2,73 \times 10^{-3} rad$  است، که برای کاربردهای کالیبراسیون کوچک تلقی می‌شود و با کف نویز کوانتیزاسیون/تحلیل سازگار است.

## ۶۰۸ بازتولید (حداقل لازم)

- $(\alpha = 5,7613281) L = 23, M = 8530, F_s = 125 MHz$ .
- همان وزن‌های  $\{g_k\}$  و همان قراردادهای گردکردن:  $ties-to-even nearest$  و  $satuate$ .
- مرزهای پالس،  $\Delta t$  و نرمال‌سازی  $invS_g$ ،  $A$  بین HW/SIM یکسان باشند.



شکل ۲۰۸: روند زمانی  $\phi$ : داده HW (آبی پیوسته) در برابر شبیه سازی MATLAB (قرمز خط چین). خط عمودی شروع پالس و خط افقی  $\psi_{true}$  را نشان می دهد.

## ۷۰۸ کارهای تکمیلی سریع

۱. بررسی مقیاس  $A$ : تبدیل واحد (رد/ولت) و ادغام  $\Delta t$  در وزن ها را بین HW/SIM یکسان کنید؛ تفاوت  $\psi_{int}$  غالباً از این جاست.
۲. ثبت قالب ها:  $\{g_k\}$  در  $Q_{2,16}, i, \phi$  در  $Q_{2,23}$  و تنها یک کست نهایی پس از انباشت.
۳. حساسیت به  $L$ : یک جدول کوتاه RMS بر حسب  $L \in \{21, 23, 25\}$  برای پیوست اضافه کنید.

## ۸۰۸ جمع بندی فصل

با  $F_s = 125 \text{ MHz}$ ،  $M = 8530$  و  $L = 23$ ، نسخه Mark II از برآورد فاز  $\psi_{end}$  را بین سخت افزار و مرجع MATLAB با دقت بالا بازتولید می کند و خطای  $\phi$  در پنجره پایا در حد  $2.73 \times 10^{-3} \text{ rad}$  است. اختلاف مشاهده شده در  $\psi_{int}$  به احتمال زیاد ناشی از قراردادهای نرمال سازی/قالب است و با همسان سازی  $\Delta t$ ،  $\text{inv}S_g$ ،  $A$ ، رفع می شود. این فصل الگوی ارزیابی فصل ۷ را به حوزه برآورد فاز تعمیم می دهد و پایه فصل جمع بندی را فراهم می کند.

## فصل ۹

# جمع‌بندی و مسیر آینده

این گزارش یک دستنامه کامل برای بازتولید، اجرا و گسترش پروژه FPGA روی NI PXIe-7972R با NI-5782R ارائه کرد. از سطح مبانی و معماری عددی تا ساخت پروژه از صفر در LabVIEW، نگاشت هسته فیلتر Look-Ahead ( $k=1$ ) روی DSP48E1، تولید سیگنال و حلقه  $AO \rightarrow AI$ ، و در نهایت اعتبارسنجی کمی (زمان-دامنه، Corr/RMSE، و Welch PSD) همگی به صورت گام به گام مستندسازی شدند. یک مطالعه موردی برآورد فاز نیز نشان داد چگونه «وزن‌دهی میزبان» را می‌توان به شکل ایمن و هم‌خوان با محدودیت‌های SCTL و DMA به سخت‌افزار منتقل کرد.

## ۱.۹ دستاوردهای کلیدی

- زمان‌بندی پایدار در 125 MHz: با تبدیل Look-Ahead، ضرب‌های موازی در DSP48E1 و درخت جمع متوازن، به همراه تنها یک رجیستر پایلین هم‌تراز روی تمام شاخه‌ها.
- وفاداری عددی: تنها یک تبدیل HT نهایی ( $Q2.23 \rightarrow wide$ ) پیش از بازخورد؛ عدم وجود کست‌های میانی موجب کف نویز و رفتار طیفی قابل پیش‌بینی شد.
- الگوی استریم تمیز: تفکیک نقش‌ها—DMA FIFO برای جریان‌های پرنرخ و Read/Write Control برای رجیسترهای کم‌سرعت—با دسی میشن چرخه‌ای در هدف و قطعه‌خوانی حجیم در میزبان.
- خودآزمایی سخت‌افزار: مولد square/saw/sine در SCTL@125 MHz، خروجی چهارفاز AO (500 MS/s) و حلقه  $AO \rightarrow AI$  برای تست‌های بدون منبع خارجی.
- قابلیت توسعه: الگوی «وزن‌دهی میزبان» + BRAM دوکلاکه + SCTL MAC، زیربنای ساده‌ای برای الگوریتم‌های پیچیده‌تر فراهم می‌کند.

## ۲.۹ محدودیت‌ها و ریسک‌ها

- شبکه فرکانسی محرک مربعی: پارامتر  $N$  فقط مقادیر کوانتیزه  $125\text{ MHz}/(2N)$  را ممکن می‌کند؛ برخی فرکانس‌های دلخواه دقیقاً قابل حصول نیستند.
- کران نرخ AI: ورودی آنالوگ تا 250 MS/s؛ برای حامل‌های بالاتر باید مهندسی نمونه‌برداری/بین‌کانالی دقیق انجام شود.
- مصرف BRAM/DSP: با افزودن جریان‌ها و وزن‌ها، فشار روی منابع افزایش می‌یابد و نیاز به بهینه‌سازی (اشتراک ضرایب/زمان‌بندی) خواهد بود.

## ۳.۹ پیشنهاد های توسعه آتی

۱. بهبود قالب عددی: آزمایش Q2.24 برای کاهش کف نویز؛ آزمون دادرینگ کوچک پیش از کست نهایی برای سفید تر کردن طیف کوانتیزاسیون.
۲. گسترش مسیر محرک/اندازه گیری: بهره گیری از هر دو کانال AI برای سناریوهای حامل بالاتر (مثلاً 84.6 MHz EOM) و بین فازی دقیق AO.
۳. گنجینه بلوک ها: استخراج هسته DSP48E1 (ضرب/جمع متوازن) به صورت SubVI های پایدار همراه با typedef های ضرایب/کنترل ها.
۴. پروفایلینگ منابع: افزودن اسکرپت/چک لیست منابع (مصرف DSP/BRAM/LUT) و خودکارسازی بررسی «ضرب روی DSP» در گزارش کامپایل.
۵. اتوماسیون هاست: ساخت Host VI با معماری تولیدکننده/مصرف کننده و ذخیره لاگ به صورت chunked همراه با متادیتا، PulseID (timestamp)، پارامترها).
۶. تحلیل تکمیلی: افزودن برآوردهای طول-پالس، SNR باندی، تأخیر گروهی، و نمودارهای عمق PSD تا 300 dB.

## ۴.۹ چک لیست «تحويل به دانشجوی بعدی»

- پروژه LabVIEW شامل: گره کنترلر و هدف FPGA، ماژول NI-5782 با Multi-Sample CLIP، DMA FIFO، Build Spec با مسیر lvbitx.
- مستندات: این گزارش؛ اسکرین شات های کلیدی؛ نقشه پروژه (درخت شماره گذاری شده).
- کد میزبان: Host VI با Open/Close FPGA Reference، خواندن DMA ها، گراف ها، کنترل ها.
- اسکرپت های تحلیل: MATLAB/Python برای هم تراز، RMSE/Corr، Welch PSD، و برآورد فاز.
- نمونه داده: چند فایل لاگ کوتاه «خوب» برای آزمون سریع و چند نمونه «بد» برای آموزش عیب یابی.

## ۵.۹ سخن پایانی

این دستنامه، علاوه بر تحويل وضعیت فعلی، تلاش کرده الگوهای «درست» را تثبیت کند: نگاشت حساب شده به DSP48E1، پایلاین هم تراز، تفکیک دقیق استریم/رجیستر، و اعتبارسنجی مبتنی بر مرجع ثابت اعشار. امیدوارم برای دانشجویان بعدی، آغاز کار ساده و توسعه قابل پیش بینی باشد.

## کتاب نامه

- [۱] *Guides User R5۷۸۲ NI- and R۷۹۷۲ PXIe- Documentation: FlexRIO NI Instruments*, National
- [۲] *Nodes Math High-Throughput & Help Module FPGA LabVIEW Instruments*, National
- [۳] *UG Guide User Slice \E۴۸DSP Series \ Xilinx*, (۴۷۹).
- [۴] IEEE, *Spectra Power of Estimation the for Transform Fourier Fast of Use The Welch*, D. P. ۱۹۶۷ *Electroacoustics, and Audio Trans.*
- [۵] *Processing Signal Discrete-Time* Schafer, R. Oppenheim, A. (فصل فیلترهای بازگشتی و تبدیل‌های Look-Ahead).

## پیوست آ

### کدهای کوتاه تحلیل (نماینده)

#### ۱A. — هم‌ترازی، برازش $g, c$ و RMSE/Corr در MATLAB

```
% xIdeal, xFPGA: synchronized after 1-sample lag correction
% Gain/offset fit:
gc = [xFPGA ones(numel(xFPGA),1)] \ xIdeal;
g = gc(1); c = gc(2);
xCal = g*xFPGA + c;

% RMSE and Corr:
rmse = sqrt(mean((xIdeal - xCal).^2));
corr = corrcoef(xIdeal, xCal); corr = corr(1,2);
```

#### ۲A. — PSD Welch (پارامترهای پیشنهادی)

```
fs      = 125e6;           % Hz
nseg     = 2^14;
nover    = nseg/2;
window   = hann(nseg, 'periodic');

[Pxx, f] = pwelch(x, window, nover, nseg, fs, 'onesided');
```



## پیوست ب

# تنظیمات عملی DMA و هاست

### ۱B. — پیشنهاد پارامترها

- **Host→Target**: I16 برای خام ADC، I32 برای جریان‌های Q2.23.
- **Depth**: حدود ۴k-۱۶k عنصر؛ **size Chunk** در هاست: ۳۲-۱۲۸k عنصر.
- **Timeout**: ۱۰۰۰-۵۰۰۰ ms بسته به معماری حلقه هاست؛ ترجیحاً تولیدکننده/مصرف کننده.
- **Target in Decimation**: شمارنده چرخه‌ای هر N سیکل یک بار DMA Write.

### ۲B. — چک لیست عیب‌یابی

- نمودار پله‌پله: **chunk size** و عمق FIFO را افزایش دهید.
- **Timeout**: بازه زمانی را افزایش دهید و از حلقه غیربلاک کننده استفاده کنید.
- **FIFO**: سرریز FIFO: دسی میشن را بالا ببرید یا جریان‌ها را موقتاً کم کنید.

## پیوست پ

### واژه‌نامهٔ اختصارات

شرح	اختصار
Field-Programmable Gate Array	FPGA
Single-Cycle Timed Loop	SCTL
Direct Memory Access First-In First-Out	DMA FIFO
Component-Level IP	CLIP
High-Throughput (Math Nodes)	HT
Block RAM	BRAM
Power Spectral Density	PSD
Root Mean Square Error	RMSE
Pearson Correlation Coefficient	Corr
قالب ثابت اعشار با m بیت صحیح و n بیت اعشار	Qm.n

## فهرست نمادها

نماد	توضیح
$F_s$	نرخ نمونه برداری (مثلاً ۱۲۵ MHz)
$T_s = \frac{1}{F_s}$	دوره نمونه برداری (مثلاً ۸ ns)
$H(z)$	تابع انتقال فیلتر IIR
$y[n], x[n]$	خروجی/ورودی گسسته در زمان
$b_k, a_k$	ضرایب صورت/مخرج فیلتر
$A_r, A_f$	ضرایب بازآرایی شده در Look-Ahead (k=1)
Qm.n	قالب ثابت اعشار با $m$ بیت صحیح و $n$ بیت کسری
RMSE	ریشه میانگین مربعات خطا
PSD	چگالی طیفی توان (روش Welch)
SCTL	حلقه زمان بندی تک سیکل
DSP48E1	بلوک ضرب/جمع سری Xilinx

## واژه‌نامه فارسی → انگلیسی

انگلیسی / اختصار	فارسی
Second-Order Filter (Biquad)	فیلتر مرتبه دو
Direct Form II	فرم مستقیم دوم
Look-Ahead	نگاه جلو
Single-Cycle Timed Loop (SCTL)	حلقه تک سیکل
DMA FIFO	صف DMA
BRAM	حافظه بلوکی
Fixed-Point (Q-Format)	قالب ثابت اعشار
DSP48E1 Slice	ضرب کننده سخت افزاری

## واژه‌نامه انگلیسی → فارسی

فارسی	English
LabVIEW FPGA	LabVIEW FPGA
فلکسرایو	FlexRIO
فیلتر بازگشتی (IIR)	IIR Filter
PSD به روش ولج	Welch PSD
تبدیل پرضر فیت	High-Throughput Cast (HT)
DMA میزبان-هدف	Host↔Target DMA
کینتکس-۷	Kintex-7

## سپاسگزاری

از دکتر Chris Lu و Hendra Nurdin برای راهنمایی‌های فنی و تعریف شاخص‌های بلادرنگ پروژه سپاسگزارم. همچنین از اعضای آزمایشگاه کنترل و دینامیک UNSW برای همکاری‌ها و بازخوردهای ارزشمندشان تشکر می‌کنم. این گزارش به منظور تحویل به دانشگاه AUT و ادامهٔ مسیر پروژه توسط دانشجویان بعدی تدوین شده است.