



دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)
دانشکده مهندسی کامپیوتر و فناوری اطلاعات

گزارش فاز اول پروژه

درس طراحی سیستم های دیجیتال برنامه پذیر

استاد درس
دکتر صاحب الزمانی

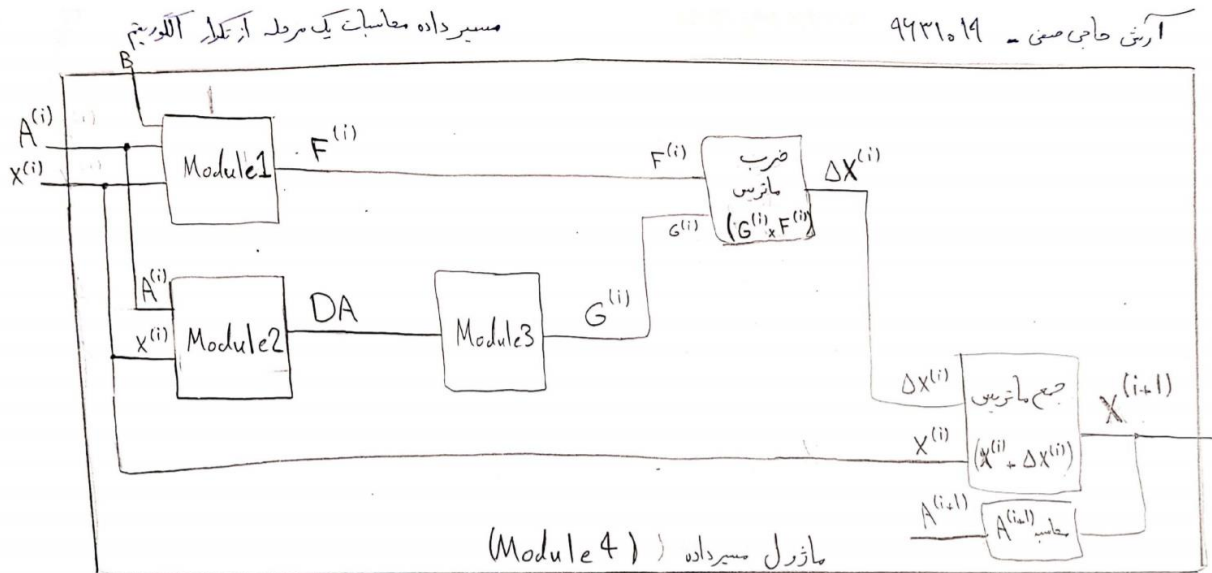
نگارش
آرش حاجی صفی - ۹۶۳۱۰۱۹

مرداد ۱۳۹۹

گزارش مربوط به منابع مصرفی ماژول مسیر داده و همچنین طراحی مسیر داده در فولدر زیر قرار گرفته اند:

.\\FGPA-Project-Phase1\\module4\\reports and data-path

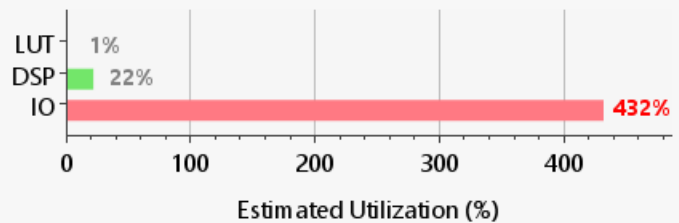
و به صورت زیر می باشند:



Utilization

Post-Synthesis | Post-Implementation

Graph | Table



Utilization

Post-Synthesis | Post-Implementation

Graph | Table

Resource	Estimation	Available	Utilization %
LUT	588	1221600	0.05
DSP	468	2160	21.67
IO	5184	1200	432.00

تعداد پورت I/O استفاده شده بیشتر از تعداد موجود در FPGA است؛ علت این است که ماتریس A بسیار بزرگ است و تعداد پورت بسیار زیادی برای آن مصرف می‌شود که این تعداد در هیچ FPGAی وجود ندارد. البته هم طرح به درستی سنتز می‌شود و هم خروجی test bench ها همگی درست هستند.

در ضمن به دلیل generic تر بودن طرح، برای ماژول 1 و همچنین مسیر داده، ماتریس B هم در بین ورودی‌ها قرار داده شده، به جای A₁₁ هم خود A به صورت کامل در بین ورودی‌ها قرار گرفته که علیرغم اینکه تعداد پورت I/O مصرفی بیشتر می‌شود، طراحی زیباتر و درستی سنجی راحت‌تر و گویاتر شود.

به علت همینکه تعداد پورت I/O کمتر از میزان لازم است و طرح implement نمی‌شود، بدست آوردن فرکانس کاری ممکن نیست.

در کتابخانه pds_utils در فایل pds_utils.vhd، تمام توابع استفاده شده در ماژول‌های دیگر نوشته شده‌اند. تمامی عملیات‌های جمع، تفریق و ضرب با عملوندشان برای ماتریس‌ها overload شده‌اند تا به راحتی از آنها در ماژول‌ها استفاده شود.

برای نگهداری خود ماتریس‌ها از

```
type mem is array(integer range <>, integer range <>) of std_logic_vector(w-1  
downto 0);
```

استفاده شده تا به صورت generic بتوان ابعاد ماتریس را موقع استفاده مشخص کرد. تعداد بیت مورد استفاده برای بردارهای قرارگرفته در هر ماتریس (w) به صورت constant در همین کتابخانه مشخص شده که برای تغییر باید آپدیت شود.