

تحويل تا ساعت ۲۳:۵۵ روز دوشنبه مورخ ۱۸/۰۱/۹۸ از طریق سامانه‌ی دروس

نکاتی در رابطه با نوع تمرین

هر سری از تمرین‌ها، از چهار بخش تشکیل شده است:

- مرور و تثبیت مفاهیم: پرسش‌های این بخش جهت مرور و یادآوری مفاهیم درسی آورده شده است و با مطالعه مفاهیم درسی گفته‌شده در کلاس درس و اسلایدهای درس خواهید توانست به آن‌ها پاسخ دهید. پاسخ آن‌ها مورد ارزیابی قرار نخواهد گرفت، لذا نیازی به ارسال پاسخ آن‌ها نیست.
- تحلیل و طراحی مدار: پرسش‌های این بخش جهت درک عمیق مفاهیم درسی و افزایش قدرت تحلیل و طراحی سیستم‌های دیجیتال آورده شده است. پاسخ به آن‌ها الزامی بوده و مورد ارزیابی قرار خواهد گرفت.
- توصیف و پیاده‌سازی: پرسش‌های این بخش جهت افزایش مهارت شما در پیاده‌سازی مدارهای دیجیتال، بررسی درستی عملکرد آن و استفاده از ابزارهای طراحی آورده شده است. پاسخ به آن‌ها الزامی بوده و مورد ارزیابی قرار خواهد گرفت.
- طراحی و پیاده‌سازی سامانه پیشرفته: پرسش‌های این بخش ممکن است کمی پیچیده‌تر و دشوارتر از سایر بخش‌ها باشد. الزامی یا اختیاری بودن آن‌ها در صورت پرسش ذکر شده است.

نکاتی در رابطه با نحوه‌ی ارسال تمرین

- ارسال تمرینات به‌صورت الکترونیکی و از طریق [سامانه دروس](#) خواهد بود. فایل ارسالی شما فایل zip با نام sid_hs.zip است که sid شماره دانشجویی و hs شماره سری تمرین است. یک قالب آماده در سامانه دروس قرار داده شده است تا پاسخ تمرین را در قالب تعیین شده بنویسید. پرسش‌هایی که پاسخ آن‌ها ماهیت تشریحی و تحلیلی دارد را به صورت تایپ‌شده یا دستی نوشته و به صورت یک فایل PDF ذخیره نمایید.
- زمان تحويل هر سری از تمرینات مشخص بوده و پاسخ تمرین پس از موعد مقرر شده در سامانه دروس قرار داده خواهد شد لذا امکان تغییر آن وجود ندارد. در حل تمرینات، می‌توانید به‌صورت دوتایی یا چندتایی با یکدیگر همفکری و بحث نمایان ولی هر شخص می‌بایست در نهایت پاسخ و استدلال خود را به‌صورت انفرادی بنویسد و در صورت شباهت پاسخ، تمامی افراد نمره تمرین را از دست خواهند داد.
- بازای هر روز ارسال زودهنگام تمرین‌ها ۵ درصد نمره اضافی تا سقف ۲۰ درصد (در صورتی که نمره خام تمرین بالاتر از ۷۵ درصد شود) در نظر گرفته خواهد شد. بازای هر روز دیرکرد در ارسال تمرین ۱۵ درصد جریمه اعمال خواهد شد. ارسال دیرهنگام فقط تا ۲ روز پس از زمان مقرر شده امکان‌پذیر است و پس از آن نمره تمرین صفر در نظر گرفته خواهد شد.

چنانچه ابهامی در زمینه تمرینات دارید، می‌توانید اشکالات خود را از طریق پست الکترونیکی زیر با موضوع PDS.2020 رفع نمایید.

[ali.mohammadpour\[at\]aut.ac.ir](mailto:ali.mohammadpour[at]aut.ac.ir)

محمدپور

موفق و پیروز باشید!

تحويل تا ساعت ۲۳:۵۵ روز دوشنبه مورخ ۱۸/۰۱/۹۸ از طریق سامانه‌ی دروس

پرسش‌های مرور و تثبیت مفاهیم
(نیازی به ارسال پاسخ این بخش نیست.)

الف) شیوه‌ی طراحی سیستم با تراشه‌های منطقی برنامه‌پذیر^۱ و مدارهای مجتمع با کاربرد خاص^۲ را از دیدگاه‌های زیر باهم مقایسه کرده و تعیین کنید هر یک برای چه کاربردهایی مناسب‌تر است.

- زمان طراحی و پیاده‌سازی
- سرعت کار مدار
- چگالی مدار
- توان مصرفی
- ساخت نمونه‌ی اولیه‌ی محصول
- هزینه‌ی مهندسی غیرتکراری (مستقل از تعداد تراشه)

ب) جاهای خالی زیر را پر کنید.

- مراحل اصلی چرخه‌ی طراحی شامل ورود طرح^۳، و است. مرحله‌ی ورود طرح به پنج شکل ، ، ، می‌تواند انجام شود.
- مرحله‌ی سنتز از مراحل سه‌گانه‌ی چرخه‌ی طراحی، خود شامل ، نگاشت فناوری و است که در مرحله‌ی نگاشت فناوری، نگاشت معادلات بولی به سخت‌افزار موجود در تراشه صورت می‌گیرد.
- خروجی مرحله‌ی سنتز است.

ج) توصیف سخت‌افزاری در سطح انتقال ثبات چه تفاوتی با توصیف در سطح گیت دارد؟

د) برای درستی‌سنجی مدارهای طراحی‌شده، بردارهای آزمون ورودی می‌توانند به دو شیوه‌ی تصادفی و هوشمندانه اعمال شوند. مزایا و معایب هر کدام را بیان کنید.

ه) سطوح تجرید در طراحی سیستم‌های دیجیتال را نام برده و هر کدام را به طور مختصر توضیح دهید.

و) هدف از ایجاد سطوح تجرید در زبان‌های توصیف سخت‌افزار را بیان کنید.

ز) درستی یا نادرستی هر یک از عبارات زیر را در زبان توصیف سخت‌افزار VHDL مشخص کنید.

- سیگنال تنها نوع داده‌ای است که می‌توان هم در بخش همروند و هم در بخش ترتیبی قابل اعلان، استفاده و انتساب کرد.
- نوع داده‌ی ورودی و خروجی buffer و inout هیچ تفاوتی با یکدیگر ندارند.
- از دلایل توان مصرفی بالای تراشه‌های FPGA در مقایسه با تراشه‌های ASIC می‌توان به وجود واحدهای برنامه‌پذیر منطقی و ارتباطی اشاره کرد.

^۱ Programmable Logic Devices

^۲ Application Specific Integrated Circuits

^۳ Design Entry

تحويل تا ساعت ۲۳:۵۵ روز دوشنبه مورخ ۹۸/۰۱/۱۸ از طریق سامانه‌ی دروس

پرسش‌های مرور و تثبیت مفاهیم
(ارسال پاسخ این بخش الزامی است.)

پرسش ۱-۱

فرض کنید برای تولید یک محصول می‌توانید از FPGA با قیمت ۲۵۰ واحد استفاده کنید و یا این محصول را به صورت ASIC بسازید. در صورتی که بخواهید آن را با روش طراحی ASIC بسازید، برای این منظور باید برای ساخت نقاب‌های^۴ VLSI، حدود ۱/۸ میلیون واحد هزینه اولیه بپردازید که این هزینه به تیراژ ساخت وابسته نبوده ولی علاوه بر آن، برای هر عدد تراشه ASIC باید ۱۵ واحد پرداخت کنید.

الف) جدول ۱-۱ را کامل کنید.

جدول ۱: هزینه تولید محصول با استفاده از FPGA در مقایسه با ASIC

تعداد محصول	هزینه ساخت		کدام یک مناسب است؟
	ASIC	FPGA	
۱۰۰۰			
۵۰۰۰			
۱۰۰۰۰			

ب) میزان فروش حداقل باید چه مقداری باشد تا طراحی به صورت ASIC صرفه اقتصادی داشته باشد؟

ج) با فرض اینکه هزینه طراحی و توسعه محصول برای هر بستر ASIC برابر ۵۰۰۰۰ و هزینه تولید یک محصول (شامل مواد اولیه و راه‌اندازی) برابر ۱۰۰ واحد باشد، در این صورت حداقل چه تعداد محصول با قیمت مصرفی ۲۵۰ واحد به فروش برسد تا شرکت سود کند. (یعنی هزینه‌ی طراحی نقاب، طراحی و توسعه و هزینه تولید محصول را جبران نماید).

پرسش ۲-۱

ساختار طراحی PLA و PAL را مقایسه کرده و تفاوت کلی آن‌ها را توضیح دهید. با فرض برابر بودن تعداد گیت‌های AND-OR و فناوری ساخت یکسان، کدام یک تعداد توابع جبری بیشتری را پیاده‌سازی می‌کند؟ چرا؟ از نظر سرعت کدام یک سریع‌تر است؟ چرا؟

پرسش ۳-۱

پاسخ پرسش‌های زیر را در یک الی دو جمله بیان کنید

الف) دلیل استفاده از تراشه‌های FPGA در مراکز داده‌ی شرکت‌هایی مانند مایکروسافت و بایدو را بیان کنید.

ب) از مزایای تراشه‌های منطقی برنامه‌پذیر در مقایسه با مدارهای مجتمع خاص منظوره دو مورد بیان کرده و توضیح دهید.

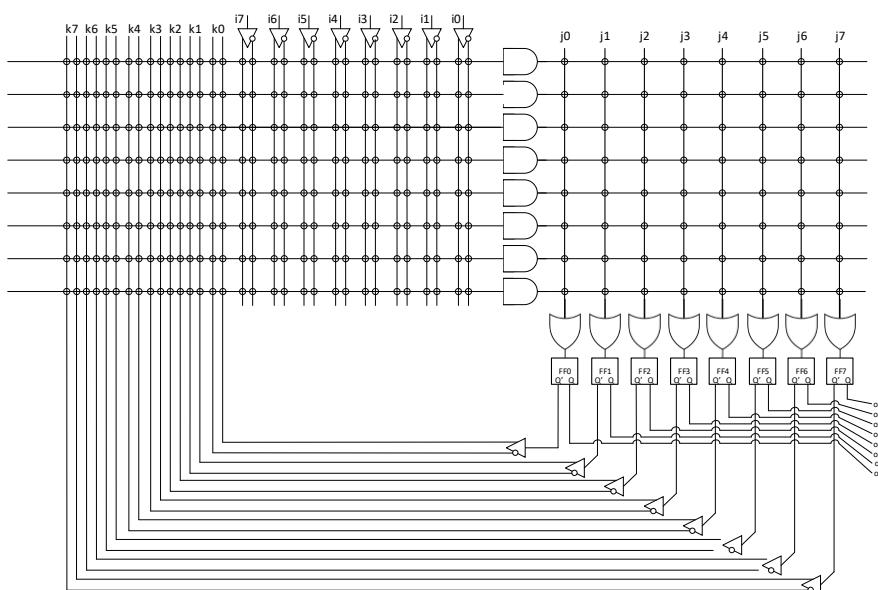
^۴ Masks

تحويل تا ساعت ۲۳:۵۵ روز دوشنبه مورخ ۱۸/۰۱/۹۸ از طريق سامانه‌ی دروس

پرسش ۱-۴

تابع زیر را با استفاده از PAL16R8 که در اسلایدهای درس و شکل ۱ آمده است پیاده‌سازی کنید.

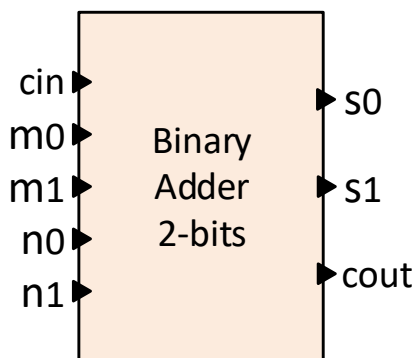
$$f(a, b, c, d) = \sum (0, 1, 4, 9, 13, 15) + d(2, 11)$$



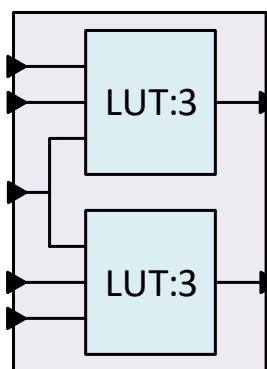
شکل ۱: ساختار داخلی PAL16R8

پرسش ۱-۵

با استفاده از حداقل تعداد جدول جست‌وجو با ساختاری مشابه شکل ۲ مدار جمع‌کننده‌ی دو بیتی شکل ۳ را طراحی نمایید. محتوای LUT ها و مدار متشکل از LUT ها را جهت پیاده‌سازی مشخص کنید.



شکل ۳: جمع‌کننده‌ی ۲ بیتی



شکل ۲: بلوک منطقی قابل پیکربندی تشکیل شده از LUT

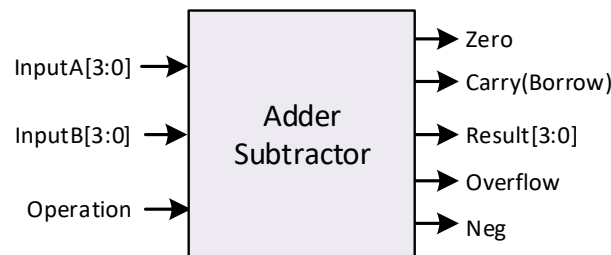
تحويل تا ساعت ۲۳:۵۵ روز دوشنبه مورخ ۱۳۸۸/۰۱/۱۸ از طریق سامانه‌ی دروس

پرسش‌های توصیف و پیاده‌سازی (ارسال پاسخ این بخش الزامی است.)

پرسش ۱-۶

با استفاده از زبان توصیف سخت‌افزار VHDL، یک جمع‌کننده-تفریق‌کننده چهار بیتی با استفاده از مشخصات زیر به صورت ساختاری توصیف نمایید.

- جهت طراحی مدار، از واحدهای Full Adder که در اسلایدهای درس آمده است، استفاده کنید.
- خروجی Zero هنگامی برابر ۱ می‌شود که نتیجه محاسبه برابر با صفر شود.
- خروجی Carry همان بیت نقلی خروجی است.
- خروجی Overflow وقتی برابر ۱ می‌شود که سرریز رخ دهد.
- خروجی Neg هنگامی برابر ۱ می‌شود که نتیجه محاسبه عددی منفی شود.
- اگر ورودی Operation برابر صفر باشد عمل جمع، در غیر این صورت عمل تفریق را انجام می‌دهد.



شکل ۴: مدار جمع‌کننده - تفریق‌کننده ۴ بیتی

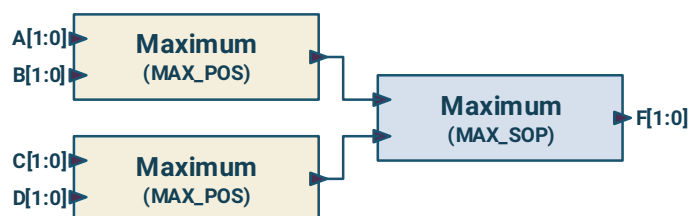
پرسش ۱-۷

شکل ۵ مداری است که چهار عدد مختلف دو بیتی را دریافت کرده و بزرگترین عدد بین آن‌ها مشخص می‌کند.

الف) بخش معماری^۵ مدار Maximum دو بیتی (دو ورودی که هر کدام دو بیتی هستند) را به صورت SOP توصیف نموده و نام آن را MAX_SOP قرار دهید.

ب) توصیف بخش معماری مدار Maximum دو بیتی را به صورت مدار POS توصیف نموده و نام آن را MAX_POS قرار دهید.

ج) مدار شکل ۵ را بدون در نظر گرفتن معماری مدار Maximum توصیف نمایید. سپس یک فایل تعریف پیکربندی^۶ برای آن بنویسید تا بخش معماری همانند شکل ۵ پیاده‌سازی شود.



شکل ۵: مدار Maximum دو بیتی چهار ورودی

^۵ Architecture Section

^۶ Configuration Declaration File