



مهلت تحویل تا ساعت ۲۳:۵۵ روز دوشنبه مورخ ۹۹/۰۲/۰۸ از طریق سامانه‌ی دروس

### نکاتی در رابطه با نوع تمرین

هر سری از تمرین‌ها، از چهار بخش تشکیل شده است:

- مرور و تثبیت مفاهیم: پرسش‌های این بخش جهت مرور و یادآوری مفاهیم درسی آورده شده است و با مطالعه مفاهیم درسی گفته‌شده در کلاس درس و اسلایدهای درس خواهید توانست به آن‌ها پاسخ دهید. پاسخ آن‌ها مورد ارزیابی قرار نخواهد گرفت، لذا نیازی به ارسال پاسخ آن‌ها نیست.
- تحلیل و طراحی مدار: پرسش‌های این بخش جهت درک عمیق مفاهیم درسی و افزایش قدرت تحلیل و طراحی سیستم‌های دیجیتال آورده شده است. پاسخ به آن‌ها الزامی بوده و مورد ارزیابی قرار خواهد گرفت.
- توصیف و پیاده‌سازی: پرسش‌های این بخش جهت افزایش مهارت شما در پیاده‌سازی مدارهای دیجیتال، بررسی درستی عملکرد آن و استفاده از ابزارهای طراحی آورده شده است. پاسخ به آن‌ها الزامی بوده و مورد ارزیابی قرار خواهد گرفت.
- طراحی و پیاده‌سازی سامانه پیشرفته: پرسش‌های این بخش ممکن است کمی پیچیده‌تر و دشوارتر از سایر بخش‌ها باشد. الزامی یا اختیاری بودن آن‌ها در صورت پرسش ذکر شده است.

### نکاتی در رابطه با نحوه‌ی ارسال تمرین

- ارسال تمرینات به‌صورت الکترونیکی و از طریق [سامانه دروس](#) خواهد بود. فایل ارسالی شما فایل zip با نام sid\_hs.zip است که sid شماره دانشجویی و hs شماره سری تمرین است. یک قالب آماده در سامانه دروس قرار داده شده است تا پاسخ تمرین را در قالب تعیین شده بنویسید. پرسش‌هایی که پاسخ آن‌ها ماهیت تشریحی و تحلیلی دارد را به صورت تایپ‌شده یا دستی نوشته و به صورت یک فایل PDF ذخیره نمایید. برای پرسش‌هایی که ماهیت کد نویسی دارند، فایل قالب تمرین در سامانه قرار داده شده است. آن را تکمیل نموده و در پوشه SRC قرار دهید.
  - زمان تحویل هر سری از تمرینات مشخص بوده و پاسخ تمرین پس از موعد مقرر شده در سامانه دروس قرار داده خواهد شد لذا امکان تغییر آن وجود ندارد. در حل تمرینات، می‌توانید به‌صورت دوتایی یا چندتایی با یکدیگر همفکری و بحث نمایند ولی هر شخص می‌بایست در نهایت پاسخ و استدلال خود را به‌صورت انفرادی بنویسد و در صورت شباهت پاسخ، تمامی افراد نمره تمرین را از دست خواهند داد.
  - بازای هر روز ارسال زودهنگام تمرین‌ها ۵ درصد نمره اضافی تا سقف ۲۰ درصد (در صورتی که نمره خام تمرین بالاتر از ۷۵ درصد شود) در نظر گرفته خواهد شد. بازای هر روز دیرکرد در ارسال تمرین ۱۵ درصد جریمه اعمال خواهد شد. ارسال دیرهنگام فقط تا ۲ روز پس از زمان مقرر شده امکان‌پذیر است و پس از آن نمره تمرین صفر در نظر گرفته خواهد شد.
- چنانچه ابهامی در زمینه تمرینات دارید، می‌توانید اشکالات خود را از طریق پست الکترونیکی زیر با موضوع PDS.2020 رفع نمایید.

[ali.mohammadpour\[at\]aut.ac.ir](mailto:ali.mohammadpour[at]aut.ac.ir)

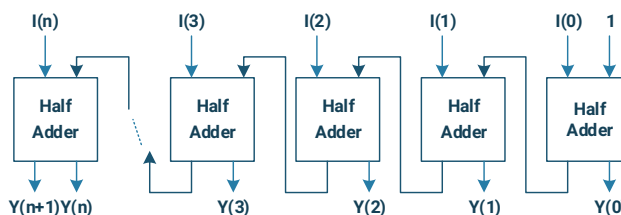
محمدپور

موفق و پیروز باشید!

مهلت تحویل تا ساعت ۲۳:۵۵ روز دوشنبه مورخ ۹۹/۰۲/۰۸ از طریق سامانه‌ی دروس

### پرسش‌های مرور و تثبیت مفاهیم (نیازی به ارسال پاسخ این بخش نیست.)

**الف)** مدار شکل ۱-۲ یک واحد افزونگر<sup>۱</sup> است که عدد  $N$  بیتی به صورت مکمل دو (two's complement) را گرفته و یک واحد به آن اضافه می‌کند.



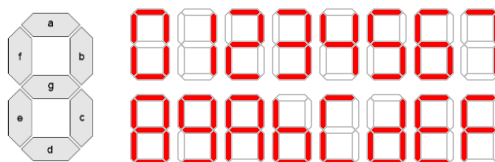
شکل ۱-۲: مدار افزونگر  $n$  بیتی

- ابتدا یک نیم جمع‌کننده<sup>۲</sup> طراحی نمایید. سپس با استفاده از دستور Generate در زبان VHDL یک مدار افزونگر  $n$  بیتی طراحی نمایید. جهت مشخص کردن تعداد بیت ورودی، از متغیرهای Generic استفاده کنید.
- مدار فوق را طوری تغییر دهید که نیازی به تعریف متغیر Generic نداشته باشد. در واقع طول بردار ورودی محدودیت نداشته باشد. (از attribute های موجود در زبان VHDL استفاده کنید.)

**ب)** قسمت Architecture مدار قسمت الف را با استفاده از عملگر + پیاده‌سازی کنید. سپس هر دو مدار قسمت (الف) و (ب) را سنتز کرده و شماتیک طراحی شده را مقایسه کنید.

**ج)** یک فایل محیط آزمون<sup>۳</sup> طراحی کنید که دو نمونه مدار افزونگر هشت بیتی ایجاد نماید. به این صورت که یکی از نمونه‌های ایجاد شده از معماری طراحی شده در قسمت (الف) و دیگری از مدار طراحی شده در قسمت (ب) استفاده کند. سپس خروجی‌های آن‌ها را نظیر به نظیر XNOR کرده و با شبیه‌سازی در محیط Vivado شکل موج را تحلیل کنید.

**د)** شکل ۲-۲ ساختار یک نمایشگر هفت قسمتی<sup>۴</sup> را نشان می‌دهد. در هفت قسمتی آند مشترک، قسمت‌هایی روشن می‌شوند که ورودی متناظر آن برابر یک باشد. به عنوان مثال کد "0000111" برای نشان دادن عدد هفت به کار می‌رود. (قسمت‌ها در این رشته از راست به چپ به ترتیب متناظر با حروف a, b, c, و ... قرار گرفته است). با استفاده از دستور with-select-when مدار مبدل عدد چهار بیتی بدون علامت به کد هفت قسمتی آند مشترک را توصیف نمایید.



شکل ۲-۲: نمایشگر هفت قسمتی

<sup>1</sup> Increment circuit

<sup>2</sup> Half-Adder

<sup>3</sup> Testbench file

<sup>4</sup> Seven Segment Display



مهلت تحویل تا ساعت ۲۳:۵۵ روز دوشنبه مورخ ۹۹/۰۲/۰۸ از طریق سامانه‌ی دروس

پرسش‌های مرور و تثبیت مفاهیم  
(ارسال پاسخ این بخش الزامی است.)

## پرسش ۱-۲

برای ارسال داده‌های ویدیویی در بستر شبکه معمولاً از پروتکل UDP/IP استفاده می‌شود. فرض کنید جهت پردازش داده‌های ویدیویی و پیاده‌سازی پشته‌ی پروتکل<sup>۵</sup> در بستر FPGA قرار است اطلاعات با ساختاری مشابه شکل ۳-۲ استفاده شود.

Byte 0	Byte 1	Byte 2	Byte 3	Byte 4	Byte 5
Source IP				Source Port	
Destination IP				Destination Port	
Device MAC Address					
Sequence Number		Acknowledge Number		Quality of Service	

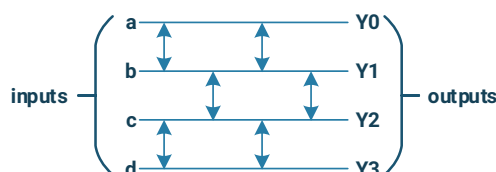
شکل ۳-۲: پشته‌ی پروتکل UDP/IP مورد نیاز

(الف) با استفاده از دستورات type, subtype و ... انواع جدیدی برای پوشش بخش‌های مختلف دستورالعمل‌های شکل ۳-۲ تعریف کنید.

(ب) با استفاده از دستور record و با در نظر گرفتن قسمت (الف) یک ساختار برای پشته‌ی پروتکل UDP/IP طراحی نمایید.

## پرسش ۲-۲

مداری طراحی نمایید که ۴ عدد ۸ بیتی به صورت مکمل مبنا دریافت کرده و آن‌ها را به صورت صعودی - نزولی مرتب‌سازی کند. شکل ۴-۲ روش طراحی را به صورت شماتیکی نشان می‌دهد. هر پیکان دوطرفه نمایانگر پودمانی (module) است که دو عدد ورودی را می‌گیرد و عدد بزرگ‌تر را در یکی از خروجی‌ها و دیگری را در خروجی دیگر ظاهر می‌کند. در صورتی که ورودی mode برابر ۱ باشد مرتب‌سازی به صورت صعودی و در غیر این صورت نزولی مرتب نماید.



شکل ۴-۲: مرتب‌ساز ۴ ورودی

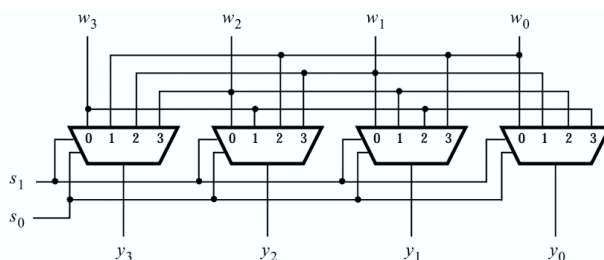
## پرسش ۳-۲

با استفاده از عملگرهای شیفت در زبان VHDL، مداری توصیف کنید که یک عدد ۸ بیتی (data\_inp) را به عنوان ورودی و عددی ۳ بیتی (shamt) را به عنوان تعداد بیت‌های شیفت گرفته و حاصل شیفت داده شده را بازگرداند. اگر ورودی shmod برابر با صفر باشد، خروجی شیفت به راست منطقی و اگر یک باشد شیفت به راست حسابی خواهد بود. تابعی (function) بنویسید که پارامترهای ورودی آن data\_inp و shmod باشد و مقدار شیفت یافته را بازگرداند.

<sup>5</sup> Protocol Stack

## پرسش ۲-۴

شکل ۲-۵ یک Barrel-Shifter است که با استفاده از مالتی‌پلکسر طراحی شده است و عمل شیفت دورانی انجام می‌دهد.



شکل ۲-۵ Barrel-Shifter

**الف)** با ایجاد تغییرات در ساختار Barrel-Shifter مداری طراحی کنید که عملیات شیفت پرسش ۲-۳ را انجام دهد. سپس یک توصیف ساختاری به زبان VHDL برای این مدار بنویسید.  
**ب)** هر دو پرسش ۲-۳ و ۲-۴ را سنتز نمایید و شماتیک طراحی‌شده و گزارش منابع استفاده‌شده را مقایسه کنید. (فایل شماتیک و گزارش منابع پس از سنتز را ضمیمه نمایید).

## پرسش ۲-۵

با فرض این‌که نام موجودیت<sup>۶</sup> در پرسش‌های ۲-۳ و ۲-۴ یکسان است، یک فایل محیط آزمون<sup>۷</sup> توصیف نموده و دو نمونه از مدار شیفت در آن ایجاد نمایید. سپس برای این محیط آزمون، یک فایل پیکربندی<sup>۸</sup> بنویسید که در آن، یکی از نمونه‌ها از معماری پرسش ۲-۳ و دیگری از معماری پرسش ۲-۴ استفاده کند. قطعه کد زیر را به عنوان بردار آزمون استفاده کرده و شکل موج خروجی را ارائه دهید.

```
signal mode: std_logic := '0';
signal input: std_logic_vector(7 downto 0) := (others => '0');
...
mode <= '0',
        '1' after 20 ns,
        '0' after 40 ns;

input <= b"11_10_10_10" after 10 ns, -- b stands for binary and underscores
        b"01_10_11_01" after 30 ns; -- are ignored by the compiler.
```

## پرسش ۲-۶

با استفاده از دستور فرآیند<sup>۹</sup> در زبان VHDL، یک مدار کاملاً ترکیبی طراحی نمایید که یک عدد بدون علامت ۸ بیتی با نام *din* را به عنوان ورودی بگیرد و خروجی *dout* را مطابق رابطه زیر تولید نماید.

$$dout = \lfloor \log_2 din \rfloor$$

<sup>۶</sup> Entity

<sup>۷</sup> Testbench file

<sup>۸</sup> Configuration file

<sup>۹</sup> Process