

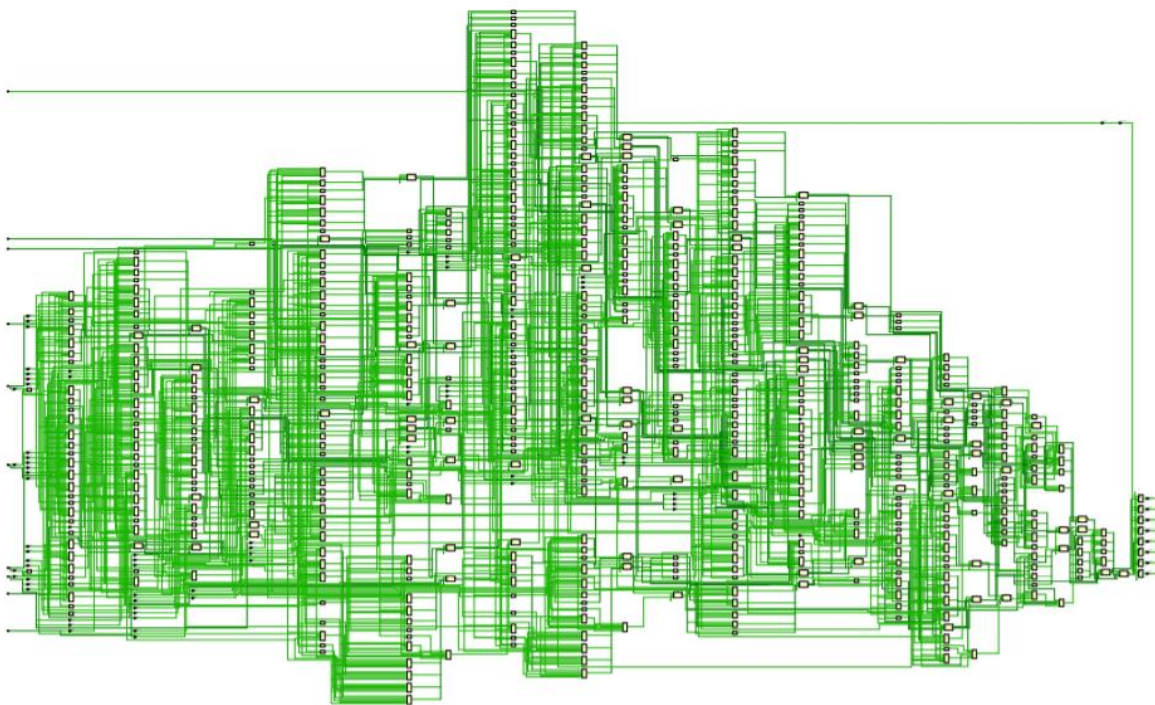
Programmable Digital Systems Design

HW6-Problem 2

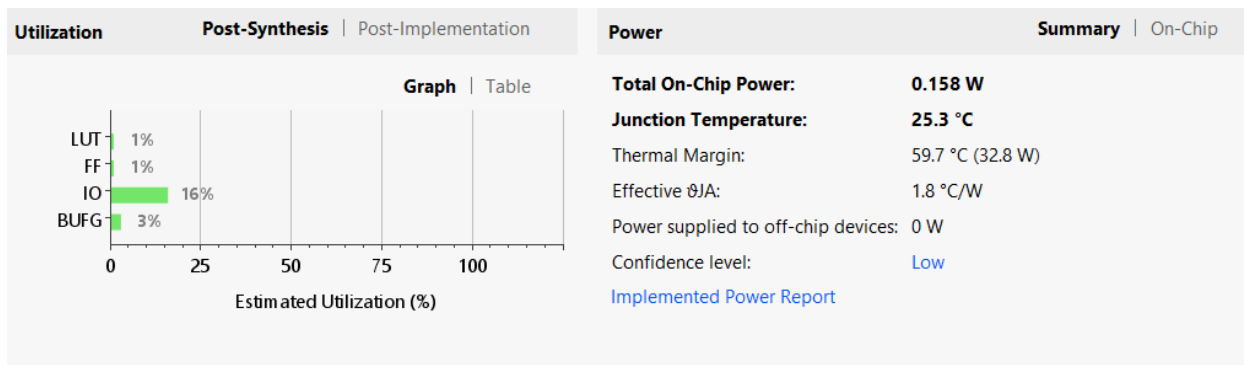
Arash Hajisafi 9631019

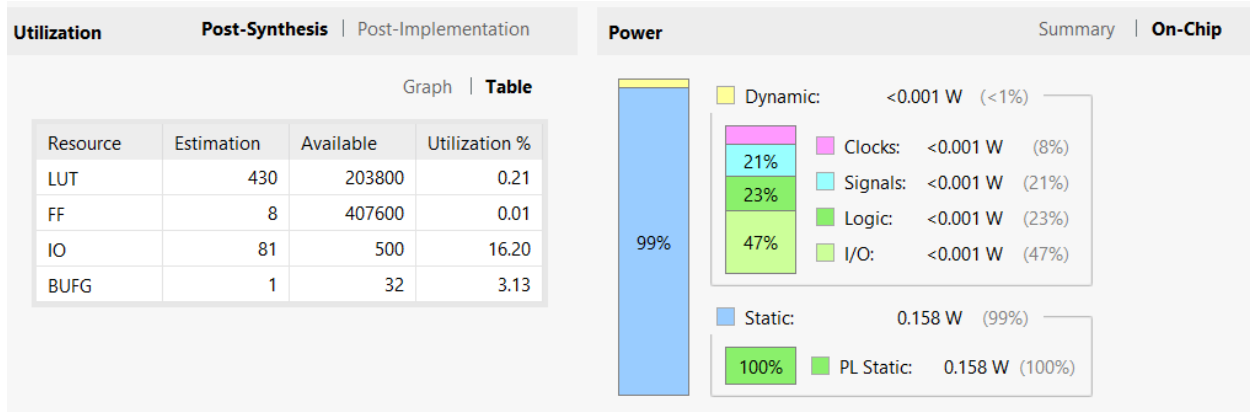
ب) پیاده سازی با process

شکل مدار پس از سنتز:



گزارش منابع و توان مصرفی پس از سنتز:





فرکانس کاری پس از سنتز:

دوره تناوب کلاک را روی 10ns گذاشتم که این نتیجه حاصل شد:

Design Timing Summary

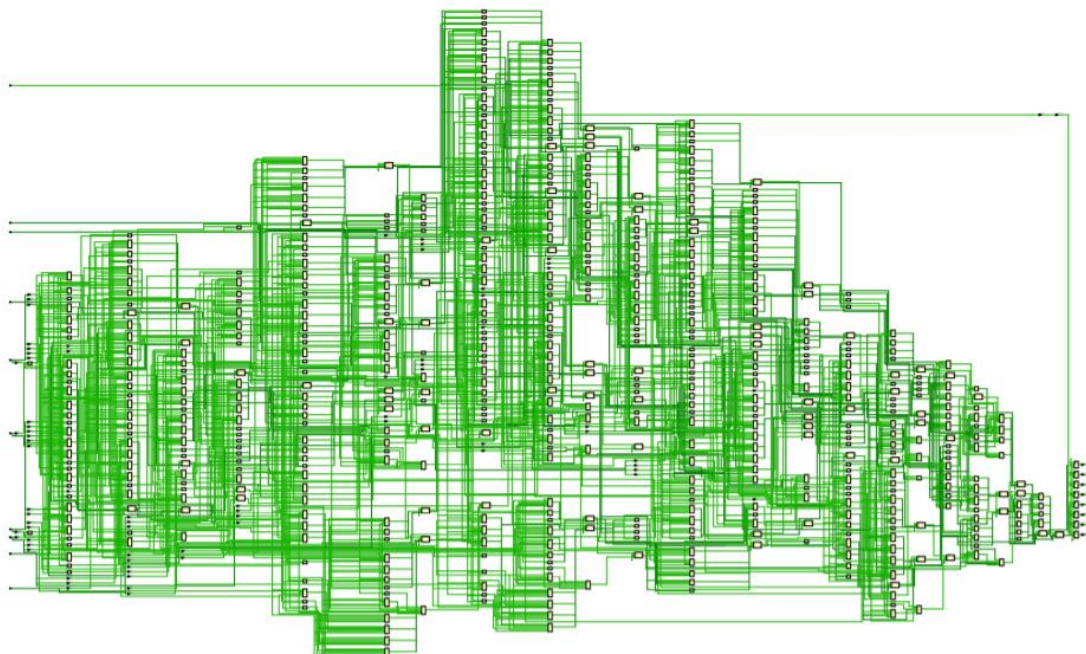
Setup	Hold	Pulse Width
Worst Negative Slack (WNS): inf	Worst Hold Slack (WHS): inf	Worst Pulse Width Slack (WPWS): 4.650 ns
Total Negative Slack (TNS): 0.000 ns	Total Hold Slack (THS): 0.000 ns	Total Pulse Width Negative Slack (TPWS): 0.000 ns
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0
Total Number of Endpoints: 16	Total Number of Endpoints: 16	Total Number of Endpoints: 9

All user specified timing constraints are met.

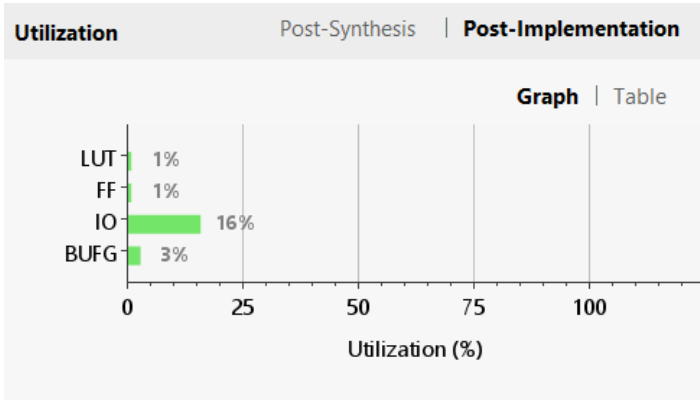
حداکثر فرکانس کاری مدار برابر است با $\frac{1}{T-WPWS}$ ، پس حداکثر فرکانس کاری:

$$f_{max} = \frac{10^9}{10 - 4.650} = 186915887Hz \approx 187Mhz$$

شکل مدار پس از پیاده سازی:



گزارش منابع مصرفی پس از پیاده سازی:



Utilization Post-Synthesis | **Post-Implementation**

Graph | **Table**

Resource	Utilization	Available	Utilization %
LUT	430	203800	0.21
FF	8	407600	0.01
IO	81	500	16.20
BUFG	1	32	3.13

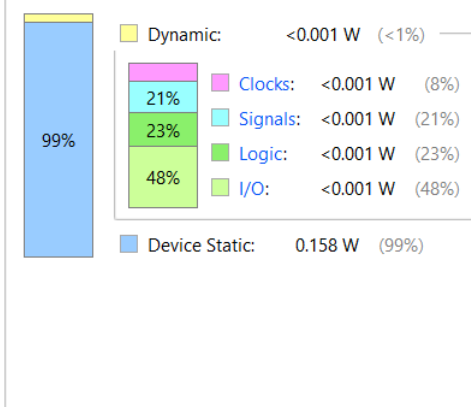
گزارش توان مصرفی پس از پیاده سازی:

Summary

Power analysis from Implemented netlist. Activity derived from constraints files, simulation files or vectorless analysis.

Total On-Chip Power: 0.158 W
Design Power Budget: Not Specified
Power Budget Margin: N/A
Junction Temperature: 25.3°C
 Thermal Margin: 59.7°C (32.8 W)
 Effective θ_{JA} : 1.8°C/W
 Power supplied to off-chip devices: 0 W
 Confidence level: Low
[Launch Power Constraint Advisor](#) to find and fix invalid switching activity

On-Chip Power



فرکانس کاری پس از سنتز:

دوره تناوب کلاک را روی 10ns گذاشتم که این نتیجه حاصل شد:

Design Timing Summary

Setup	Hold	Pulse Width
Worst Negative Slack (WNS): inf	Worst Hold Slack (WHS): inf	Worst Pulse Width Slack (WPWS): 4.650 ns
Total Negative Slack (TNS): 0.000 ns	Total Hold Slack (THS): 0.000 ns	Total Pulse Width Negative Slack (TPWS): 0.000 ns
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0
Total Number of Endpoints: 16	Total Number of Endpoints: 16	Total Number of Endpoints: 9

All user specified timing constraints are met.

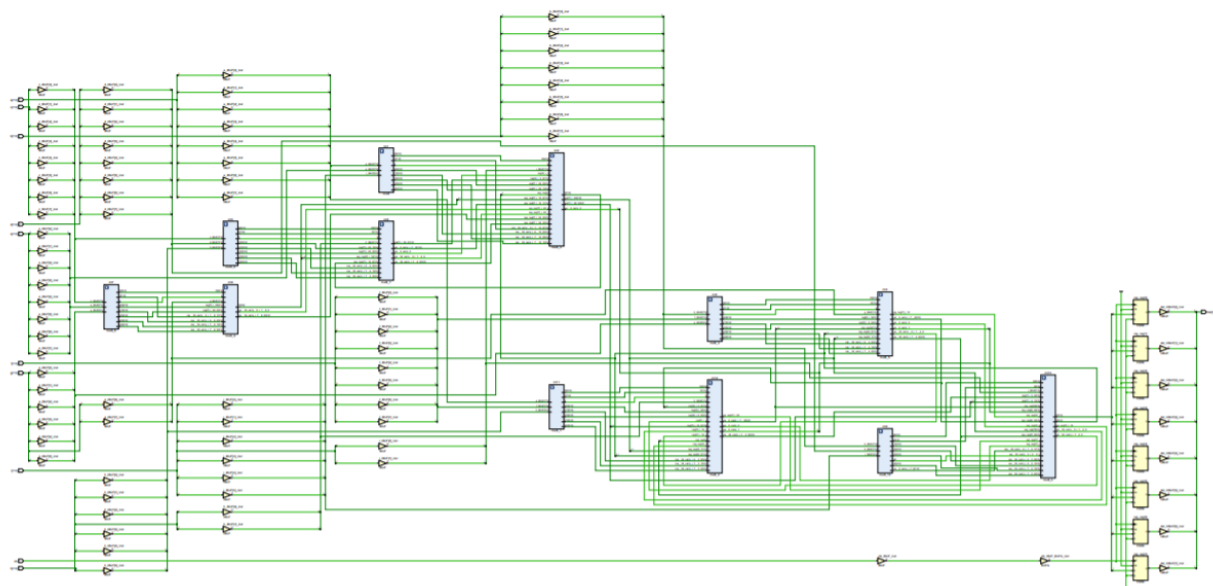
حداکثر فرکانس کاری مدار برابر است با $\frac{1}{T-WPWS}$ ، پس حداکثر فرکانس کاری:

$$f_{max} = \frac{10^9}{10 - 4.650} = 186915887Hz \approx 187Mhz$$

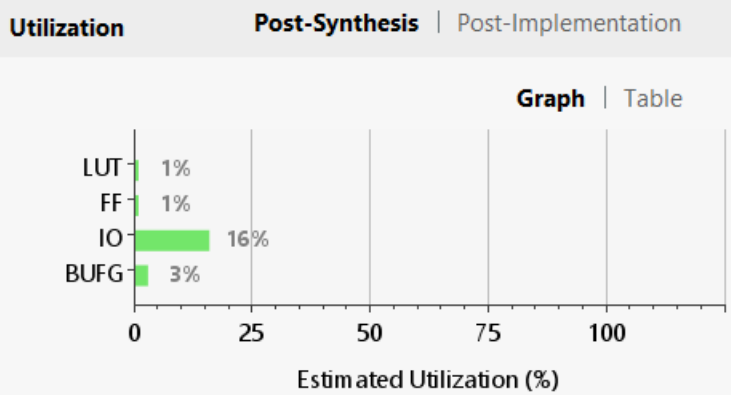
تمامی نتایج پس از پیاده سازی با نتایج پس از سنتز یکسان شدند.

ج) پیاده سازی به صورت ساختاری

شکل مدار پس از سنتز:



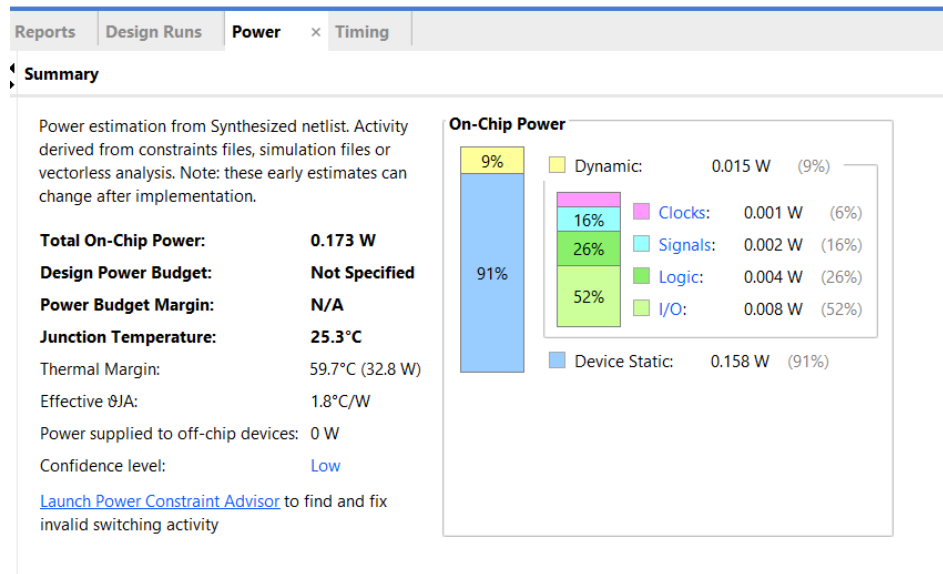
گزارش منابع مصرفی پس از سنتز:



Utilization **Post-Synthesis** | Post-Implementation

[Graph](#) | **Table**

Resource	Estimation	Available	Utilization %
LUT	410	203800	0.20
FF	8	407600	0.01
IO	81	500	16.20
BUFG	1	32	3.13



فرکانس کاری پس از سنتز:

دوره تناوب کلاک را روی 10ns گذاشتم که این نتیجه حاصل شد:

Design Timing Summary

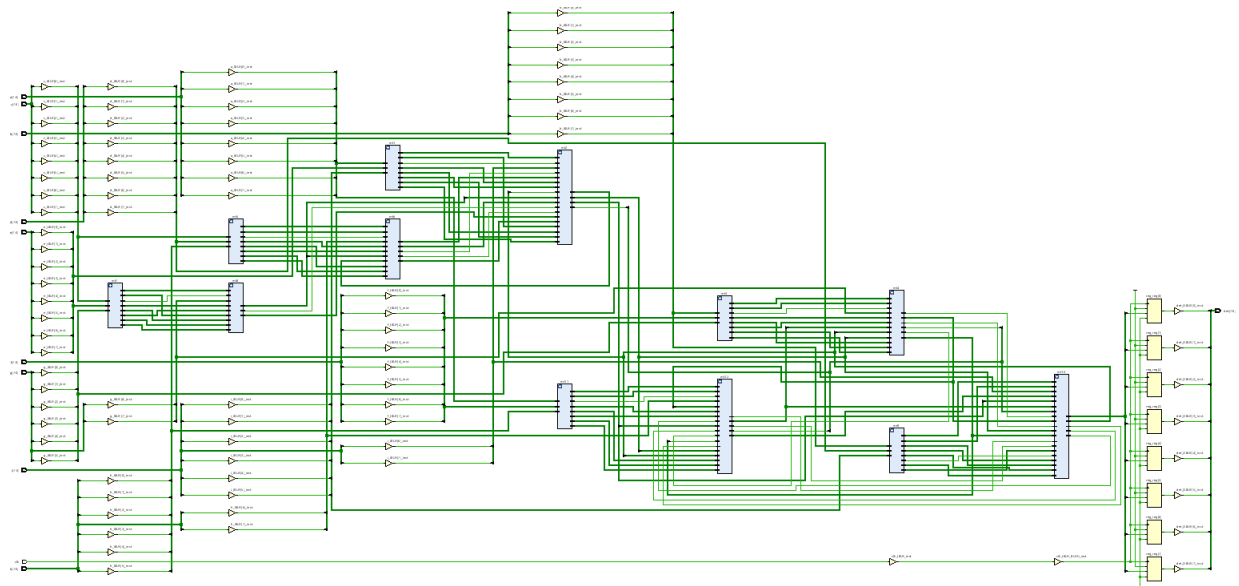
Setup	Hold	Pulse Width
Worst Negative Slack (WNS): inf	Worst Hold Slack (WHS): inf	Worst Pulse Width Slack (WPWS): 4.650 ns
Total Negative Slack (TNS): 0.000 ns	Total Hold Slack (THS): 0.000 ns	Total Pulse Width Negative Slack (TPWS): 0.000 ns
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0
Total Number of Endpoints: 16	Total Number of Endpoints: 16	Total Number of Endpoints: 9

All user specified timing constraints are met.

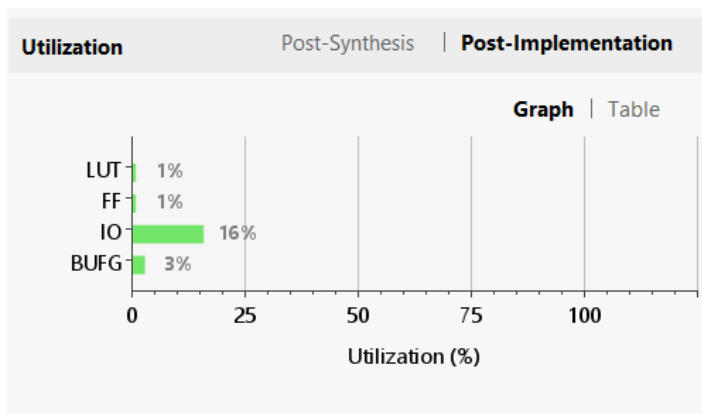
حداکثر فرکانس کاری مدار برابر است با $\frac{1}{T-WPWS}$ ، پس حداکثر فرکانس کاری:

$$f_{max} = \frac{10^9}{10 - 4.650} = 186915887Hz \approx 187Mhz$$

شکل مدار پس از پیاده سازی:



گزارش منابع مصرفی پس از پیاده سازی:

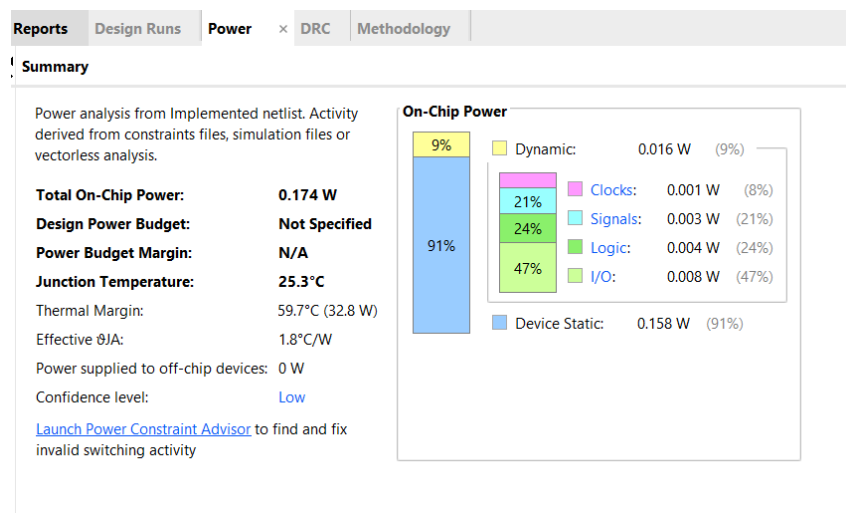


Utilization Post-Synthesis | Post-Implementation

Graph | Table

Resource	Utilization	Available	Utilization %
LUT	409	203800	0.20
FF	8	407600	0.01
IO	81	500	16.20
BUFG	1	32	3.13

گزارش توان مصرفی پس از پیاده سازی:



فرکانس کاری پس از سنتز:

دوره تناوب کلاک را روی 10ns گذاشتم که این نتیجه حاصل شد:

Design Runs Power DRC Methodology Timing ×

Design Timing Summary

Setup	Hold	Pulse Width
Worst Negative Slack (WNS): inf	Worst Hold Slack (WHS): inf	Worst Pulse Width Slack (WPWS): 4.650 ns
Total Negative Slack (TNS): 0.000 ns	Total Hold Slack (THS): 0.000 ns	Total Pulse Width Negative Slack (TPWS): 0.000 ns
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0
Total Number of Endpoints: 16	Total Number of Endpoints: 16	Total Number of Endpoints: 9

All user specified timing constraints are met.

حداکثر فرکانس کاری مدار برابر است با $\frac{1}{T-WPWS}$ ، پس حداکثر فرکانس کاری:

$$f_{max} = \frac{10^9}{10 - 4.650} = 186915887 \text{ Hz} \approx 187 \text{ Mhz}$$

همینطور که می‌بینیم، شماتیک حالت پس از سنتز با پس از پیاده سازی هیچ تفاوتی ندارد.

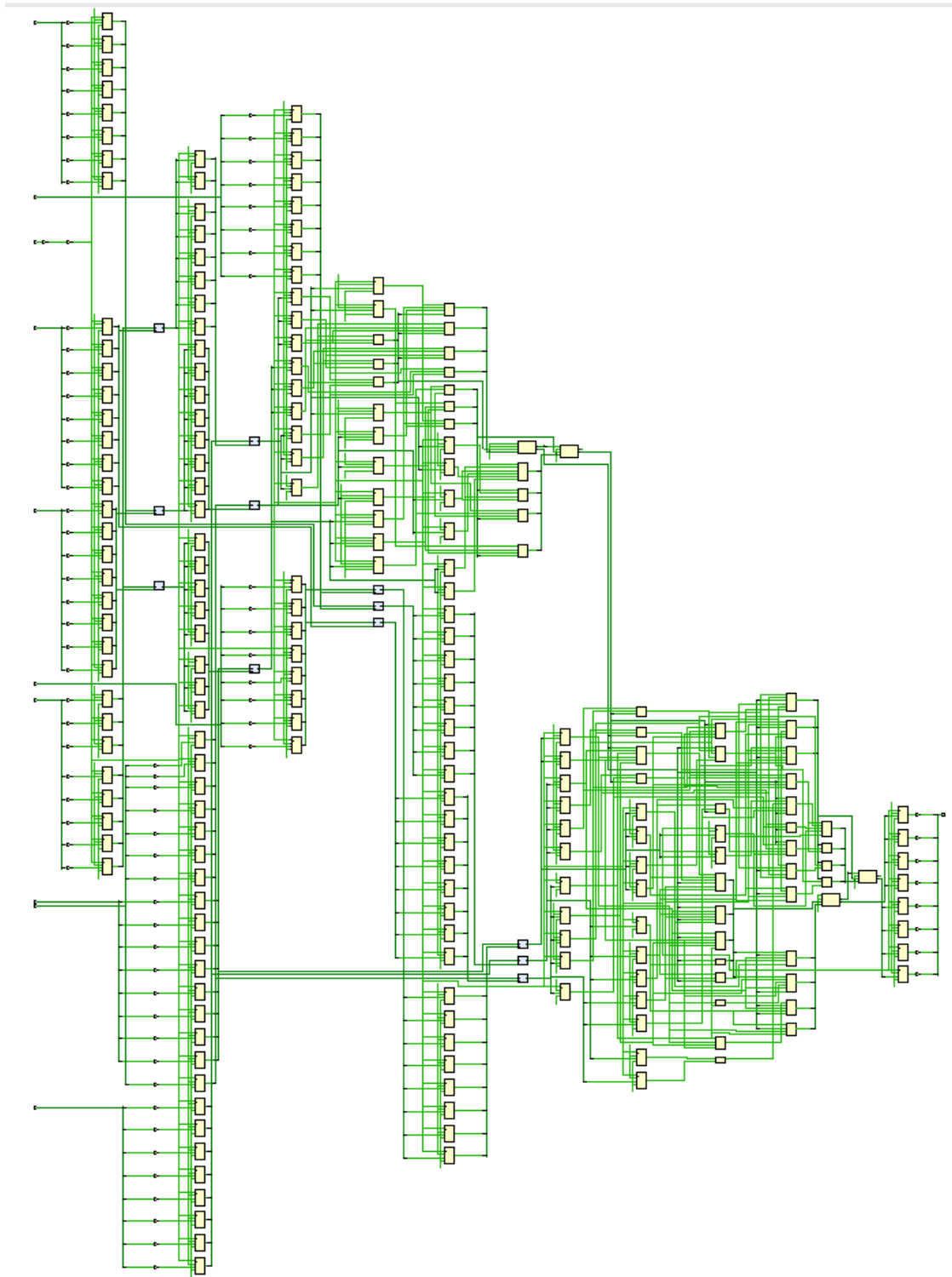
از نظر منابع مصرفی، همه چیز به جز تعداد LUT مشابه است در هر دو حالت، در حالت پس از پیاده سازی یک LUT کمتر مصرف شده.

از نظر توان مصرفی، توان مصرفی پس از پیاده سازی 0.001 وات بیشتر از پس از سنتز است.

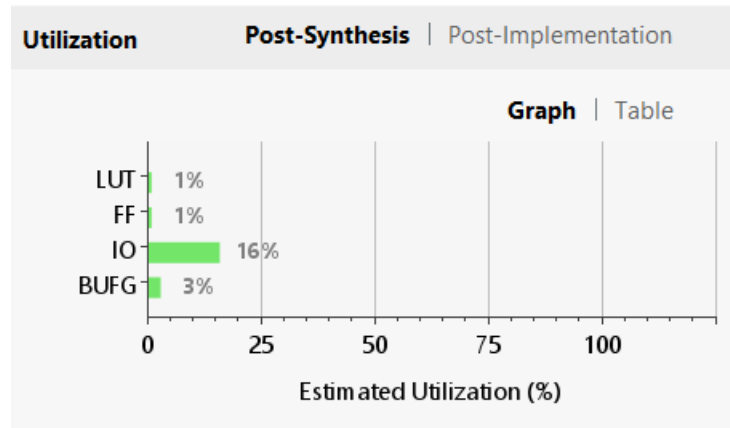
از نظر حداکثر فرکانس کاری هر دو مشابه اند.

و) پیاده سازی به صورت ساختاری با خط لوله (pipeline)

شکل مدار پس از سنتز:



گزارش منابع مصرفی پس از سنتز:



Utilization Post-Synthesis | Post-Implementation

Graph | Table

Resource	Estimation	Available	Utilization ...
LUT	468	203800	0.23
FF	176	407600	0.04
IO	81	500	16.20
BUFG	1	32	3.13

گزارش توان مصرفی پس از سنتز:

Reports Design Runs Power ×

Summary

Power estimation from Synthesized netlist. Activity derived from constraints files, simulation files or vectorless analysis. Note: these early estimates can change after implementation.

Total On-Chip Power:	16.602 W
Design Power Budget:	Not Specified
Power Budget Margin:	N/A
Junction Temperature:	54.5°C
Thermal Margin:	30.5°C (16.6 W)
Effective θ_{JA} :	1.8°C/W
Power supplied to off-chip devices:	0 W
Confidence level:	Low

[Launch Power Constraint Advisor](#) to find and fix invalid switching activity

On-Chip Power

Dynamic:	16.257 W (98%)
25% Signals:	3.990 W (25%)
28% Logic:	4.488 W (28%)
47% I/O:	7.779 W (47%)
Device Static:	0.346 W (2%)

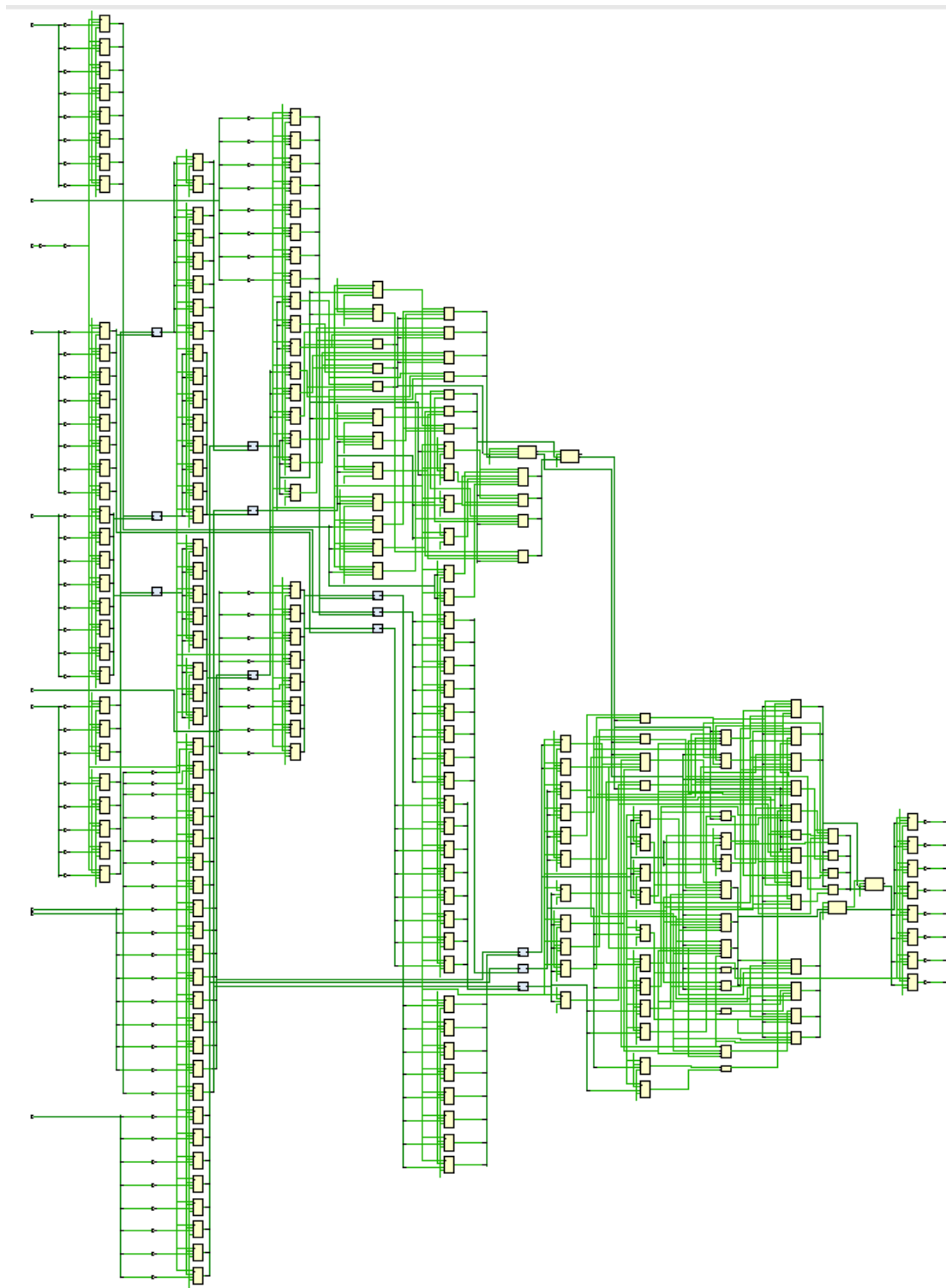
فرکانس کاری پس از سنتز:

دوره تناوب کلاک را روی 10ns گذاشتم که این نتیجه حاصل شد:

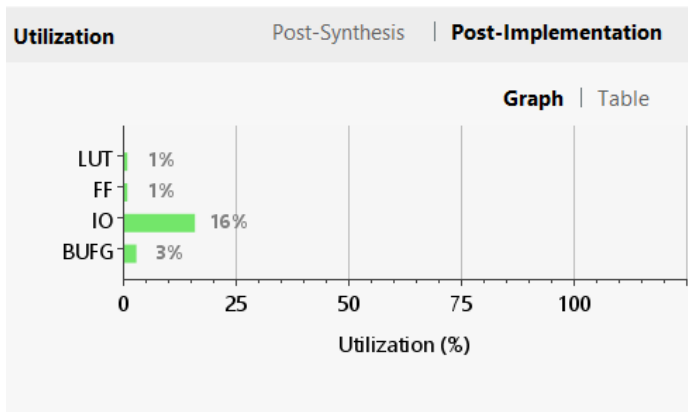
Design Runs	Timing	Power
Design Timing Summary		
Setup	Hold	Pulse Width
Worst Negative Slack (WNS): 6.421 ns	Worst Hold Slack (WHS): 0.114 ns	Worst Pulse Width Slack (WPWS): 4.650 ns
Total Negative Slack (TNS): 0.000 ns	Total Hold Slack (THS): 0.000 ns	Total Pulse Width Negative Slack (TPWS): 0.000 ns
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0
Total Number of Endpoints: 104	Total Number of Endpoints: 104	Total Number of Endpoints: 177
All user specified timing constraints are met.		

حداکثر فرکانس کاری مدار برابر است با $\frac{1}{T - WNS}$ ، پس حداکثر فرکانس کاری:

$$f_{max} = \frac{10^9}{10 - 6.421} = 279407655Hz \approx 279Mhz$$



گزارش منابع مصرفی پس از پیاده سازی:



Utilization Post-Synthesis | Post-Implementation

Graph | Table

Resource	Utilization	Available	Utilization %
LUT	465	203800	0.23
FF	176	407600	0.04
IO	81	500	16.20
BUFG	1	32	3.13

گزارش توان مصرفی پس از پیاده سازی:

Reports | Design Runs | **Power** × DRC | Methodology | Timing

Summary

Power analysis from Implemented netlist. Activity derived from constraints files, simulation files or vectorless analysis.

Total On-Chip Power: 0.177 W

Design Power Budget: Not Specified

Power Budget Margin: N/A

Junction Temperature: 25.3°C

Thermal Margin: 59.7°C (32.8 W)

Effective θ_{JA} : 1.8°C/W

Power supplied to off-chip devices: 0 W

Confidence level: Low

[Launch Power Constraint Advisor](#) to find and fix invalid switching activity

On-Chip Power

Dynamic: 0.018 W (10%)

- Clocks: 0.003 W (15%)
- Signals: 0.004 W (20%)
- Logic: 0.004 W (23%)
- I/O: 0.008 W (42%)

Device Static: 0.158 W (90%)

فرکانس کاری پس از سنتز:

دوره تناوب کلاک را روی 10ns گذاشتم که این نتیجه حاصل شد:

Design Runs	Power	DRC	Methodology	Timing	×
Design Timing Summary					
Setup	Hold		Pulse Width		
Worst Negative Slack (WNS): 6.242 ns	Worst Hold Slack (WHS): 0.168 ns		Worst Pulse Width Slack (WPWS): 4.600 ns		
Total Negative Slack (TNS): 0.000 ns	Total Hold Slack (THS): 0.000 ns		Total Pulse Width Negative Slack (TPWS): 0.000 ns		
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0		Number of Failing Endpoints: 0		
Total Number of Endpoints: 104	Total Number of Endpoints: 104		Total Number of Endpoints: 177		
All user specified timing constraints are met.					

حداکثر فرکانس کاری مدار برابر است با $\frac{1}{T-WNS}$ ، پس حداکثر فرکانس کاری:

$$f_{max} = \frac{10^9}{10 - 6.242} = 266098988Hz \approx 266Mhz$$

همینطور که می‌بینیم، شماتیک حالت پس از سنتز با پس از پیاده سازی هیچ تفاوتی ندارد.

از نظر منابع مصرفی، همه چیز به جز تعداد LUT مشابه است در هر دو حالت، در حالت پس از پیاده سازی 3 تا LUT کمتر مصرف شده.

از نظر توان مصرفی، پس از سنتز توان مصرفی 16.602W تخمین زده شده ولی پس از پیاده سازی توان مصرفی 0.177W بیان شده.

از نظر حداکثر فرکانس کاری، پس از سنتز 279MHz حداکثر فرکانس تخمین زده شده ولی پس از پیاده سازی این عدد به 266MHz تغییر کرده.

ز) مقایسه این 3 پیاده سازی

از نظر مساحت و میزان مصرفی می بینیم که مساحت طرح پیاده سازی با pipeline از همه بیشتر است، پس از آن طرح به صورت process در وسط قرار می گیرد و طرح به صورت ساختاری هم کمترین مساحت را دارد.

مقایسه مساحت: $S_{structural} < S_{process} < S_{pipeline}$

از نظر توان مصرفی می بینیم که توان مصرفی طرح مبتنی بر pipeline از همه بیشتر است، پس از آن توان مصرفی طرح ساختاری در وسط قرار می گیرد و طرح به صورت process از همه توان مصرفی کمتری را دارد.

مقایسه توان مصرفی: $P_{process} < P_{structural} < P_{pipeline}$

از نظر فرکانس طرح ساختاری با مبتنی بر process تقریباً حداکثر فرکانس کاری برابری دارند (مبتنی بر process اندکی بهتر است). و طرح مبتنی بر pipeline با اختلاف فرکانس بالاتری دارد.

مقایسه حداکثر فرکانس کاری: $f_{structural} \leq f_{process} \ll f_{pipeline}$

میزان تسریع برای طرح pipeline:

$$speedup = 279 \div 187 \approx 1.50$$

طرح مبتنی بر pipeline تقریباً 1.5 برابر فرکانس بیشتری از 2 تایی دیگر دارد.

علت اینکه دقیقاً 3 برابر نشد این است که مسیر بحرانی عملیات جمع term هاست که درون آنرا pipeline نکردم و فقط ضربها pipeline شدند و اگر جمع هم pipeline انجام میشد فرکانس خیلی بیشتر میشد.