



مهلت تحویل تا ساعت ۲۳:۵۵ روز دوشنبه مورخ ۹۹/۰۴/۰۲ از طریق سامانه‌ی دروس

نکاتی در رابطه با نوع تمرین

هر سری از تمرین‌ها، از چهار بخش تشکیل شده است:

- مرور و تثبیت مفاهیم: پرسش‌های این بخش جهت مرور و یادآوری مفاهیم درسی آورده شده است و با مطالعه مفاهیم درسی گفته‌شده در کلاس درس و اسلایدهای درس خواهید توانست به آن‌ها پاسخ دهید. پاسخ آن‌ها مورد ارزیابی قرار نخواهد گرفت، لذا نیازی به ارسال پاسخ آن‌ها نیست.
- تحلیل و طراحی مدار: پرسش‌های این بخش جهت درک عمیق مفاهیم درسی و افزایش قدرت تحلیل و طراحی سیستم‌های دیجیتال آورده شده است. پاسخ به آن‌ها الزامی بوده و مورد ارزیابی قرار خواهد گرفت.
- توصیف و پیاده‌سازی: پرسش‌های این بخش جهت افزایش مهارت شما در پیاده‌سازی مدارهای دیجیتال، بررسی درستی عملکرد آن و استفاده از ابزارهای طراحی آورده شده است. پاسخ به آن‌ها الزامی بوده و مورد ارزیابی قرار خواهد گرفت.
- طراحی و پیاده‌سازی سامانه پیشرفته: پرسش‌های این بخش ممکن است کمی پیچیده‌تر و دشوارتر از سایر بخش‌ها باشد. الزامی یا اختیاری بودن آن‌ها در صورت پرسش ذکر شده است.

نکاتی در رابطه با نحوه‌ی ارسال تمرین

- ارسال تمرینات به صورت الکترونیکی و از طریق [سامانه دروس](#) خواهد بود. فایل ارسالی شما فایل zip با نام sid_hs.zip است که sid شماره دانشجویی و hs شماره سری تمرین است. یک قالب آماده در سامانه دروس قرار داده شده است تا پاسخ تمرین را در قالب تعیین‌شده بنویسید. پرسش‌هایی که پاسخ آن‌ها ماهیت تشریحی و تحلیلی دارد را به صورت تایپ‌شده یا دستی نوشته و به صورت یک فایل PDF ذخیره نمایید. برای پرسش‌هایی که ماهیت کد نویسی دارند، فایل قالب تمرین در سامانه قرار داده شده است. آن را تکمیل نموده و در پوشه SRC قرار دهید.
 - زمان تحویل هر سری از تمرینات مشخص بوده و پاسخ تمرین پس از موعد مقرر شده در سامانه دروس قرار داده خواهد شد لذا امکان تغییر آن وجود ندارد. در حل تمرینات، می‌توانید به صورت دوتایی یا چندتایی با یکدیگر همفکری و بحث نمایند ولی هر شخص می‌بایست در نهایت پاسخ و استدلال خود را به صورت انفرادی بنویسد و در صورت شباهت پاسخ، تمامی افراد نمره تمرین را از دست خواهند داد.
 - بازای هر روز ارسال زودهنگام تمرین‌ها ۵ درصد نمره اضافی تا سقف ۲۰ درصد (در صورتی که نمره خام تمرین بالاتر از ۷۵ درصد شود) در نظر گرفته خواهد شد. بازای هر روز دیرکرد در ارسال تمرین ۱۵ درصد جریمه اعمال خواهد شد. ارسال دیرهنگام فقط تا ۲ روز پس از زمان مقرر شده امکان‌پذیر است و پس از آن نمره تمرین صفر در نظر گرفته خواهد شد.
- چنانچه ابهامی در زمینه تمرینات دارید، می‌توانید اشکالات خود را از طریق پست الکترونیکی زیر با موضوع PDS.2020 رفع نمایید.

[ali.mohammadpour\[at\]aut.ac.ir](mailto:ali.mohammadpour[at]aut.ac.ir)

محمدپور

موفق و پیروز باشید!



مهلت تحویل تا ساعت ۲۳:۵۵ روز دوشنبه مورخ ۹۹/۰۴/۰۲ از طریق سامانه‌ی دروس

پرسش‌های مرور و تثبیت مفاهیم
(نیازی به ارسال پاسخ این بخش نیست.)

الف) به سوالات زیر پاسخ دهید.

- روش‌های طراحی سیستم‌های دیجیتال بزرگ را نام برده و هر یک را به اختصار توضیح دهید. استفاده از هر یک چه مزایا و معایبی دارد؟
- در معماری فون‌نیومن، برای اجرای ۱۰ دستورالعمل پشت سر هم بدون شاخه، در یک معماری پیاده‌سازی خط‌لوله^۱، در حالت ایده‌آل چند چرخه ساعت نیاز است؟
- چه معیارهایی در انتخاب یک بورد مد نظر قرار می‌گیرند؟
- چرا نیاز است که جریان طراحی سخت‌افزار و جریان طراحی نرم‌افزار با هم در ارتباط باشند؟

ب) تابع محاسباتی زیر را به صورت خط لوله پیاده‌سازی کنید. ورودی سیستم $x[n]$ و خروجی آن $y[n]$ است. مقادیر $b_i = i$ مقدار N را به صورت Generic در نظر بگیرید. ورودی سیستم با هر لبه مثبت کلاک وارد می‌شود و در هر لبه مثبت کلاک نیز یک خروجی آماده می‌شود. منظور از $x[n-i]$ مقدار داده ورودی در i کلاک قبل است. این مدار نباید به صورت ساختاری توصیف شود بلکه باید با استفاده از process در سطح RTL توصیف شود. مدار خود را با کمک یک برنامه آزمون تست کنید.

$$y[n] = \prod_{i=0}^N b_i \cdot x[n-i]$$

ج) تابع نگاشت (Hash Function) زیر را در نظر بگیرید.

```
u_int8 AUT_HASH(const u_int8 key) {
    u_int8 seed = 131; /* 31 131 1313 13131 131313 etc.. */
    u_int8 hash = 0, iter = 0;
    for (iter = 0; iter < 15, ++key, ++iter)
        hash = hash * seed + key;
    return hash;
}
```

الف) رابطه‌ی فوق را در سطح RTL به زبان VHDL با استفاده از Process یا Procedure توصیف و پیاده‌سازی کنید. سپس نتیجه را سنتز نموده و شکل مدار پس از سنتز را ارائه دهید.

ب) رابطه‌ی فوق را به صورت ساختاری توصیف و پیاده‌سازی کنید. (از یک واحد ضرب و انباشت ۸ بیتی بدون علامت به عنوان مدار پایه استفاده کنید.) سپس نتیجه را سنتز نموده و شکل مدار پس از سنتز را ارائه دهید.

ج) مدار بخش ب را به صورت خط‌لوله پیاده‌سازی کنید. (تعداد مراحل خط‌لوله را چهار مرحله در نظر بگیرید.)

د) سه پیاده‌سازی فوق را از نظر مساحت، گذر داده^۲ و فرکانس کاری مقایسه کنید.

ه) میزان تسریع را محاسبه کنید.

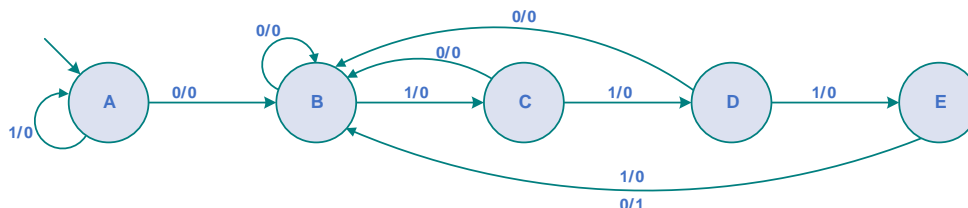
^۱ Pipeline^۲ Throughput

مهلت تحویل تا ساعت ۲۳:۵۵ روز دوشنبه مورخ ۹۹/۰۴/۰۲ از طریق سامانه‌ی دروس

پرسش‌های مرور و تثبیت مفاهیم
(ارسال پاسخ این بخش الزامی است.)

پرسش ۱-۶

ماشین حالت شکل ۱-۶ را در نظر بگیرید.



شکل ۱-۶ ماشین حالت

- (الف) ماشین حالت را با کدگذاری One-Hot روی کاغذ پیاده‌سازی کنید.
 (ب) ماشین حالت را به صورت بهینه و با کدگذاری Gray روی کاغذ پیاده‌سازی کنید.
 (ج) مساحت دو طرح را با هم دیگر مقایسه کنید. $S_{flipFlop} = 4$ و $S_{twoInputGate} = 1$ که S بیانگر تخمین مساحت است)

پرسش ۲-۶

دترمینان یک ماتریس 3×3 از رابطه‌ی زیر به دست می‌آید.

$$\det(A) = |A| = \begin{vmatrix} a & b & c \\ d & e & f \\ g & h & i \end{vmatrix} = aei + bfg + cdh - ceg - bdi - afh$$

- (الف) رابطه‌ی فوق (محاسبه‌کننده‌ی دترمینان ماتریس) را با استفاده از Process توصیف و پیاده‌سازی کنید. مدار دارای ورودی کلاک است و در هر لبه‌ی بالا رونده کلاک مقدار دترمینان مشخص می‌شود.
 (ب) مدار قسمت الف را سنتز نموده و شکل مدار پس از سنتز، گزارش منابع مصرفی، توان مصرفی و فرکانس کاری را مشخص نمایید. مدار را پیاده‌سازی کرده و گزارش‌های ذکر شده را با آنچه در مرحله‌ی سنتز به دست آمده است مقایسه کنید.
 (ج) رابطه‌ی فوق را به صورت ساختاری توصیف و پیاده‌سازی کنید. (از یک واحد ضرب و انباشت ۸ بیتی به عنوان مدار پایه استفاده کنید).
 (د) مراحل قسمت (ب) را برای مدار طراحی شده در قسمت (ج) تکرار کنید. (در خروجی مدار رجیستر قرار دهید تا گزارش مربوط به توان مصرفی و فرکانس کاری تولید شود).
 (ه) مدار قسمت (ج) را به صورت خطلوله پیاده‌سازی کنید. (خطلوله را سه مرحله‌ای در نظر بگیرید).
 (و) مراحل قسمت (ب) را برای مدار طراحی شده در قسمت (ه) تکرار کنید.
 (ز) سه پیاده‌سازی فوق را از نظر مساحت، گذر داد و فرکانس کاری مقایسه و میزان تسریع را محاسبه کنید.

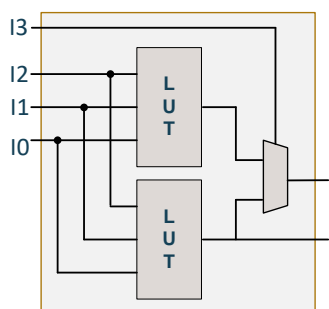
پیش ۳-۶

شکل ۶-۲ ساختار یک بلوک قابل برنامه‌ریزی و شکل ۶-۳ ساختار بلوک اتصالات یک تراشه‌ی FPGA را نشان می‌دهد. با مشخص کردن موارد زیر، مدارهای قسمت (الف) و (ب) را پیاده‌سازی نمایید.

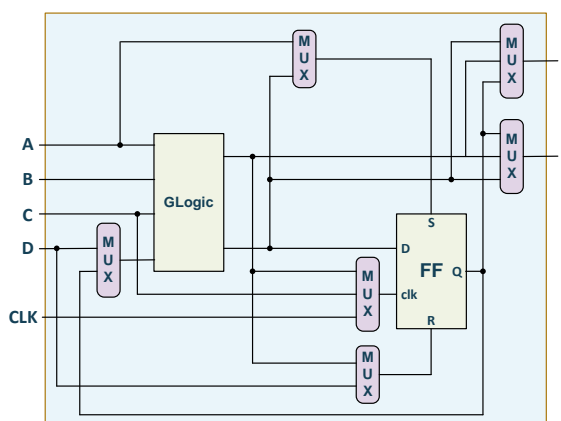
- ورودی‌ها و خروجی‌های اصلی مدار را مشخص کنید.
- محتوای GLogic و خطوط انتخاب مالتی‌پلکسرها را مشخص کنید.
- نحوه‌ی پیکربندی بلوک اتصالات را مشخص کنید به گونه‌ای که ورودی‌ها و خروجی‌های CLB متصل به آن معین شود. در این FPGA، ساختار CB و SB که در کلاس توضیح داده شد، یکسان است.
- نیازی به مسیریابی سیگنال کلاک نیست. فرض کنید مسیر جداگانه‌ای برای آن وجود دارد.
- ورودی‌ها و خروجی‌های اصلی مدار را مشخص کنید.

(الف) مدار جمع‌کننده-تفریق‌کننده‌ی دو بیتی (تعداد کل ورودی‌ها ۵ و تعداد خروجی‌ها ۳ است).

(ب) یک شمارنده‌ی ۲ بیتی کد گری^۳ دارای Reset همگام (ورودی مدار فقط Reset بوده و خروجی ۳ بیتی است).

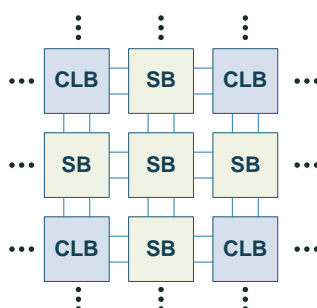


(ب) ساختار داخلی GLogic

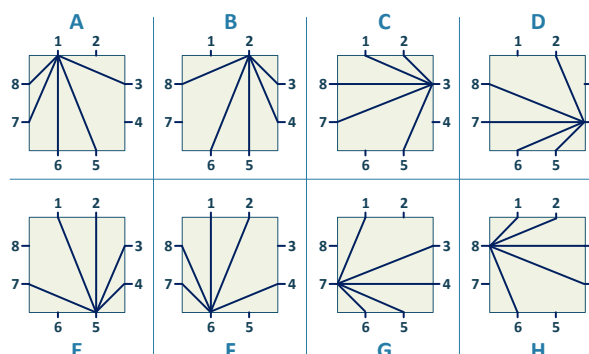


(الف) ساختار داخلی بلوک منطقی قابل پیکربندی

شکل ۶-۲ ساختار بلوک منطقی قابل پیکربندی (CLB)



(ب) چیدمان CLB و SB



(ب) نحوه‌ی پیکربندی بلوک اتصالات (Switch Block)

شکل ۶-۳ ساختار بلوک اتصالات قابل پیکربندی

³ Gray Code

