



مهلت تحویل تا ساعت ۲۳:۵۵ روز دوشنبه مورخ ۹۹/۰۳/۱۹ از طریق سامانه‌ی دروس

نکاتی در رابطه با نوع تمرین

هر سری از تمرین‌ها، از چهار بخش تشکیل شده است:

- مرور و تثبیت مفاهیم: پرسش‌های این بخش جهت مرور و یادآوری مفاهیم درسی آورده شده است و با مطالعه مفاهیم درسی گفته‌شده در کلاس درس و اسلایدهای درس خواهید توانست به آن‌ها پاسخ دهید. پاسخ آن‌ها مورد ارزیابی قرار نخواهد گرفت، لذا نیازی به ارسال پاسخ آن‌ها نیست.
- تحلیل و طراحی مدار: پرسش‌های این بخش جهت درک عمیق مفاهیم درسی و افزایش قدرت تحلیل و طراحی سیستم‌های دیجیتال آورده شده است. پاسخ به آن‌ها الزامی بوده و مورد ارزیابی قرار خواهد گرفت.
- توصیف و پیاده‌سازی: پرسش‌های این بخش جهت افزایش مهارت شما در پیاده‌سازی مدارهای دیجیتال، بررسی درستی عملکرد آن و استفاده از ابزارهای طراحی آورده شده است. پاسخ به آن‌ها الزامی بوده و مورد ارزیابی قرار خواهد گرفت.
- طراحی و پیاده‌سازی سامانه پیشرفته: پرسش‌های این بخش ممکن است کمی پیچیده‌تر و دشوارتر از سایر بخش‌ها باشد. الزامی یا اختیاری بودن آن‌ها در صورت پرسش ذکر شده است.

نکاتی در رابطه با نحوه‌ی ارسال تمرین

- ارسال تمرینات به صورت الکترونیکی و از طریق [سامانه دروس](#) خواهد بود. فایل ارسالی شما فایل zip با نام sid_hs.zip است که sid شماره دانشجویی و hs شماره سری تمرین است. یک قالب آماده در سامانه دروس قرار داده شده است تا پاسخ تمرین را در قالب تعیین‌شده بنویسید. پرسش‌هایی که پاسخ آن‌ها ماهیت تشریحی و تحلیلی دارد را به صورت تایپ‌شده یا دستی نوشته و به صورت یک فایل PDF ذخیره نمایید. برای پرسش‌هایی که ماهیت کد نویسی دارند، فایل قالب تمرین در سامانه قرار داده شده است. آن را تکمیل نموده و در پوشه SRC قرار دهید.
 - زمان تحویل هر سری از تمرینات مشخص بوده و پاسخ تمرین پس از موعد مقرر شده در سامانه دروس قرار داده خواهد شد لذا امکان تغییر آن وجود ندارد. در حل تمرینات، می‌توانید به صورت دوتایی یا چندتایی با یکدیگر همفکری و بحث نمایند ولی هر شخص می‌بایست در نهایت پاسخ و استدلال خود را به صورت انفرادی بنویسد و در صورت شباهت پاسخ، تمامی افراد نمره تمرین را از دست خواهند داد.
 - بازای هر روز ارسال زودهنگام تمرین‌ها ۵ درصد نمره اضافی تا سقف ۲۰ درصد (در صورتی که نمره خام تمرین بالاتر از ۷۵ درصد شود) در نظر گرفته خواهد شد. بازای هر روز دیرکرد در ارسال تمرین ۱۵ درصد جریمه اعمال خواهد شد. ارسال دیرهنگام فقط تا ۲ روز پس از زمان مقرر شده امکان‌پذیر است و پس از آن نمره تمرین صفر در نظر گرفته خواهد شد.
- چنانچه ابهامی در زمینه تمرینات دارید، می‌توانید اشکالات خود را از طریق پست الکترونیکی زیر با موضوع PDS.2020 رفع نمایید.

[ali.mohammadpour\[at\]aut.ac.ir](mailto:ali.mohammadpour[at]aut.ac.ir)

محمدپور

موفق و پیروز باشید!

مهلت تحویل تا ساعت ۲۳:۵۵ روز دوشنبه مورخ ۹۹/۰۳/۱۹ از طریق سامانه‌ی دروس

پرسش‌های مرور و تثبیت مفاهیم (نیازی به ارسال پاسخ این بخش نیست.)

(الف) مزایا و معایب طراحی با استفاده از هسته‌های مالکیت معنوی^۱ را توضیح دهید. چرا استفاده از آن‌ها ممکن است مشکلات امنیتی برای سیستم ایجاد کند؟

(ب) تفاوت هسته‌های مالکیت معنوی نرم^۲، سخت^۳ و چیست^۴؟ مزایا و معایب هر کدام را توضیح دهید.

(ج) طراحی پودمانی به چه معناست؟ مزایای آن چیست؟

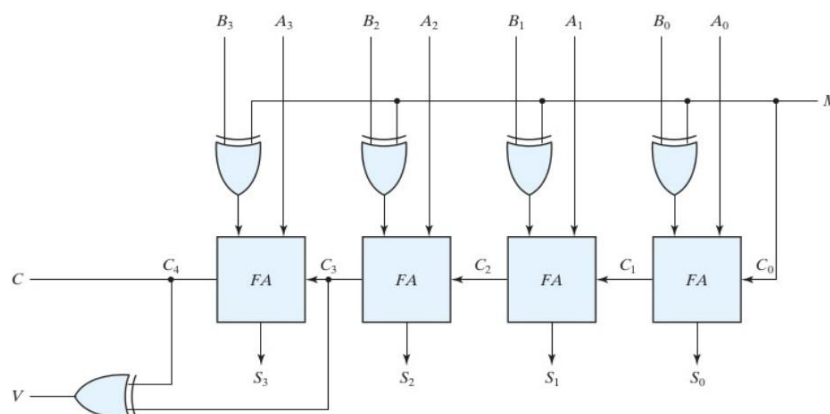
(د) در طراحی سیستم‌های دیجیتال، سطوح تجرید طراحی هسته‌ی مالکیت معنوی را نام برده و هر یک را شرح دهید.

(ه) مزایا و معایب استفاده از بلوک‌های اولیه^۵ را نام ببرید. آیا استفاده از بلوک‌های اولیه در مقایسه با طراحی در سطح انتقال ثبات همواره مدار بهتری تولید می‌نماید؟ توضیح دهید.

(و) چرا با وجود هسته‌ی پردازشی نرم مانند پردازنده‌ی MicroBlaze در برخی از تراشه‌های FPGA پردازنده‌ی سخت نیز وجود دارد؟

(ز) در محیط ابزار Vivado به بخش هسته‌های پردازشی مراجعه کرده و بروی هسته‌ی پردازشی Floating Point کلیک کنید. سپس قابلیت‌هایی که در این هسته‌ی پردازشی وجود دارد را بررسی نمایید.

(ح) مدار شکل ۵-۱ یک جمع‌کننده - تفریق‌کننده است. چه میزان از منابع در این طراحی در مقایسه با پیاده‌سازی جداگانه جمع‌کننده و تفریق‌کننده به اشتراک گذاشته شده است. اگر واحد پیچیدگی را گیت پایه در نظر بگیریم، نسبت منابع مصرفی (مساحت) این مدار در مقایسه با جمع‌کننده و تفریق‌کننده‌ی جداگانه چقدر خواهد بود؟



شکل ۵-۱ جمع‌کننده-تفریق‌کننده

^۱ Intellectual Property Cores

^۲ Soft

^۳ Firm

^۴ Hard

^۵ Primitive Blocks



مهلت تحویل تا ساعت ۲۳:۵۵ روز دوشنبه مورخ ۹۹/۰۳/۱۹ از طریق سامانه‌ی دروس

پرسش‌های مرور و تثبیت مفاهیم
(ارسال پاسخ این بخش الزامی است.)

پرسش ۵-۱

در این پرسش، هدف طراحی ماژول محاسبه‌کننده‌ی n امین عدد دنباله‌ی فیبوناچی با استفاده از حافظه‌ی Block RAM موجود در تراشه‌های FPGA است. جهت یافتن n امین عدد در دنباله‌ی فیبوناچی از رابطه‌ی زیر استفاده می‌شود.

$$fib(n) = \left\lfloor \frac{\varphi^n - (1 - \varphi^n)}{\sqrt{5}} \right\rfloor ; \quad \varphi = \frac{1 + \sqrt{5}}{2}$$

(الف) ورودی مدار (n) یک بردار ۴ بیتی و خروجی مدار یک بردار ۱۲ بیتی است. با استفاده از یک زبان سطح بالا (مانند پایتون یا متلب) تابعی بنویسید که به‌ازای هر یک از ورودی‌های مدار، خروجی متناظر آن را تولید نماید. در زبان VHDL رفتار سیستم را با استفاده از روال یا تابع، مدلسازی و شبیه‌سازی کنید.

(ب) با استفاده از آنچه که در قسمت (الف) طراحی نموده‌اید، ماژول سنتزپذیری به صورت بلوک حافظه توصیف نمایید که n امین عدد در دنباله‌ی فیبوناچی را مشخص نماید.

(ج) یک فایل محیط آزمون طراحی نمایید که به‌ازای همه‌ی حالات ورودی، خروجی ماژول قسمت (ب) را با ساختار زیر در فایل fibdata.txt بنویسد.

[Input as Vector], [Input as Integer], [Output as Vector], [Output as Integer]

مثال:

```
0000, 0, 000000000000, 0
0001, 1, 000000000001, 1
0010, 2, 000000000001, 1
0011, 3, 000000000010, 2
```

(د) با فرض اینکه ورودی مدار پرسش ۵-۱ عددی ۱۶ بیتی و خروجی ۳۶ بیتی باشد، تعداد Block RAM مورد نیاز در تراشه‌های شرکت زایلینکس را به دست آورید. اندازه‌ی یک حافظه‌ی بلوکی در تراشه‌های سری ۷ زایلینکس 36Kbit است که قابل پیکربندی به حافظه با اندازه‌های آمده در جدول ۵-۱ است (ضریب ۲ در جدول برای این منظور است که یک حافظه‌ی بلوکی با اندازه‌ی 36Kbit از دو حافظه‌ی مستقل 18Kbit تشکیل شده است).

جدول ۵-۱ نحوه‌ی پیکربندی حافظه‌ی بلوکی موجود در سری ۷ تراشه‌های شرکت زایلینکس (36Kbit Block RAM)

$2 \times width_{addr} \times width_{data} \text{ bit}$
$2 \times 16K \times 1 \text{ bit}$
$2 \times 8K \times 2 \text{ bit}$
$2 \times 4K \times 4 \text{ bit}$
$2 \times 2K \times 9 \text{ bit}$
$2 \times 1K \times 18 \text{ bit}$
$2 \times 512 \times 36 \text{ bit}$



مهلت تحویل تا ساعت ۲۳:۵۵ روز دوشنبه مورخ ۹۹/۰۳/۱۹ از طریق سامانه‌ی دروس

پرسش ۲-۵

قطعه‌کد ۱-۵ را در نظر بگیرید.

قطعه‌کد ۱-۵

```
-- type of condi_p and condi_q is boolean
-- type of other signals (ports) is std_logic_vector
-- Z1, Z2, Z3, and Z4 are output ports

process (
    A, B, C, D, E, F, G,
    H, I, J, K, L, M, N,
    condi_p, condi_q)
begin
    Z1 <= A + B;
    if (condi_p) then
        Z2 <= C + D;
    else
        Z2 <= E + F;
        if (condi_q) then
            Z3 <= G + H;
        else
            Z3 <= I + J;
        end if;
    end if;
    if (not condi_p) then
        Z4 <= K + L;
    else
        Z4 <= M + N;
    end if;
end process;
```

- کدام یک از عملیات آمده در جدول ۲-۵ قابلیت اشتراک منابع را دارند به طوری که قابلیت اجرای موازی عملیات از بین نرود؟ به عبارتی در کدام یک از موارد، دو عملیات آمده در سطر و ستون جهت انجام عملیات از یک منبع سخت‌افزاری استفاده می‌کنند. توضیح دهید (می‌توانید چند زوج عملیات را دسته‌بندی کنید و توضیح را برای هر دسته بدهید).

جدول ۲-۵ اشتراک منابع سخت‌افزاری در قطعه‌کد ۱-۵

	$A + B$	$C + D$	$E + F$	$G + H$	$I + J$	$K + L$	$M + N$
$A + B$	—						
$C + D$	خیر	—					
$E + F$			—				
$G + H$				—			
$I + J$					—		
$K + L$						—	بلی
$M + N$							—

مهلت تحویل تا ساعت ۲۳:۵۵ روز دوشنبه مورخ ۹۹/۰۳/۱۹ از طریق سامانه‌ی دروس

پرسش ۳-۵

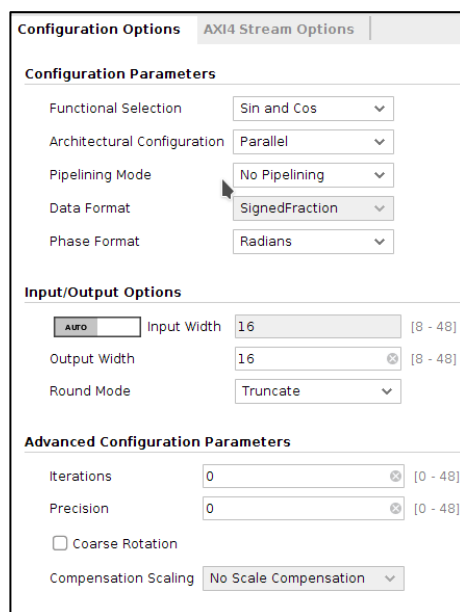
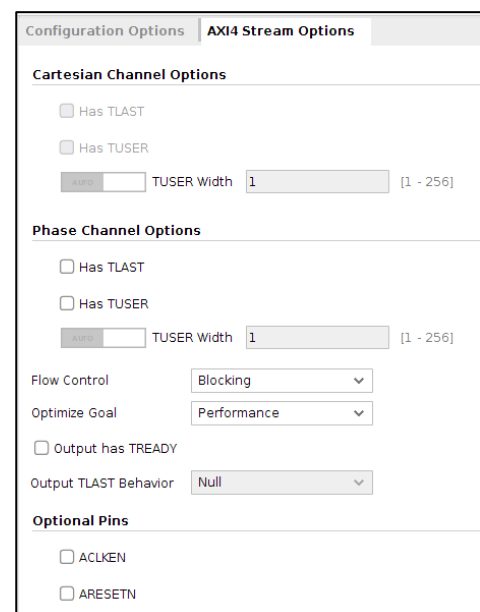
در این تمرین هدف استفاده از هسته‌ی مالکیت معنوی Cordic Machine موجود در ابزار Vivado جهت طراحی محاسبه‌کننده‌ی سینوس و کسینوس یک زاویه است.

۱. پروژه‌ای در محیط Vivado ایجاد کنید. یک فایل محدودیت طراحی به آن اضافه کرده و مطابق قطعه‌کد زیر، کلاک ورودی را برابر با 100MHz تعیین کنید.

```
create_clock -period 10.000 -name aclk -waveform {0.000 5.000} [get_ports aclk]
```

۲. یک Design Block با نام sine_cosine_system ایجاد نمایید.

۳. یک هسته‌ی Cordic Machine به Design Block اضافه نمایید. جهت طراحی محاسبه‌کننده‌ی سینوس و کسینوس یک زاویه، پیکربندی شکل ۲-۵ را اعمال کنید.

شکل ۲-۵ پیکربندی ماشین کوردیک جهت محاسبه‌ی سینوس و کسینوس یک زاویه

۴. با مطالعه‌ی داده‌برگه‌ی^۶ هسته‌ی مالکیت معنوی ماشین کوردیک، ورودی و خروجی‌های مدار محاسبه‌کننده‌ی سینوس و کسینوس زاویه را مشخص کنید. شکل ۳-۵ نمونه‌ای از این پیاده‌سازی مدار را نشان می‌دهد.

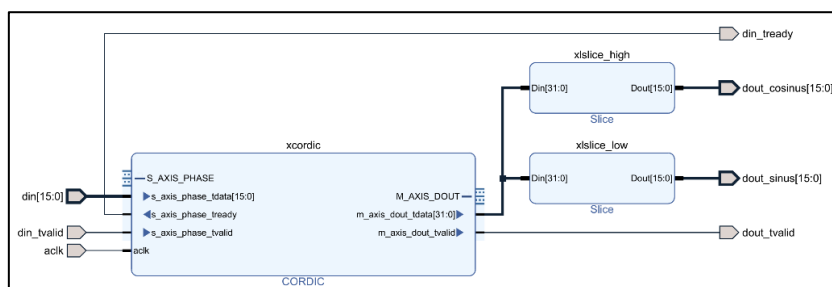
توجه داشته باشید که نام ورودی و خروجی مدار، مطابق شکل ۳-۵ باشد. فایل راهنمای هسته‌های پردازشی ماشین کوردیک ضمیمه شده است.

۵. در بخش Sources بر روی بلوک دیاگرام طراحی شده راست کلیک کرده و بر روی گزینه‌ی Create HDL Wrapper کلیک کنید تا کد VHDL مربوط به مدار تولید شود.

۶. طرح را سنتز و پیاده‌سازی کنید.

⁶ Datasheet

مهلت تحویل تا ساعت ۲۳:۵۵ روز دوشنبه مورخ ۹۹/۰۳/۱۹ از طریق سامانه‌ی دروس



شکل ۳-۵ مدار محاسبه‌کننده‌ی سینوس و کسینوس یک زاویه

(الف) تصویر مربوط به بلوک دیاگرام مدار طراحی شده را ذخیره کرده و ارائه دهید.

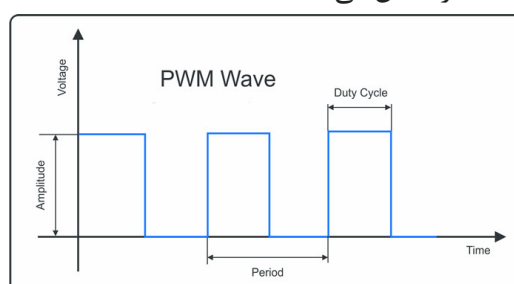
(ب) فایل HDL Wrapper تولیدشده توسط ابزار مربوط به Block Design را ارائه دهید.

(ج) گزارش مربوط به میزان منابع مصرفی، توان مصرفی و زمان را پس از پیاده‌سازی ارائه دهید.

(د) یک فایل محیط آزمون طراحی نمایید و با شبیه‌سازی پس از سنتز، درستی عملکرد مدار را بررسی کنید. تصویر شکل موج را برای ۱۰ ورودی متفاوت خیره کرده و همراه با فایل محیط آزمون ارائه دهید.

پرسش ۴-۵ (نمره اضافی دارد و حل آن اختیاری است.)

مدوله‌سازی پهنای پالس^۷ (PWM) یا مدوله‌سازی مدت زمان پالس روشی است که استفاده گسترده‌ای در صنایع الکترونیک و مخابرات دارد و برای مصارف مختلفی مانند کنترل نور LED در خانه‌های هوشمند، کنترل سرعت موتورهای DC، انتقال پیام، مبدل‌های ولتاژ و ... مورد استفاده قرار می‌گیرد. در اصل PWM موجی مربعی است که در برخی زمان‌ها صفر و در برخی زمان‌ها یک است. این صفر و یک شدن با یک فرکانس به طور مرتب تکرار می‌شود. زمان وظیفه^۸ مدت زمان یک بودن به مدت زمان کل دوره تناوب موج است که معمولاً بر حسب درصد نمایش داده می‌شود. شکل ۴-۵ نمونه‌ای از شکل موج PWM را نشان می‌دهد.



شکل ۴-۵ شکل موج یک مدوله‌ساز پهنای پالس

جهت طراحی این مدار، از یک شمارنده استفاده می‌شود و شمارنده در صورت برابر بودن با یک عدد خاص ریست شده و خروجی تغییر می‌کند.

(الف) با توجه به توضیح بالا، مدار مربوط به شکل ۵-۵ که یک مدار مدوله‌ساز پهنای پالس است را توصیف نمایید.

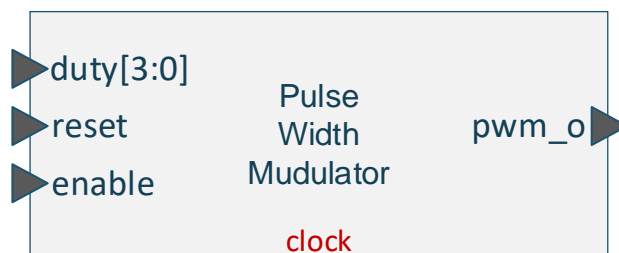
(ب) مدار مربوط به شکل ۵-۵ را با استفاده از بلوک اولیه (ماکرو) شمارنده‌ی قابل مقداردهی^۹ طراحی نمایید.

^۷ Pulse Width Modulation (PWM)

^۸ Duty Cycle

^۹ Loadable Counter

مهلت تحویل تا ساعت ۲۳:۵۵ روز دوشنبه مورخ ۹۹/۰۳/۱۹ از طریق سامانه‌ی دروس



شکل ۵-۵ مدوله‌ساز پهنای پالس

ج) هر دو مدار قسمت (الف) و (ب) را سنتز و پیاده‌سازی نمایید. شماتیک مدار پس از سنتز و پیاده‌سازی را برای هر دو مدار ارائه دهید.

د) از فایل محیط آزمون ضمیمه‌شده استفاده نموده و درستی هر دو مدار قسمت (الف) و (ب) را بررسی نمایید. شکل موج مدار را برای ۲۰ کلاک اول ارائه دهید.

توجه: جهت استفاده از بلوک اولیه مورد نیاز به صفحه‌ی ۲۳۵ راهنمای UG953 که ضمیمه شده است مراجعه کنید.