



مهلت تحویل تا ساعت ۲۳:۵۵ روز دوشنبه مورخ ۹۹/۰۲/۲۲ از طریق سامانه‌ی دروس

نکاتی در رابطه با نوع تمرین

هر سری از تمرین‌ها، از چهار بخش تشکیل شده است:

- مرور و تثبیت مفاهیم: پرسش‌های این بخش جهت مرور و یادآوری مفاهیم درسی آورده شده است و با مطالعه مفاهیم درسی گفته‌شده در کلاس درس و اسلایدهای درس خواهید توانست به آن‌ها پاسخ دهید. پاسخ آن‌ها مورد ارزیابی قرار نخواهد گرفت، لذا نیازی به ارسال پاسخ آن‌ها نیست.
- تحلیل و طراحی مدار: پرسش‌های این بخش جهت درک عمیق مفاهیم درسی و افزایش قدرت تحلیل و طراحی سیستم‌های دیجیتال آورده شده است. پاسخ به آن‌ها الزامی بوده و مورد ارزیابی قرار خواهد گرفت.
- توصیف و پیاده‌سازی: پرسش‌های این بخش جهت افزایش مهارت شما در پیاده‌سازی مدارهای دیجیتال، بررسی درستی عملکرد آن و استفاده از ابزارهای طراحی آورده شده است. پاسخ به آن‌ها الزامی بوده و مورد ارزیابی قرار خواهد گرفت.
- طراحی و پیاده‌سازی سامانه پیشرفته: پرسش‌های این بخش ممکن است کمی پیچیده‌تر و دشوارتر از سایر بخش‌ها باشد. الزامی یا اختیاری بودن آن‌ها در صورت پرسش ذکر شده است.

نکاتی در رابطه با نحوه‌ی ارسال تمرین

- ارسال تمرینات به صورت الکترونیکی و از طریق [سامانه دروس](#) خواهد بود. فایل ارسالی شما فایل zip با نام sid_hs.zip است که sid شماره دانشجویی و hs شماره سری تمرین است. یک قالب آماده در سامانه دروس قرار داده شده است تا پاسخ تمرین را در قالب تعیین شده بنویسید. پرسش‌هایی که پاسخ آن‌ها ماهیت تشریحی و تحلیلی دارد را به صورت تایپ‌شده یا دستی نوشته و به صورت یک فایل PDF ذخیره نمایید. برای پرسش‌هایی که ماهیت کد نویسی دارند، فایل قالب تمرین در سامانه قرار داده شده است. آن را تکمیل نموده و در پوشه SRC قرار دهید.
 - زمان تحویل هر سری از تمرینات مشخص بوده و پاسخ تمرین پس از موعد مقرر شده در سامانه دروس قرار داده خواهد شد لذا امکان تغییر آن وجود ندارد. در حل تمرینات، می‌توانید به صورت دوتایی یا چندتایی با یکدیگر همفکری و بحث نمایند ولی هر شخص می‌بایست در نهایت پاسخ و استدلال خود را به صورت انفرادی بنویسد و در صورت شباهت پاسخ، تمامی افراد نمره تمرین را از دست خواهند داد.
 - بازای هر روز ارسال زودهنگام تمرین‌ها ۵ درصد نمره اضافی تا سقف ۲۰ درصد (در صورتی که نمره خام تمرین بالاتر از ۷۵ درصد شود) در نظر گرفته خواهد شد. بازای هر روز دیرکرد در ارسال تمرین ۱۵ درصد جریمه اعمال خواهد شد. ارسال دیرهنگام فقط تا ۲ روز پس از زمان مقرر شده امکان‌پذیر است و پس از آن نمره تمرین صفر در نظر گرفته خواهد شد.
- چنانچه ابهامی در زمینه تمرینات دارید، می‌توانید اشکالات خود را از طریق پست الکترونیکی زیر با موضوع PDS.2020 رفع نمایید.

[ali.mohammadpour\[at\]aut.ac.ir](mailto:ali.mohammadpour[at]aut.ac.ir)

محمدپور

موفق و پیروز باشید!

مهلت تحویل تا ساعت ۲۳:۵۵ روز دوشنبه مورخ ۹۹/۰۲/۲۲ از طریق سامانه‌ی دروس

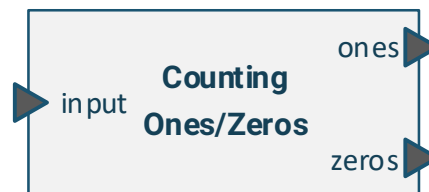
پرسش‌های مرور و تثبیت مفاهیم (نیازی به ارسال پاسخ این بخش نیست.)

الف) با استفاده از دستور Case-When و عملگرها در Process، یک واحد محاسبه و منطق^۱ با مشخصات جدول ۱-۳ توصیف نمایید.

جدول ۱-۳: جدول عملیات واحد محاسبه و منطق

OPCODE	Operation	OPCODE	Operation
0	$A + B$	4	$A \wedge B$
1	$A - B$	5	$\sim A$
2	$A B$	6	$A \ll B$
3	$A \& B$	7	A

ب) با استفاده از Procedure، روالی طراحی نمایید که برداری با طول نامشخص را به‌عنوان ورودی گرفته و تعداد بیت‌های ۱ و ۰ در آن را به‌عنوان خروجی برگرداند.



شکل ۱-۳: شمارنده‌ی تعداد صفرها و یک‌ها

ج) با استفاده از Function، تابعی طراحی نمایید که چهار ورودی از نوع real را به‌عنوان ورودی بگیرد و واریانس آن‌ها را به‌صورت real برگرداند.

$$\delta^2 = \frac{\sum (x - \mu)^2}{N}$$

د) در جریان طراحی سیستم‌های دیجیتال، جهت انتخاب درست تراشه منطقی برنامه‌پذیر به چه عواملی باید توجه داشت؟

ه) در جریان طراحی سیستم‌های دیجیتال، انتساب پایه‌های تراشه قبل از چه مرحله‌ای باید تعیین شود؟ چرا؟ چه دلایلی باعث می‌شود تا انتساب پایه‌ها پس از انتساب اولیه تغییر کند؟

و) در زبان VHDL دو کتابخانه‌ی زیر را نمی‌توان به‌طور هم‌زمان در یک ماژول استفاده کرد. دلیل چیست؟

`ieee.numeric_std.all`
`ieee.std_logic_arith.all`

^۱ Arithmetic-Logic Unit



مهلت تحویل تا ساعت ۲۳:۵۵ روز دوشنبه مورخ ۹۹/۰۲/۲۲ از طریق سامانه‌ی دروس

پرسش‌های مرور و تثبیت مفاهیم
(ارسال پاسخ این بخش الزامی است.)

پرسش ۳-۱

در سامانه درس لینک توصیف VHDL پردازنده‌ی مرجع RISC-V قرار داده شده است. آن را دانلود نمایید.
الف) ابتدا در محیط Vivado یک پروژه ایجاد کنید. سپس فایل‌های توصیف‌شده را به آن اضافه کرده و طرح را سنتز و پیاده‌سازی^۲ نمایید. با توجه به گزارش‌های پس از سنتز و پیاده‌سازی، جدول ۲-۳ را کامل کنید.

جدول ۲-۳ تعداد منابع مورد نیاز طرح

تعداد منبع تخمین‌زده شده		نوع منبع
پس از پیاده‌سازی	پس از سنتز	
		Lookup Table
		Flip-Flop
		BRAM
		DSP
		IO
		BUFF-Gates

ب) با فرض اینکه ممکن است در آینده برای بهبود طرح و ۳۰ درصد فضای LUT، ۴۰ درصد FF، چهار برابر حافظه BRAM و ۴ برابر DSP و علاوه بر آن برای پشتیبانی از محاسبات ممیزشناور به ۶۰۰ واحد DSP نیاز باشد، با مراجعه به فایل DS180 که مربوط به تعداد منابع تراشه‌ی خانواده‌های مختلف است و یا Product Device در محیط Vivado، مناسب‌ترین تراشه را انتخاب کنید. اولویت انتخاب خانواده به ترتیب Spartan، Artix، Kintex و Virtex است. در صورت عدم وجود تراشه‌ی مناسب در این خانواده‌ها به خانواده‌ی Ultra-scale مراجعه کنید.

ج) تراشه‌ی مناسب را انتخاب کرده و طرح را دوباره سنتز کنید. میزان بکارگیری^۳ هر نوع منبع را در این تراشه به دست آورید.

د) گزارش‌های توان مصرفی و فرکانس کاری (کلاک) مدار را برای تراشه‌ی نهایی پس از عملیات پیاده‌سازی ذخیره کرده و ارائه دهید.

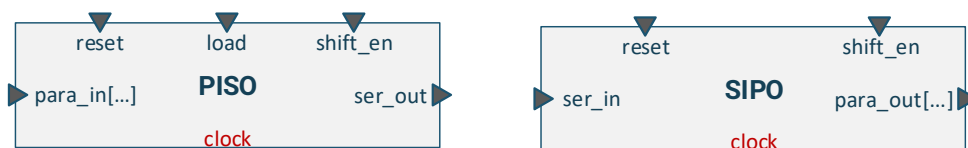
پرسش ۳-۲

با توجه به شکل ۲-۳، مدارهای ثبات انتقالی^۴ زیر را توصیف نمایید. طول داده‌ها توسط کاربر مشخص می‌گردد. در هنگام پیاده‌سازی از attribute ها استفاده کنید. اولویت ورودی‌ها در هر دو مدار از چپ به راست است.

- SIPO: Serial Input - Parallel Output
- PISO: Parallel Input - Serial Output

^۲ Implementation^۳ Utilization^۴ shift register

مهلت تحویل تا ساعت ۲۳:۵۵ روز دوشنبه مورخ ۹۹/۰۲/۲۲ از طریق سامانه‌ی دروس



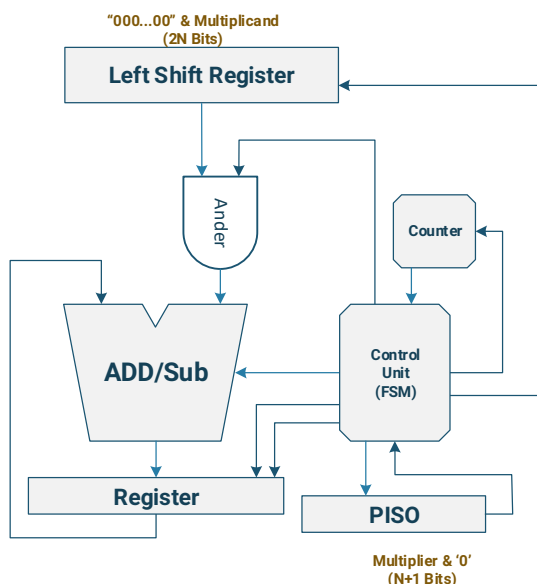
شکل ۲-۳ ثبات‌های انتقالی

پرسش ۳-۳

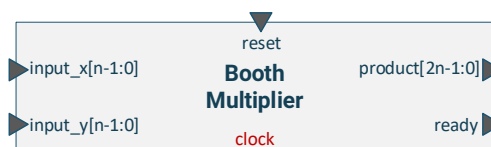
شکل ۳-۳ مدار ضرب‌کننده‌ی بوث را نشان می‌دهد. آن را به صورت سلسله مراتبی و ساختاری طراحی نمایید. در هنگام پیاده‌سازی موارد زیر را در نظر بگیرید.

- مدار مسیر داده^۵ را به صورت سلسله مراتبی طراحی نمایید و از مدارهای ثبات، مدار محاسبه و منطق و شمارنده و انکدر بوث استفاده کنید.
- نام مدار اصلی و موجودیت^۶ مدار، مطابق فایل قالب تمرین باشد.
- مدار حتماً دارای یک ماشین حالت (controller) باشد که مقداردهی ثبات‌های داخلی و خروجی ready را کنترل نماید.
- در این مدار پس از ریست شدن مدار پس از n کلاک مقدار نهایی آماده شده و خروجی ready برابر ۱ می‌شود.
- شکل ۳-۴ به عنوان یک راهنما است و ممکن است هنگام پیاده‌سازی از مدارهای دیگری استفاده کنید. جهت آشنایی با نحوه‌ی کارکرد ضرب‌کننده‌ی بوث به لینک زیر مراجعه کنید.

<https://www.geeksforgeeks.org/computer-organization-booths-algorithm/>



شکل ۳-۴ مدار ضرب‌کننده‌ی بوث (ضرب سریالی)



شکل ۳-۳ ورودی‌ها و خروجی‌های مدار ضرب‌کننده بوث

⁵ Datapath

⁶ Entity



مهلت تحویل تا ساعت ۲۳:۵۵ روز دوشنبه مورخ ۹۹/۰۲/۲۲ از طریق سامانه‌ی دروس

پرسش ۳-۴

برای مدار ضرب‌کننده‌ی بوث در پرسش ۳-۴ یک فایل محیط آزمون طراحی نمایید و درستی آن را بررسی کنید. تصویر شکل موج را ذخیره کرده و ضمیمه کنید. با استفاده از دستور assert report severity هنگامی که نتیجه آماده شد پیغام مناسبی چاپ کنید.

پرسش ۳-۵

نوع داده‌ی زیر را در نظر بگیرید. این نوع داده برای مدل‌سازی زمان مورد استفاده قرار می‌گیرد. عملگر + و - را برای این نوع داده، گرانبار کنید. به‌عنوان مثال اگر زمان ۱:۲۳:۴۵ و ۵:۴۳:۲۱ باهم جمع شوند حاصل ۰۷:۰۷:۰۶ خواهد بود. در نظر داشته باشید که زمان منفی وجود ندارد، لذا در صورتی که حاصل عددی منفی شود، مقدار برگشتی زمان صفر خواهد بود.

16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Hour					Minute					Second						

شکل ۳-۵ نوع داده‌ی زمان

توجه) برای درک بهتر پرسش‌ها و پیاده‌سازی ساده‌تر به فایل قالب کد و توضیحات کدها مراجعه کنید.