

Programmable Digital Systems Design

HW6-Problem 3

Arash Hajisafi 9631019

با این تقسیم بندی، تمامی نیازمندی های خواسته شده برطرف می شود و در آینده هم اگر به تعداد بیشتری Host IP در هر دپارتمان نیاز شود، مشکلی ایجاد نمی شود چون تعداد IP های اختصاص یافته به هر دپارتمان زیادتر از مقدار خواسته شده است.

الف) مدار جمع کننده-تفریق کننده ی دو بیتی (تعداد کل ورودی ها 5 و تعداد خروجی ها 3 است).

- ورودی ها و خروجی های اصلی مدار:

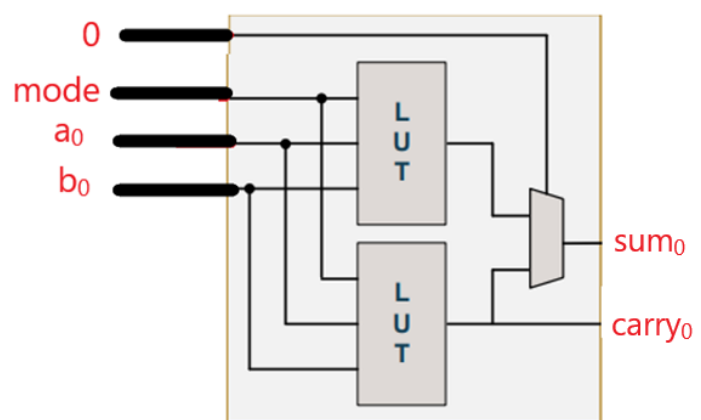
ورودی: بیت های a_1 و a_0 (عدد 2 بیتی اول)، بیت های b_1 و b_0 (عدد 2 بیتی دوم)، بیت mode (نشان دهنده ی جمع یا تفریق)

خروجی: بیت های sum_0 ، sum_1 و $carry_1$ (که همان cout است)

- محتوای GLogic و خطوط انتخابی مالتی پلکسرها:

3 تا بلوک منطقی نیاز است.

بلوک منطقی اول: ساختار GLogic آن به صورت زیر است:



GLogic_1

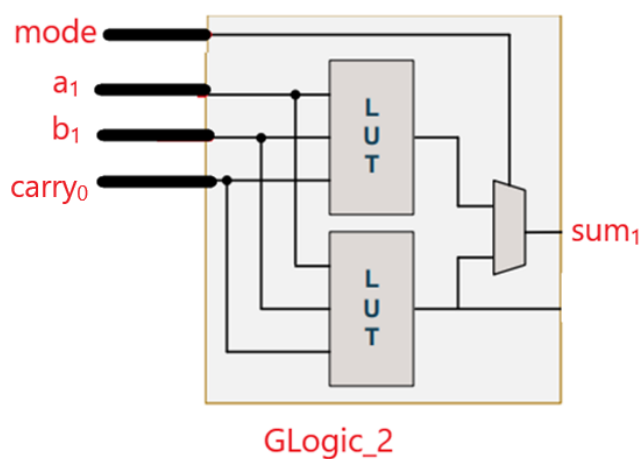
محتوای LUT بالا به این صورت است که در اصل مقدار sum برای $a_0 + (b_0 \text{ xor } mode)$ است.

محتوای LUT بالا	mode	b_0	a_0
0	0	0	0
1	1	0	0
1	0	1	0
0	1	1	0
1	0	0	1
0	1	0	1
0	0	1	1
1	1	1	1

محتوای LUT پایین به این صورت است که در اصل مقدار carry برای $a_0 + (b_0 \text{ xor mode})$ است.

محتوای LUT پایین	mode	b_0	a_0
0	0	0	0
0	1	0	0
0	0	1	0
0	1	1	0
0	0	0	1
0	1	0	1
1	0	1	1
0	1	1	1

بلوک منطقی دوم: ساختار GLogic آن به صورت زیر است:



محتوای LUT بالا به این صورت است که در اصل مقدار sum برای $a_1 + b_1 + carry_0$ است.

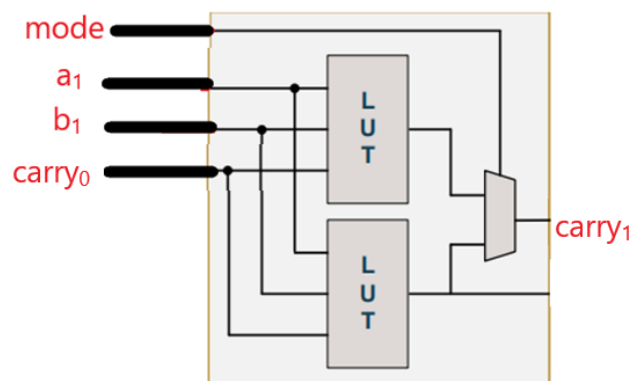
محتوای LUT بالا	carry ₁	b_1	a_1
0	0	0	0
1	1	0	0
1	0	1	0
0	1	1	0
1	0	0	1
0	1	0	1
0	0	1	1
1	1	1	1

محتوای LUT پایین به این صورت است که در اصل مقدار sum برای $a_1 + \bar{b}_1 + carry_0$ است.

محتوای LUT پایین	carry ₁	b_1	a_1
0	0	0	0
0	1	0	0
0	0	1	0

0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

بلوک منطقی سوم: ساختار GLogic آن به صورت زیر است:



GLogic_3

محتوای LUT بالا به این صورت است که در اصل مقدار carry برای $a_1 + b_1 + carry_0$ است.

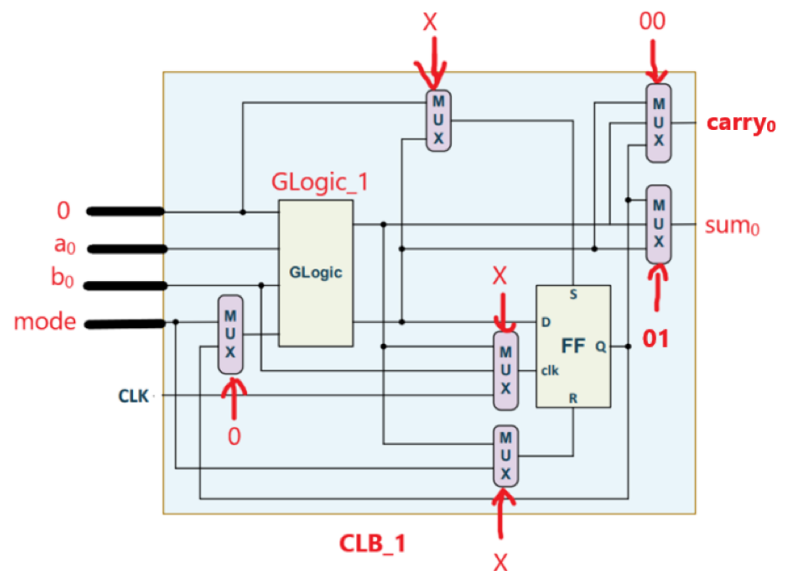
محتوای LUT بالا	carry ₁	b ₁	a ₁
0	0	0	0
0	1	0	0
0	0	1	0
1	1	1	0
0	0	0	1
1	1	0	1
1	0	1	1
1	1	1	1

محتوای LUT پایین به این صورت است که در اصل مقدار carry برای $a_1 + \bar{b}_1 + carry_0$ است.

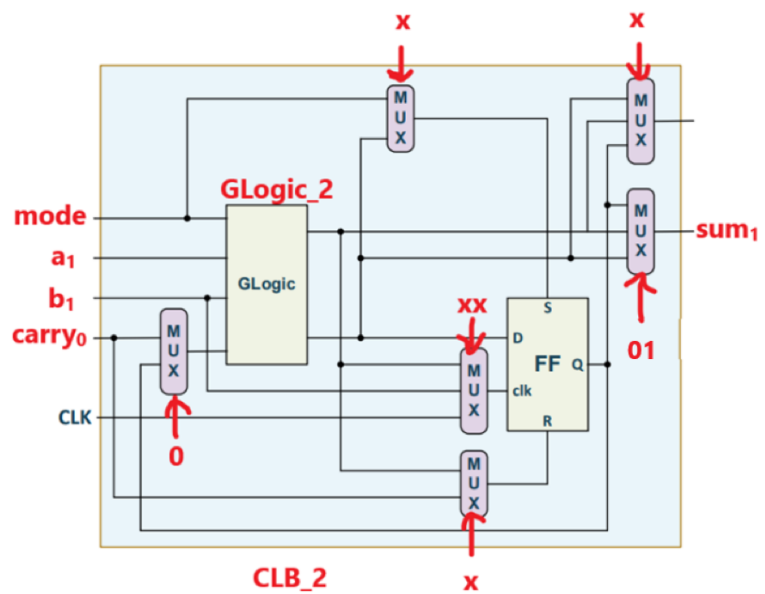
محتوای LUT پایین	carry ₁	b ₁	a ₁
0	0	0	0
1	1	0	0
0	0	1	0
0	1	1	0
1	0	0	1
1	1	0	1
0	0	1	1
1	1	1	1

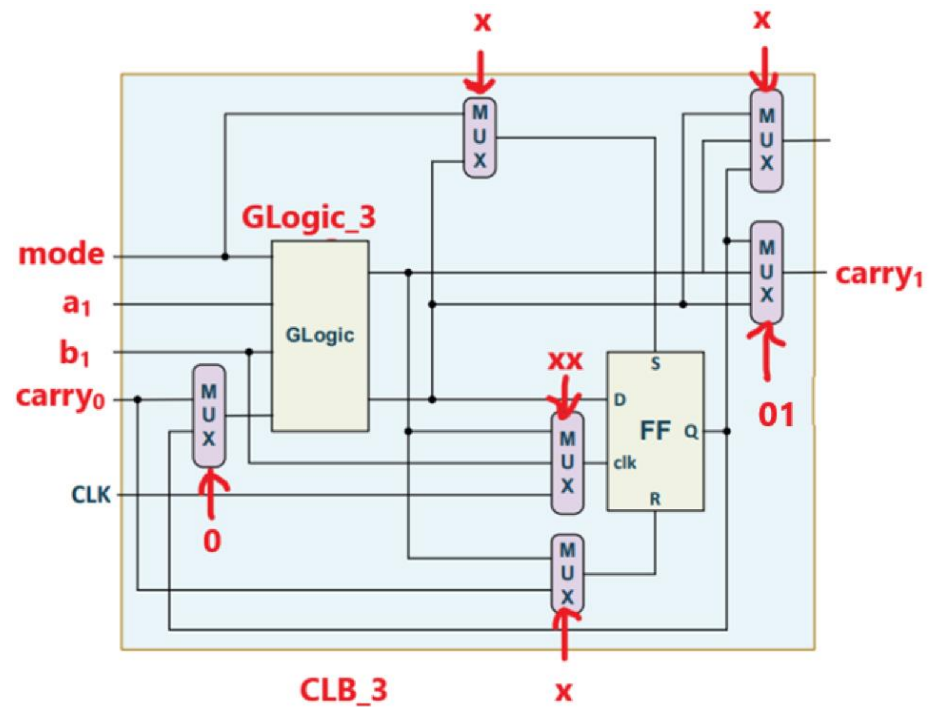
- خطوط انتخابی مالتی پلکسرها: خط انتخابی 0 و 00 یعنی بالاترین سیگنال انتخاب شود، به همین ترتیب به سمت پایین یکی زیاد می شود.

بلوک منطقی اول:

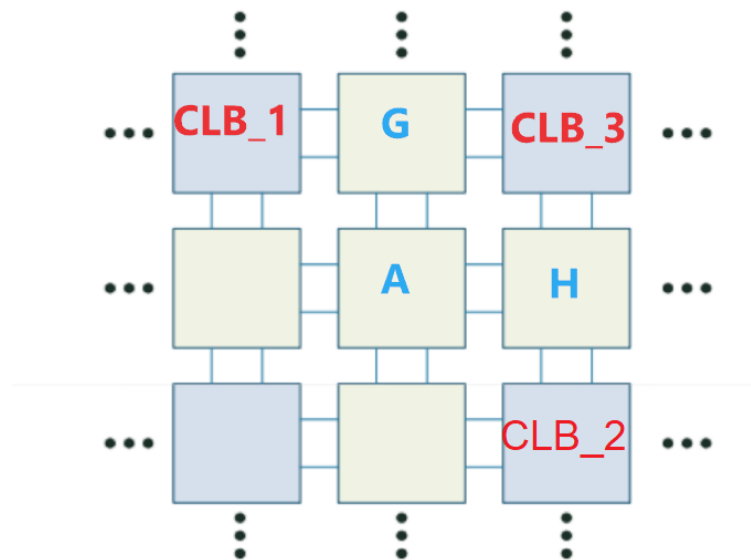


بلوک منطقی دوم:





• نحوه پیکربندی بلوک اتصالات:



ورودی های مشخص شده در شکل هر CLB به این صورت حاصل می شود. $carry_0$ از طریق G از CLB_1 به CLB_3 و از طریق $G \rightarrow A \rightarrow H$ به CLB_2 می رود. بقیه ورودی ها و خروجی های هر CLB در قسمت قبل مشخص شد. خروجی نهایی S_0 از CLB_1، S_1 از CLB_2 و $Carry_1$ (همان cout) از CLB_3 است.

ب) یک شمارنده 2 بیتی کد گری دارای Reset همگام (ورودی مدار فقط Reset بوده و خروجی 3 بیتی است).

- ورودی ها و خروجی های اصلی مدار:

ورودی: بیت Reset همگام

خروجی: بیت های c_0 ، c_1 و overflow

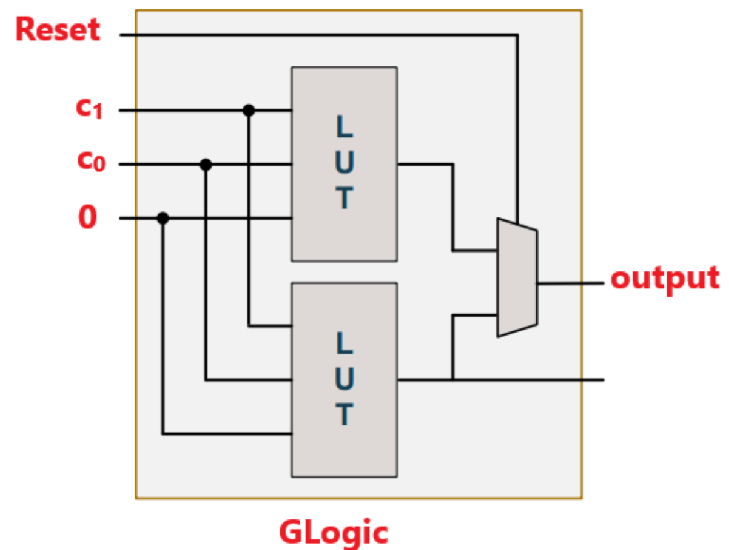
- محتوای GLogic و خطوط انتخابی مالتی پلکسرها:

3 تا بلوک منطقی نیاز است.

نتیجه ی نهایی این را به ما می دهد:

c_1	c_0	c_1 (next)	c_0 (next)	overflow
0	0	0	1	0
0	1	1	1	0
1	0	0	0	1
1	1	1	0	0

بلوک منطقی اول: ساختار GLogic آن به صورت زیر است:



محتوای LUT بالا به این صورت است که در اصل مقدار c_0 بعدی را می دهد.

c_1	c_0	Input3	محتوای LUT بالا
0	0	0	1
0	1	0	1
1	0	0	0
1	1	0	0
X	X	1	0

محتوای LUT پایین تمام صفر است.

بلوک منطقی دوم: ساختار GLogic و ورودی و خروجی آن دقیقاً مشابه قبلی است.

محتوای LUT بالا در آن به این صورت است که در اصل مقدار C1 بعدی را می‌دهد.

محتوای LUT بالا	Input3	C0	C1
0	0	0	0
1	0	1	0
0	0	0	1
1	0	1	1
0	1	X	X

محتوای LUT پایین تمام صفر است.

بلوک منطقی سوم: ساختار GLogic و ورودی و خروجی آن دقیقاً مشابه قبلی است.

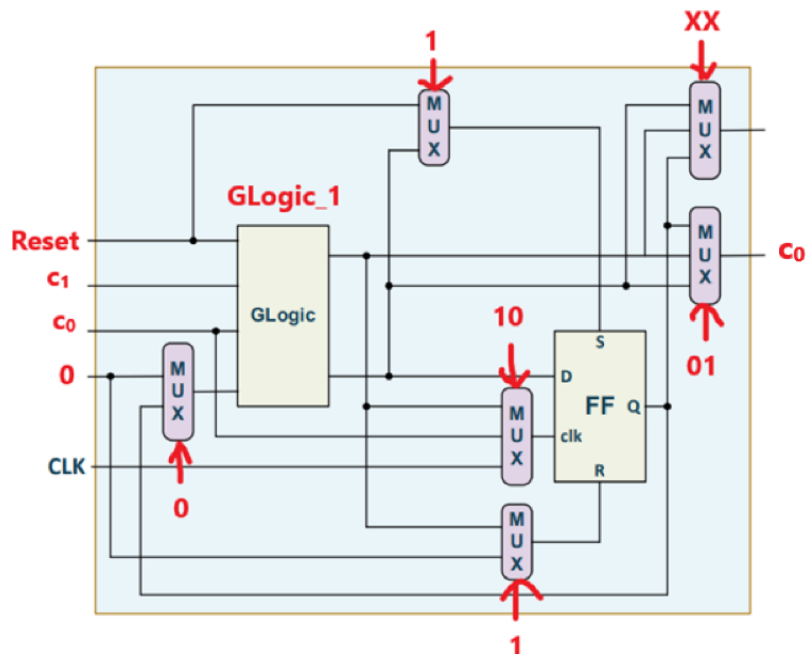
محتوای LUT بالا در آن به این صورت است که در اصل مقدار C0 بعدی را می‌دهد.

محتوای LUT بالا	Input3	C0	C1
0	0	0	0
0	0	1	0
1	0	0	1
0	0	1	1
0	1	X	X

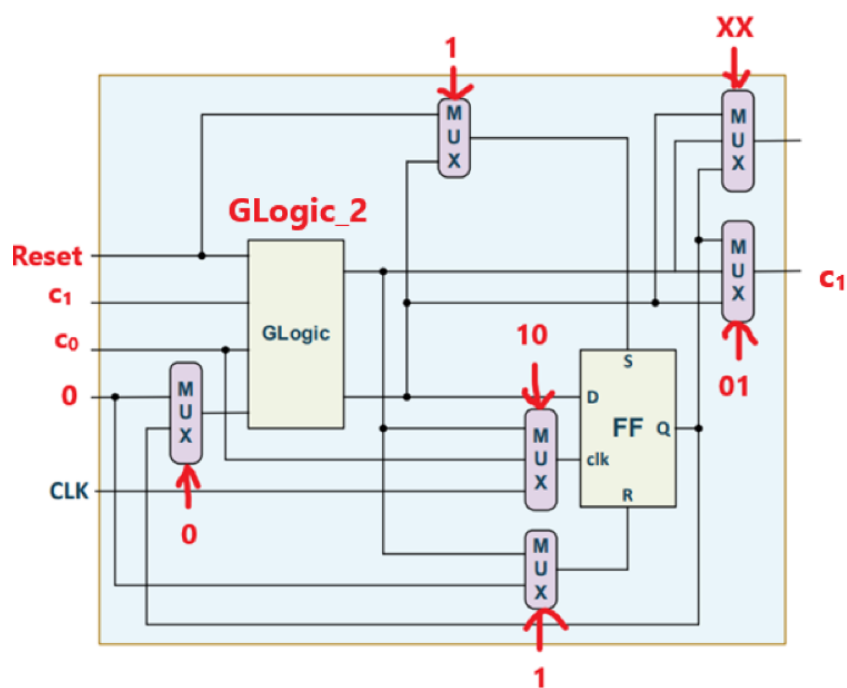
محتوای LUT پایین تمام صفر است.

- خطوط انتخابی مالتی پلکسرها: خط انتخابی 0 و 00 یعنی بالاترین سیگنال انتخاب شود، به همین ترتیب به سمت پایین یکی زیاد می‌شود.

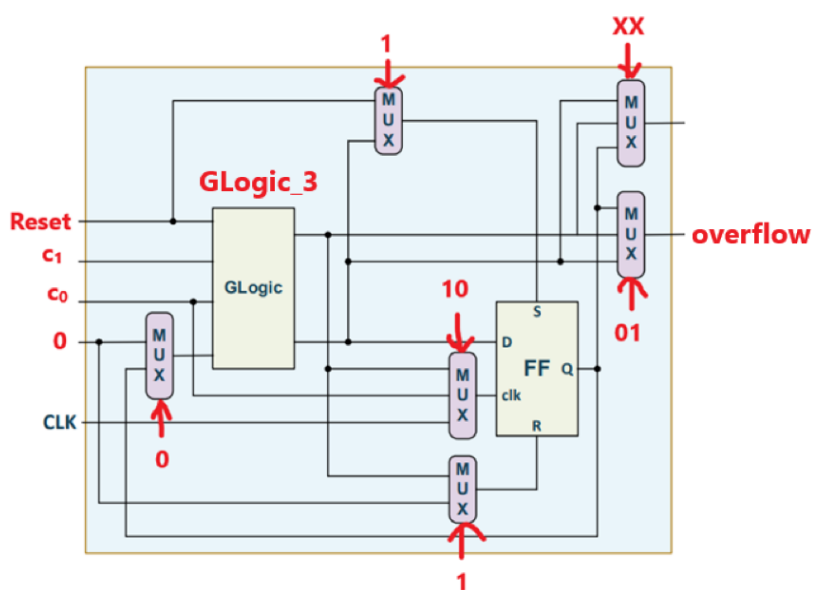
بلوک منطقی اول:



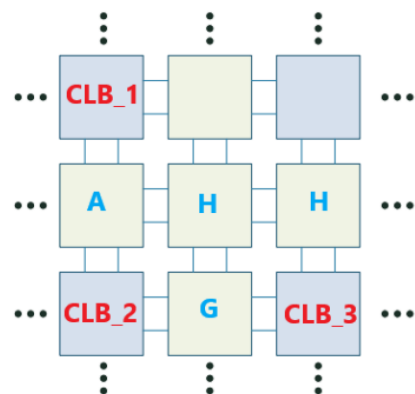
بلوک منطقی دوم:



بلوک منطقی سوم:



• نحوه پیکربندی بلوک اتصالات:



c_0 از طریق A به CLB_2 منتقل می‌شود و از طریق A->H->G به CLB_3 وارد می‌شود.

c_1 از طریق G->H->A وارد CLB_1 می‌شود. و از طریق G وارد CLB_3 می‌شود.

نهایتاً به این ترتیب تمامی ورودی و خروجی‌ها مشابه آنچه در قسمت قبل رسم شده حاصل می‌شود برای هر CLB.

همچنین خروجی نهایی c_0 از CLB_1، c_1 از CLB_2 و overflow از CLB_3 به دست می‌آید.