



Πανεπιστήμιο Αιγαίου

Τμήμα Μηχανικών Πληροφοριακών και Επικοινωνιακών
Συστημάτων

Εισαγωγή σε VLSI

Διδάσκων: Μανόλης Καλλίγερος

< Εργασία VLSI >

<icsd12012>

<Αραβαντινός Λεωνίδης Χρήστος>

Σάμος, < Κυριακή 1/10>, 2017





Περιεχόμενα

Arbiter με CMOS λογική	5
Critical Path 1.....	6
Logical Effort.....	6
Μεγέθη Πυλών.....	7
Επαλήθευση Καθυστέρησης	7
Path 2.....	8
Logical Effort.....	8
Επαλήθευση Καθυστέρησης	9
Γιατί δεν συνέπιπταν αρχικά οι καθυστερήσεις	9
Path 3.....	10
Υπολογισμός Καθυστέρησης.....	10
Path 4.....	11
Υπολογισμός Καθυστέρησης.....	11
Path 5.....	12
Υπολογισμός Καθυστέρησης.....	12
Path 6.....	13
Υπολογισμός Καθυστέρησης.....	13
Path 7.....	14
Υπολογισμός Καθυστέρησης.....	14
Path 8.....	15
Υπολογισμός Καθυστέρησης.....	15
Path 9.....	16
Μέγεθος Αντιστροφέα που οδηγεί AG	16
Υπολογισμός Καθυστέρησης.....	16
Path 10.....	17
Υπολογισμός Καθυστέρησης.....	17
Path 11.....	18
Υπολογισμός Καθυστέρησης.....	18
Path 12.....	19





Υπολογισμός Καθυστερήσης.....	19
Path 13.....	20
Υπολογισμός Καθυστερήσης.....	20
Path 14.....	21
Υπολογισμός Καθυστερήσης.....	21
Path 15.....	22
Υπολογισμός Καθυστερήσης.....	22
Μεγέθη Πυλών.....	23
Σχεδίαση Πυλών.....	24
AOI21.....	24
OAI21.....	25
NAND.....	25
NOR.....	26
Inverter Folded.....	26
Έλεγχος Arbiter στο Electric.....	27
Εξομοίωση 1.....	27
Εξομοίωση 2.....	28
Μέτρηση της Καθυστερήσης.....	29
Critical Path 1.....	29
Path 2.....	30
Path 3.....	31
Path 4.....	32
Path 5.....	33
Path 6.....	34
Path 7.....	35
Path 8.....	36
Path 9.....	37
Path 10.....	38
Path 11.....	39
Path 12.....	40





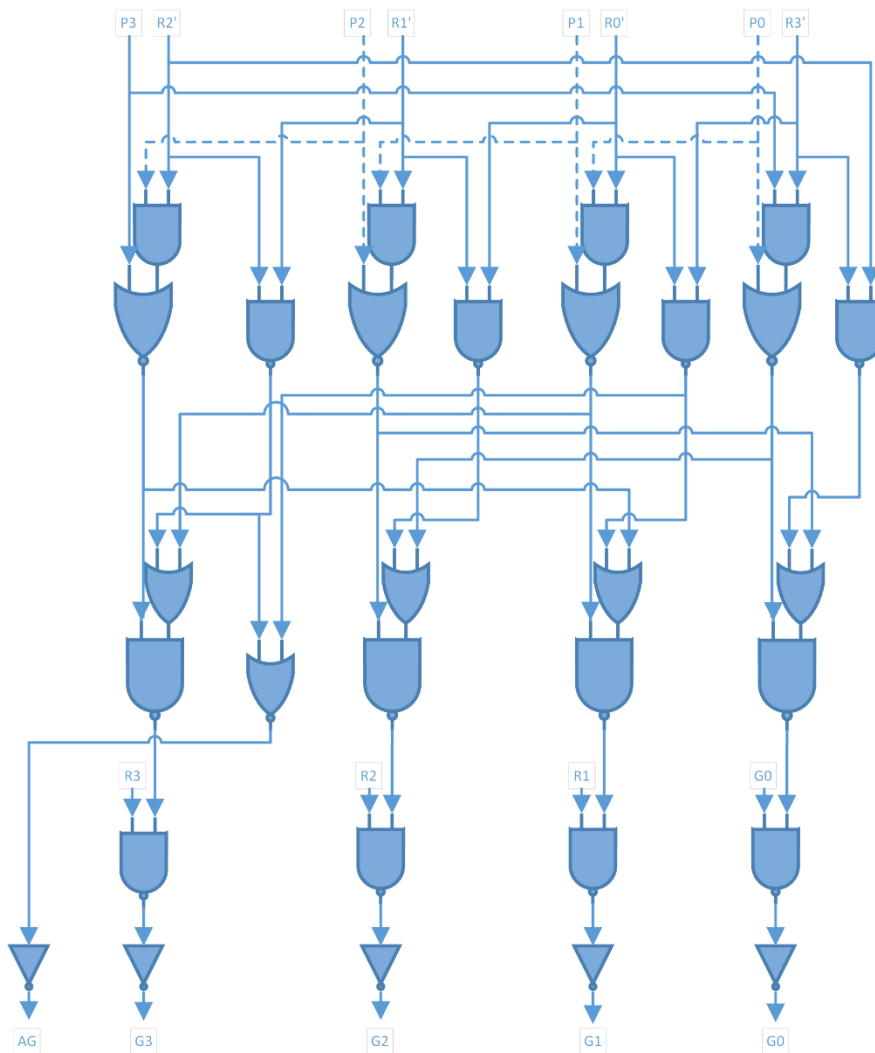
Path 13.....	41
Path 14.....	42
Path 15.....	43
Γιατί θα έπρεπε να αυξήσω το μέγεθος του μοναδιαίου αντιστροφέα της εισόδου	43
Πίνακας Καθυστερήσεων	44
Γιατί οι θεωρητικές τιμές και οι Spice δεν συμπίπτουν.....	45
Τάση Vdd	45
Διάχυση Χωρητικότητας στο Layout	45
Διασύνδεση	45
Συνακρόαση	45





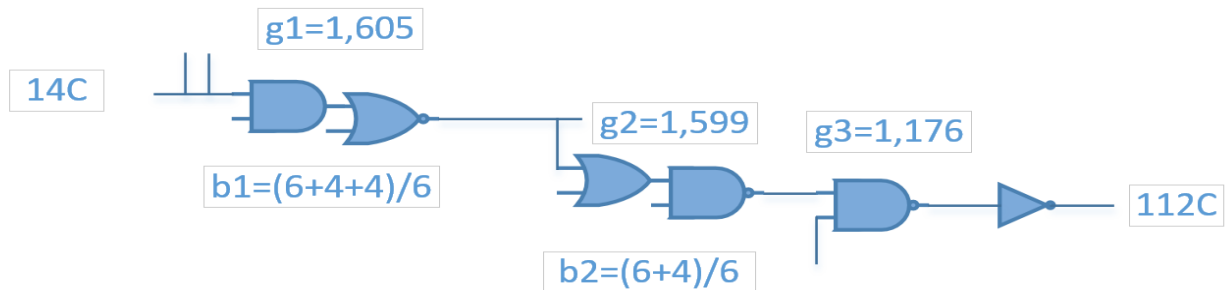
Arbiter με CMOS λογική

Χρησιμοποιώντας bubble pushing, μετατροπή πυλών και αφού εναλλάξαμε και τις εισόδους της πύλης AND όλων των AOI21 το τελικό μας κύκλωμα σε CMOS λογική είναι:





Critical Path 1



Logical Effort

$$B = \frac{14}{6} * \frac{10}{6} = \frac{140}{36}$$

$$G = 1,605 * 1,599 * 1,176 = 3,01$$

$$H = \frac{112}{14} = 8$$

$$F = GBH = 93,895 \quad \rightarrow \quad N_{\text{επιπεδα}} = \log_{3,59}(93,895) = 3,55 \text{ ή } 4 \text{ στάδια}$$

$$\hat{f} = \sqrt[4]{93,895} = 3,112$$

$$P = 3,786 + 3,852 + 1,67 + 1,034 = 10,342$$

$$D = 4 * 3,112 + 10,342 = 22,79$$





Μεγέθη Πυλών

$$C_{in4} = \frac{112}{3,112} = 35,989 \quad \rightarrow \frac{P}{N} = \frac{2}{1} = \frac{24}{12} (36)$$

$$C_{in3} = \frac{1,176 * 35,989}{3,112} = 13,599 \quad \rightarrow \frac{P}{N} = \frac{2}{2} = \frac{6}{6} (12)$$

$$C_{in2} = \frac{1,599 * 13,599}{3,112} = 6,987 \quad \rightarrow \frac{P}{N} = \frac{4}{2} (6)$$

$$C_{in1} = \frac{1,605 * (6,987 + 4)}{3,112} = 5,666 \quad \rightarrow \frac{P}{N} = \frac{4}{2} (6)$$

Επαλήθευση Καθυστερήσης

$$D1 = \frac{1,605 * (6 + 4)}{6} + 3,786 = 6,461$$

$$D2 = \frac{1,599 * 12}{6} + 3,852 = 7,05$$

$$D3 = \frac{1,176 * 36}{12} + 1,67 = 5,198$$

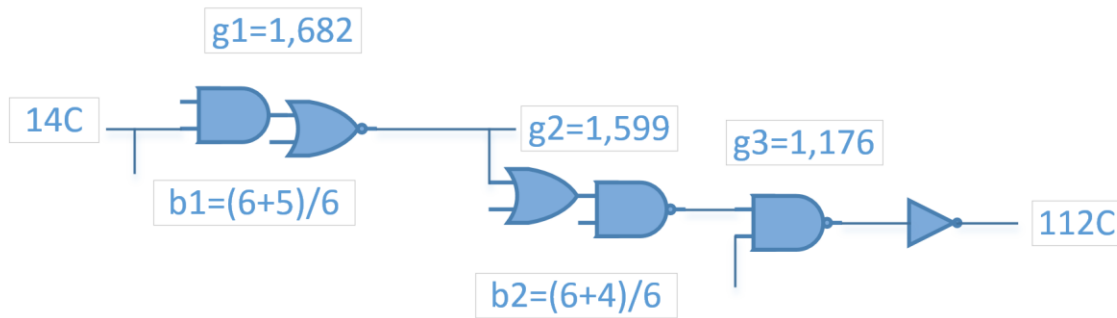
$$D4 = \frac{112}{36} + 1,034 = 4,145$$

$D = 22,854$ Οι δύο καθυστερήσεις έχουν απειροελάχιστη απόκλιση





Path 2



Logical Effort

$$B = \frac{11}{6} * \frac{10}{6} = \frac{110}{36}$$

$$G = 1,682 * 1,599 * 1,176 = 3,162$$

$$H = \frac{112}{14} = 8$$

$$F = GBH = 77,31$$

$$\hat{f} = \sqrt[4]{77,31} = 2,965$$

$$P = 3,359 + 3,852 + 1,67 + 1,034 = 9,915$$

$$D = 4 * 2,965 + 9,915 = 21,776$$





Επαλήθευση Καθυστερήσης

$$D1 = \frac{1,682 * (6 + 4)}{6} + 3,359 = 6,162$$

$$D2 = \frac{1,599 * 12}{6} + 3,852 = 7,05$$

$$D3 = \frac{1,176 * 36}{12} + 1,67 = 5,198$$

$$D4 = \frac{112}{36} + 1,034 = 4,145$$

$$D = 22,555$$

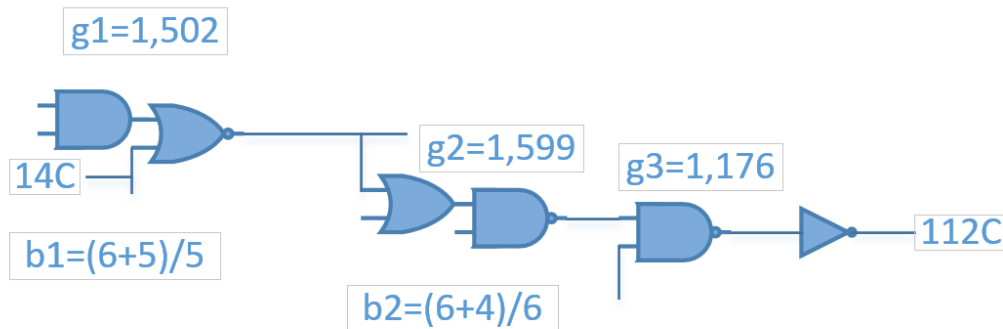
Γιατί δεν συνέπιπταν αρχικά οι καθυστερήσεις

Στον Arbiter παρατηρήθηκε πως το **Path 1** και **Path 2** ήταν τα μονοπάτια με το μεγαλύτερο **Path Effort**. Παρόλα αυτά, το **Path 2** λόγω του ότι είχε μεγαλύτερο **Branching Effort**, είχε εν τέλει μεγαλύτερο **Path Effort** αλλά η επαλήθευση της καθυστέρησης, μέσω μεγέθους πυλών και παρασιτικών, έδειχνε πως είναι πιο γρήγορο από το **Path 1**. Με την εναλλαγή των εισόδων στις πύλες AND των AOI21 το **Path 1** είναι το κρίσιμο μονοπάτι αφού έχει μεγαλύτερο Path Effort και εν τέλει μεγαλύτερη καθυστέρηση από το **Path 2**.





Path 3



Υπολογισμός Καθυστέρησης

$$D1 = \frac{1,502 * (6 + 4)}{5} + 2,061 = 5,065$$

$$D2 = \frac{1,599 * 12}{6} + 3,852 = 7,05$$

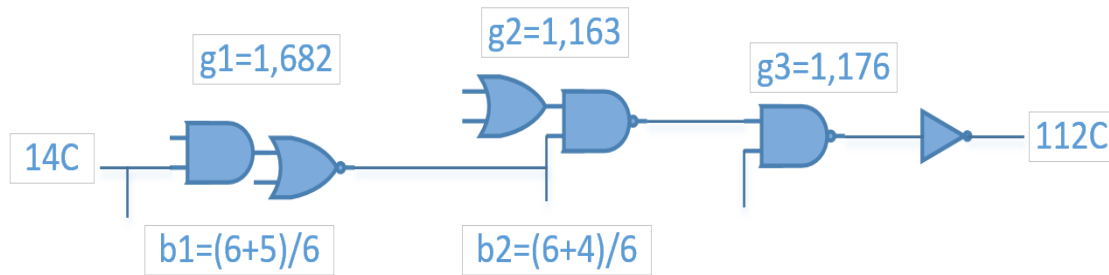
$$D3 = \frac{1,176 * 36}{12} + 1,67 = 5,198$$

$$D4 = \frac{112}{36} + 1,034 = 4,145$$

$$D = 21,458$$



Path 4



Υπολογισμός Καθυστέρησης

$$D1 = \frac{1,682 * (6 + 4)}{6} + 3,359 = 6,162$$

$$D2 = \frac{1,163 * 12}{4} + 2,05 = 5,539$$

$$D3 = \frac{1,176 * 36}{12} + 1,67 = 5,198$$

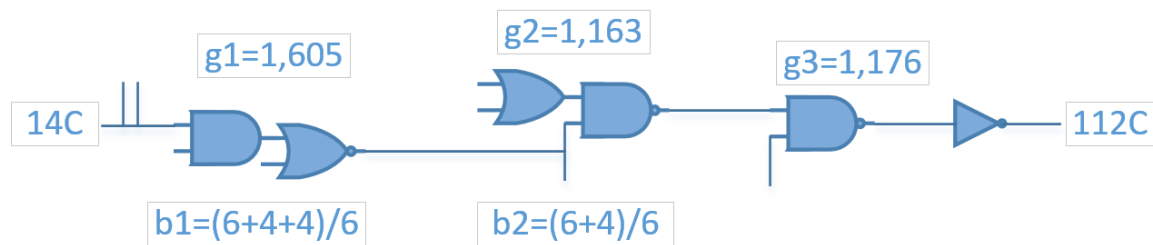
$$D4 = \frac{112}{36} + 1,034 = 4,145$$

$$D = 21,044$$





Path 5



Υπολογισμός Καθυστέρησης

$$D1 = \frac{1,605 * (6 + 4)}{6} + 3,786 = 6,461$$

$$D2 = \frac{1,163 * 12}{4} + 2,05 = 5,539$$

$$D3 = \frac{1,176 * 36}{12} + 1,67 = 5,198$$

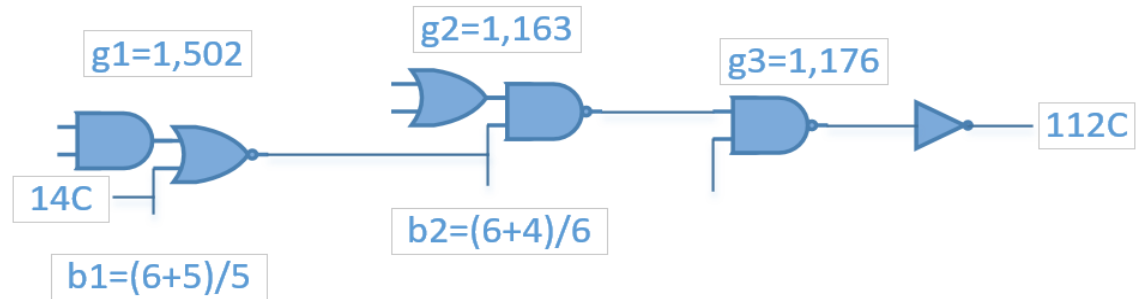
$$D4 = \frac{112}{36} + 1,034 = 4,145$$

$$D = 21,343$$





Path 6



Υπολογισμός Καθυστέρησης

$$D1 = \frac{1,502 * (6 + 4)}{5} + 2,061 = 5,065$$

$$D2 = \frac{1,163 * 12}{4} + 2,05 = 5,539$$

$$D3 = \frac{1,176 * 36}{12} + 1,67 = 5,198$$

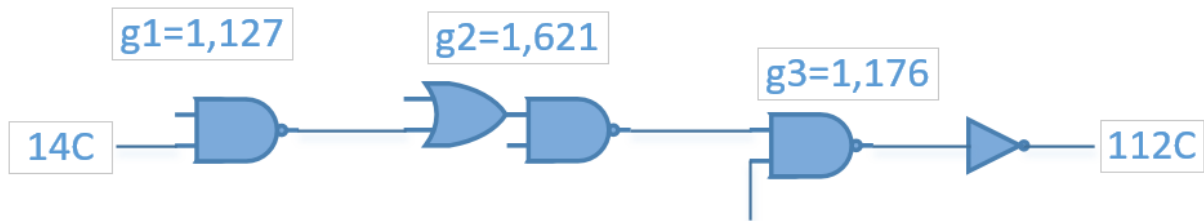
$$D4 = \frac{112}{36} + 1,034 = 4,145$$

$$D = 19,947$$





Path 7



Υπολογισμός Καθυστέρησης

$$D1 = \frac{1,127 * 6}{4} + 2,19 = 3,880$$

$$D2 = \frac{1,621 * 12}{6} + 2,709 = 5,951$$

$$D3 = \frac{1,176 * 36}{12} + 1,67 = 5,198$$

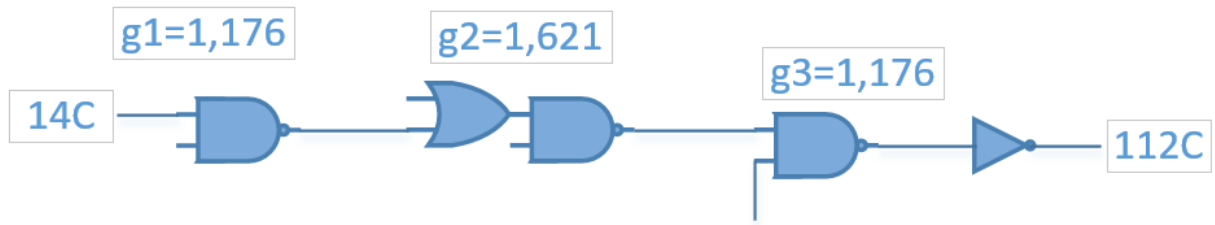
$$D4 = \frac{112}{36} + 1,034 = 4,145$$

$$D = 19,174$$





Path 8



Υπολογισμός Καθυστέρησης

$$D1 = \frac{1,176 * 6}{4} + 1,67 = 3,434$$

$$D2 = \frac{1,621 * 12}{6} + 2,709 = 5,951$$

$$D3 = \frac{1,176 * 36}{12} + 1,67 = 5,198$$

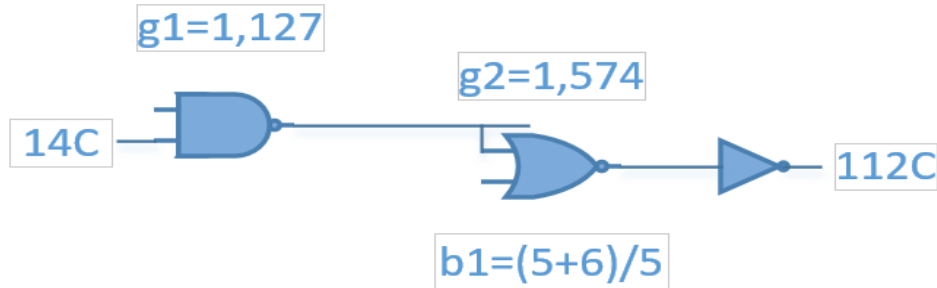
$$D4 = \frac{112}{36} + 1,034 = 4,145$$

$$D = 18,728$$





Path 9



Μέγεθος Αντιστροφέα που οδηγεί AG

Λόγω συνδυασμού παρασιτικών και λογικού φόρτου το Path 9 πιστεύουμε ότι θα έχει την μεγαλύτερη καθυστέρηση από τα μονοπάτια που περιέχουν τον αντιστροφέα που οδηγεί την έξοδο AG. Συνεπώς το εύρος είναι $C_{inv1}-C_{inv2}$:

$$\begin{aligned} \frac{1,127 * (5 + 6)}{4} + 2,19 + \frac{1,574C_{inv}}{5} + 2,862 + \frac{112}{C_{inv}} + 1,034 &\leq 22,854 \\ \Leftrightarrow \frac{1,574C_{inv}}{5} + \frac{112}{C_{inv}} &\leq 13,678 \\ \Leftrightarrow 1,574C_{inv}^2 + 560 &\leq 68,39C_{inv} \\ \Leftrightarrow 1,574C_{inv}^2 - 68,39C_{inv} + 560 &\leq 0 \\ \rightarrow C_{inv1} = 10.945 \quad C_{inv2} &= 32.504 \end{aligned}$$

Υπολογισμός Καθυστέρησης

$$D1 = \frac{1,127 * (5 + 6)}{4} + 2,19 = 5,289$$

$$D2 = \frac{1,574 * 30}{5} + 2,862 = 12,306$$

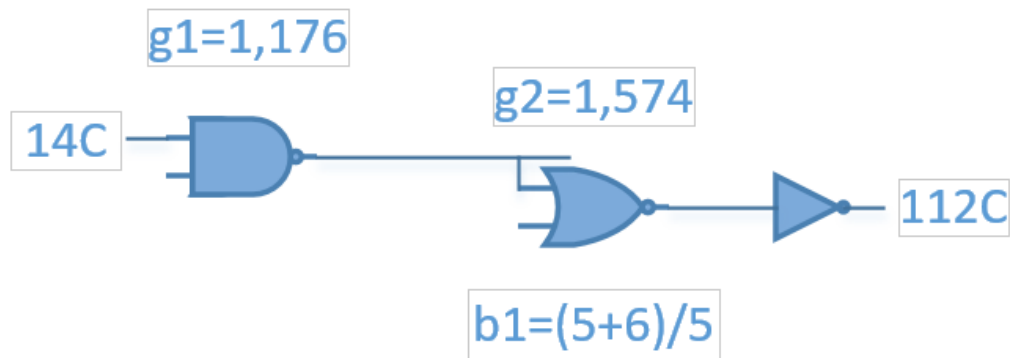
$$D3 = \frac{112}{30} + 1,034 = 4,767$$

$$D = 22,36$$





Path 10



Υπολογισμός Καθυστέρησης

$$D1 = \frac{1,176 * (5 + 6)}{4} + 1,67 = 4,904$$

$$D2 = \frac{1,574 * 30}{5} + 2,862 = 12.306$$

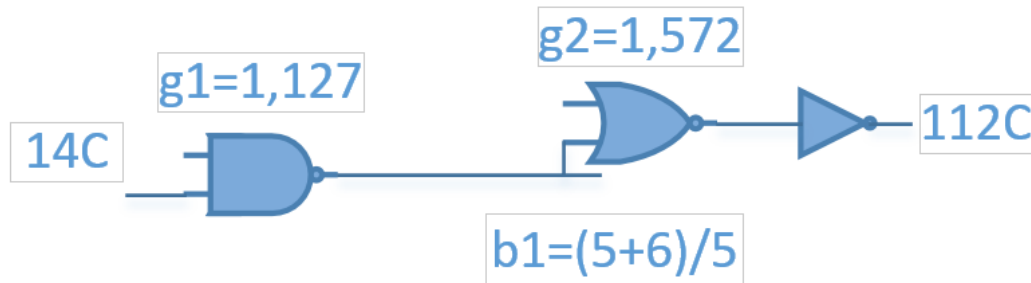
$$D3 = \frac{112}{30} + 1,034 = 4,767$$

$$D = 21,977$$





Path 11



Υπολογισμός Καθυστέρησης

$$D1 = \frac{1,127 * (5 + 6)}{4} + 2,19 = 5,289$$

$$D2 = \frac{1,572 * 30}{5} + 1,519 = 10.951$$

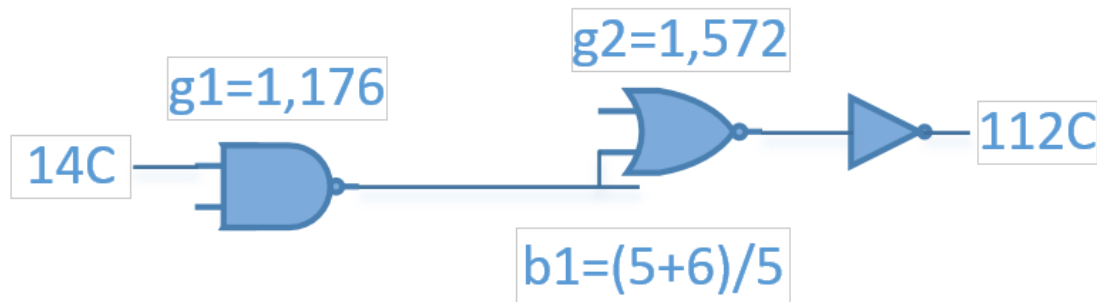
$$D3 = \frac{112}{30} + 1,034 = 4,767$$

$$D = 21,007$$





Path 12



Υπολογισμός Καθυστέρησης

$$D1 = \frac{1,176 * (5 + 6)}{4} + 1,67 = 4,904$$

$$D2 = \frac{1,572 * 30}{5} + 1,519 = 10.951$$

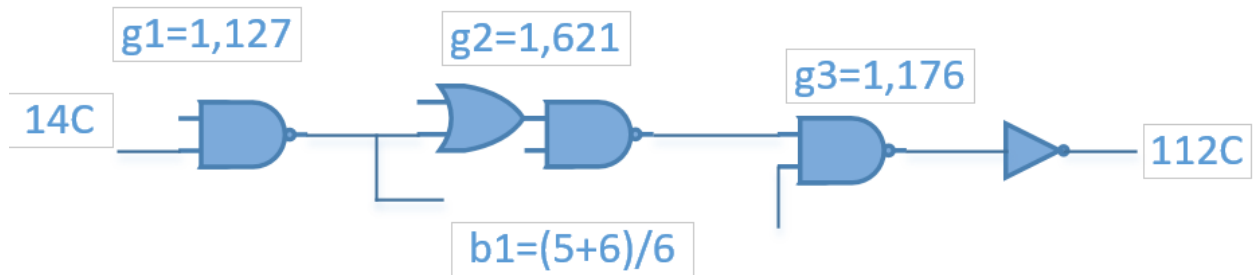
$$D3 = \frac{112}{30} + 1,034 = 4,767$$

$$D = 20,622$$





Path 13



Υπολογισμός Καθυστέρησης

$$D1 = \frac{1,127 * (5 + 6)}{4} + 2,19 = 5,289$$

$$D2 = \frac{1,621 * 12}{6} + 2,709 = 5,951$$

$$D3 = \frac{1,176 * 36}{12} + 1,67 = 5,198$$

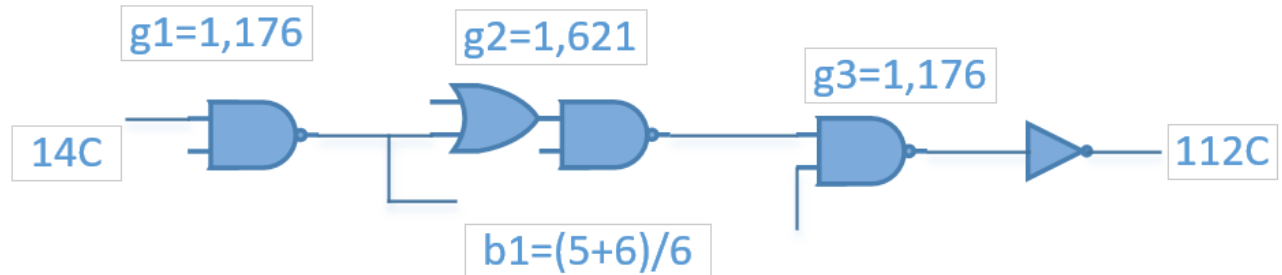
$$D4 = \frac{112}{36} + 1,034 = 4,145$$

$$D = 20,583$$





Path 14



Υπολογισμός Καθυστέρησης

$$D1 = \frac{1,176 * (5 + 6)}{4} + 1,67 = 4,904$$

$$D2 = \frac{1,621 * 12}{6} + 2,709 = 5,951$$

$$D3 = \frac{1,176 * 36}{12} + 1,67 = 5,198$$

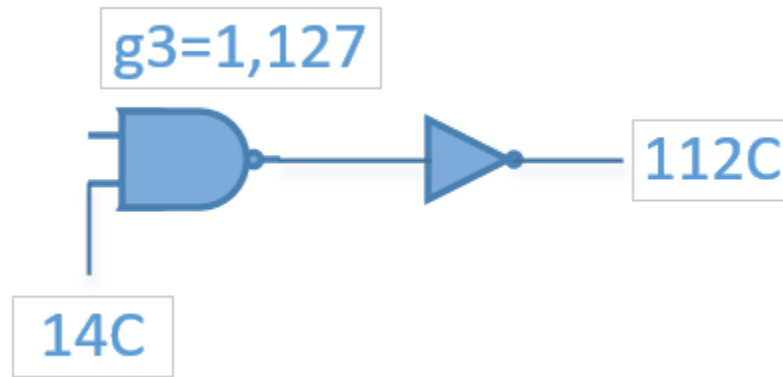
$$D4 = \frac{112}{36} + 1,034 = 4,145$$

$$D = 20,198$$





Path 15



Υπολογισμός Καθυστέρησης

$$D1 = \frac{1,127 * 36}{12} + 2,19 = 5,571$$






$$D2 = \frac{112}{36} + 1,034 = 4,145$$

$$D = 9,716$$





Μεγέθη Πυλών

Πύλες	P/N	Μεγέθη με κανόνα λ
AOI21  Μεγέθη: Min	$P/N = \frac{4[Nor] + 4[And] + 4[And]}{(1[Nor] + 2[And] + 2[And])}$	$\frac{16\lambda + 16\lambda + 16\lambda}{4\lambda + 8\lambda + 8\lambda}$
NAND  Μεγέθη: 12,4	$P/N(12) = 6/6, P/N(4) = 2/2$	$24\lambda/24\lambda(12), 8\lambda/8\lambda(4)$
OAI21  Μεγέθη: Min	$P/N = \frac{2[Nand] + 4[Or] + 4[Or]}{(2[Nand] + 2[Or] + 2[Or])}$	$\frac{8\lambda + 16\lambda + 16\lambda}{8\lambda + 8\lambda + 8\lambda}$
NOR  Μεγέθη: 5	$P/N(5) = 4/1$	$16\lambda/4\lambda$
INVERTER  Μεγέθη: 36,30	$P/N(36) = 24/12, P/N(30) = 20/10$	$96\lambda/48\lambda(36), 80\lambda/40\lambda(30)$

Οι αντιστροφείς είναι οι πύλες με τα μεγαλύτερα μεγέθη. Συγκεκριμένα, η πιο μεγάλη πύλη είναι αυτή με μέγεθος 36. Με βάση τις οδηγίες της εργασίας, εφαρμόσαμε **transistor folding** στους αντιστροφείς μεγέθους 36,30. Εν τέλει, το μέγεθος του πιο μεγάλου αντιστροφέα, με βάση τον κανόνα λ, είναι **48λ/24λ**. Συνεπώς, τα ύψη των πηγαδιών και οι αποστάσεις μεταξύ V_{dd}-G_{nd} καθορίζονται από το συγκεκριμένο cell για τις υπόλοιπες πύλες.

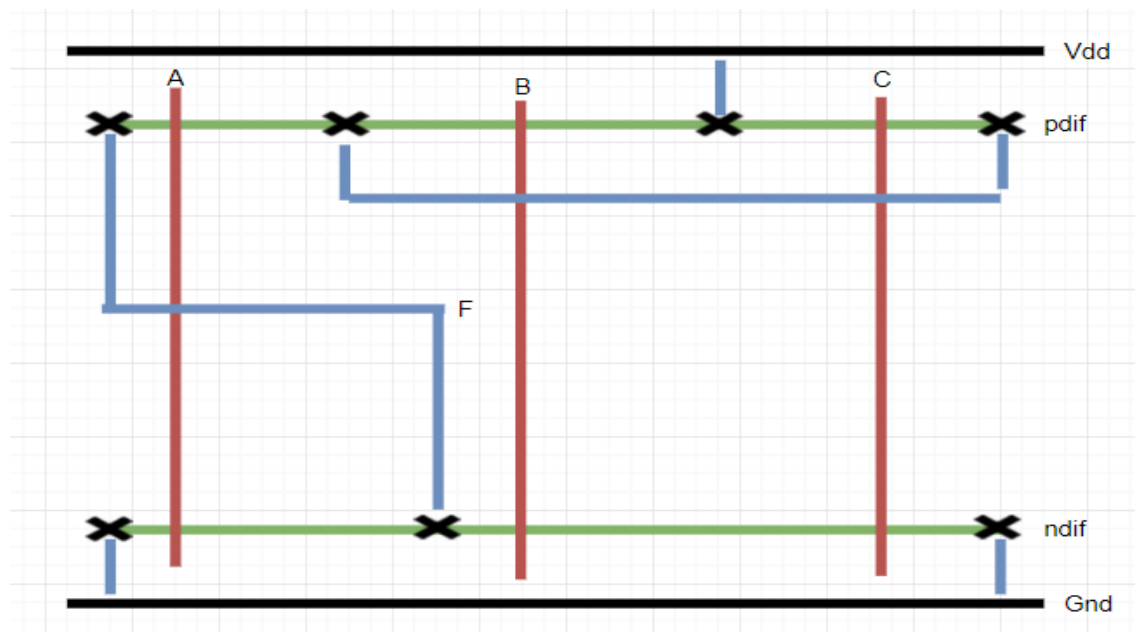




Σχεδίαση Πυλών

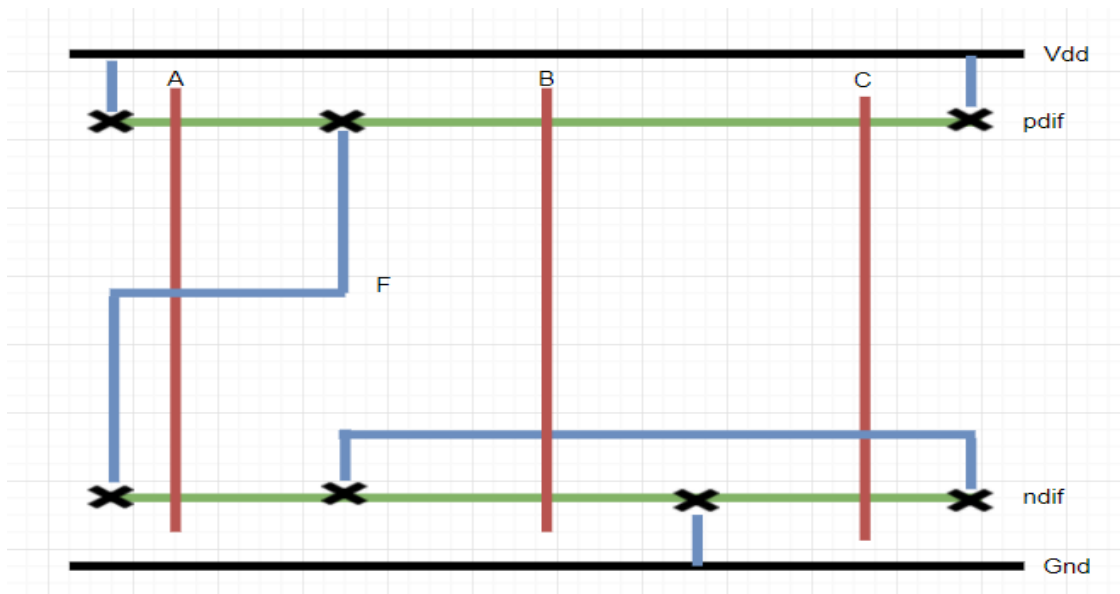
Παρακάτω παρουσιάζουμε περιληπτικά τα stick διαγράμματα των πυλών που σχεδιάσαμε στο Electric. Αν και δεν ζητείται από την εργασία θεωρήσαμε ότι είναι απαραίτητο γιατί υποδεικνύει την λογική πίσω από την σχεδίαση των πυλών αυτών στο Layout.

ΑΟΙ21

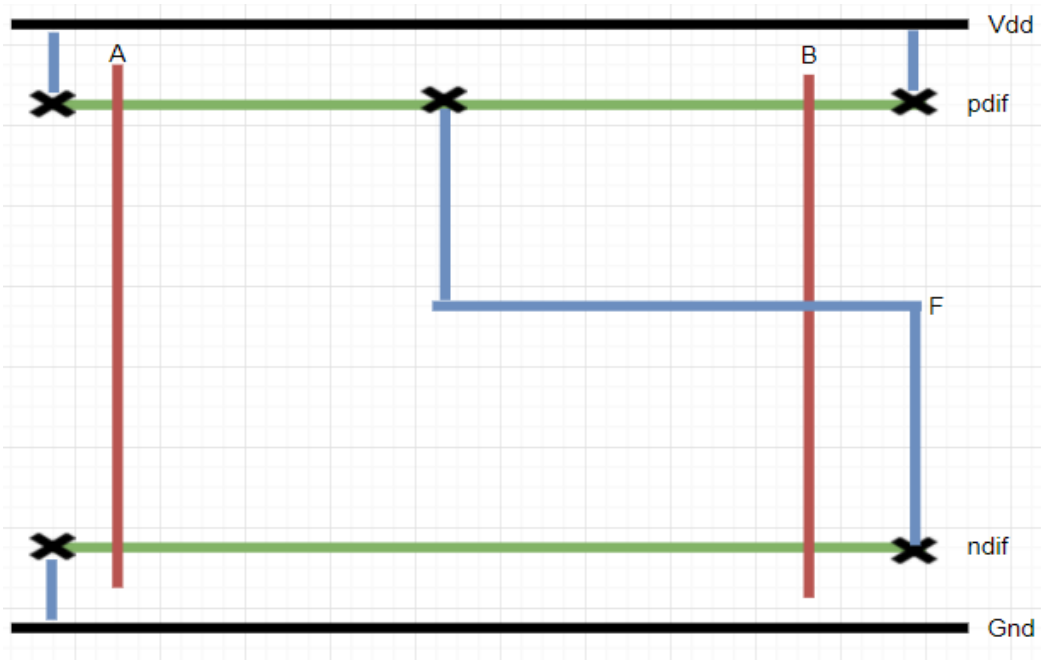




ΟΑΙ21

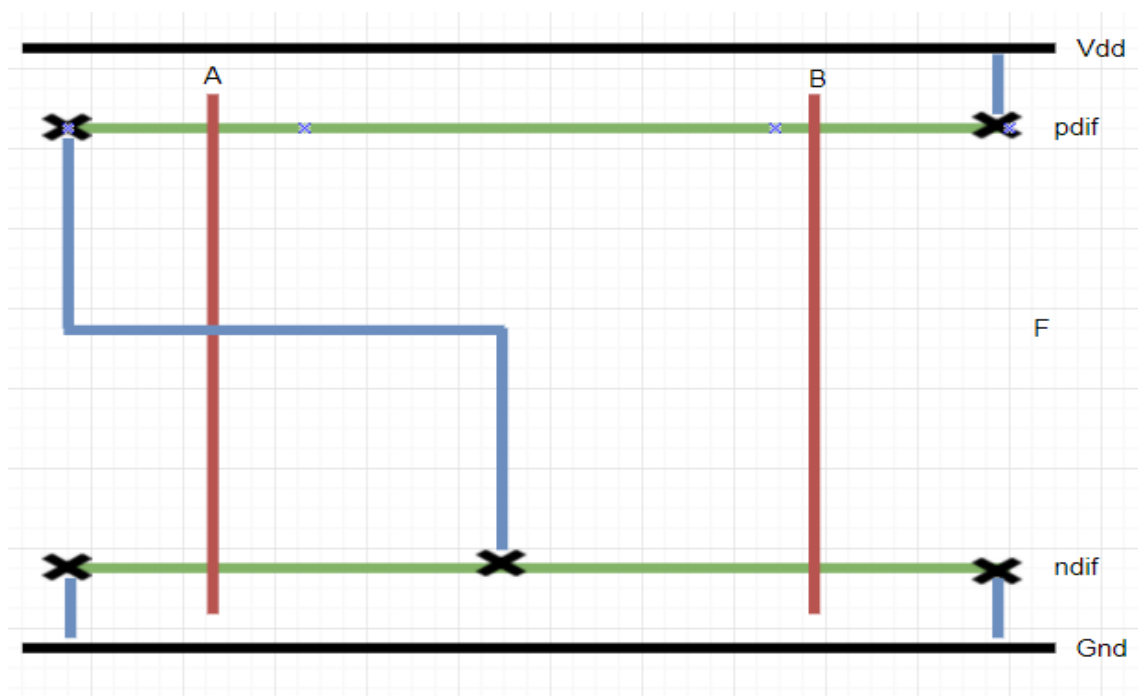


NAND

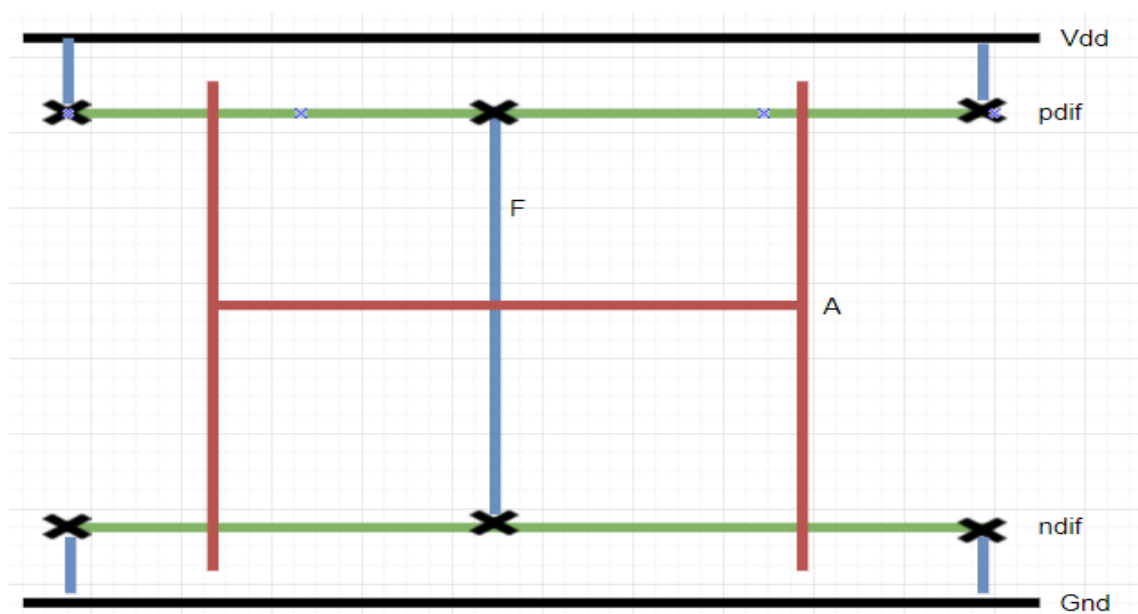




NOR



Inverter Folded



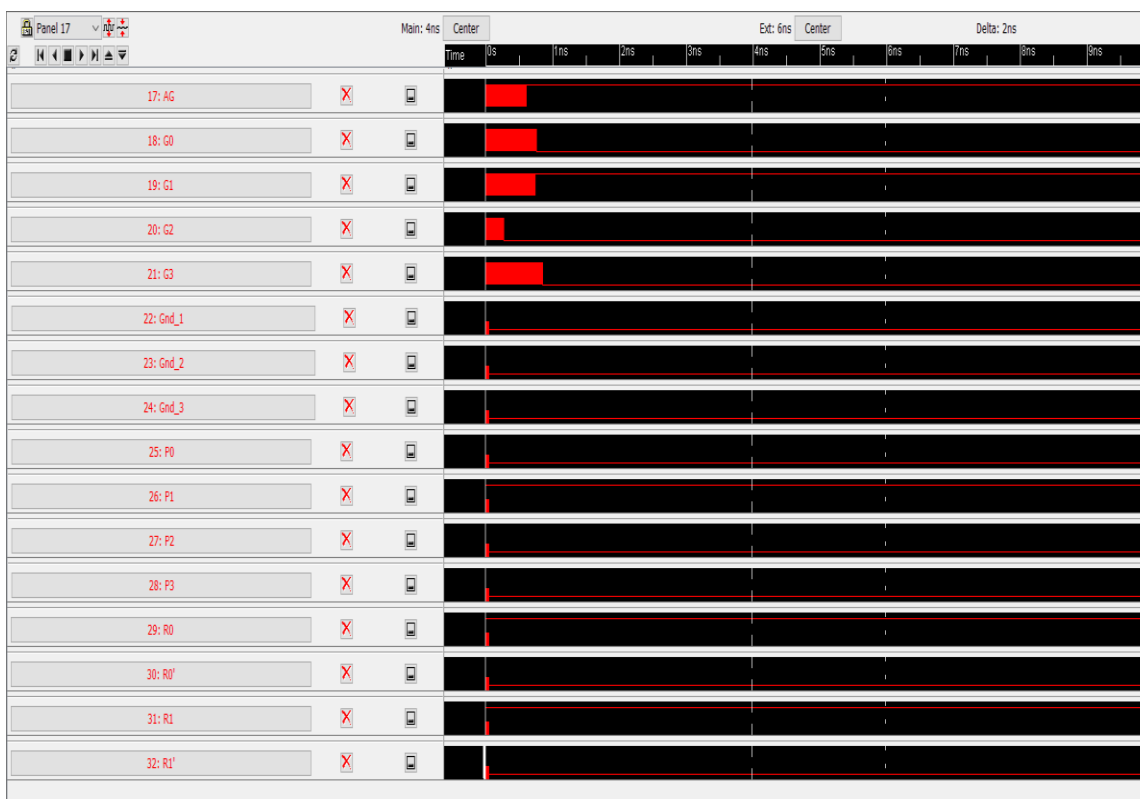


Έλεγχος Arbiter στο Electric

Για να τεστάρουμε αρχικά τον Arbiter τρέξαμε τα 2 σενάρια τιμών τα οποία δόθηκαν για την περιγραφή της λειτουργίας του στην εργασία. Ο έλεγχος στην συνέχεια για τις καθυστερήσεις ήταν αρκετός για να τεστάρει όλα τα μονοπάτια όσον αφορά τα αποτελέσματα και την σωστή λειτουργία όλων των πυλών του Arbiter, αφού απαιτεί να τεθούν συγκεκριμένες τιμές για να μπορέσουμε να πάρουμε σωστά τις καθυστερήσεις μας. Τα αρχεία της εξομοίωσης του Arbiter αλλά και των πυλών περιλαμβάνονται στο παραδοτέο φάκελο.

Εξομοίωση 1

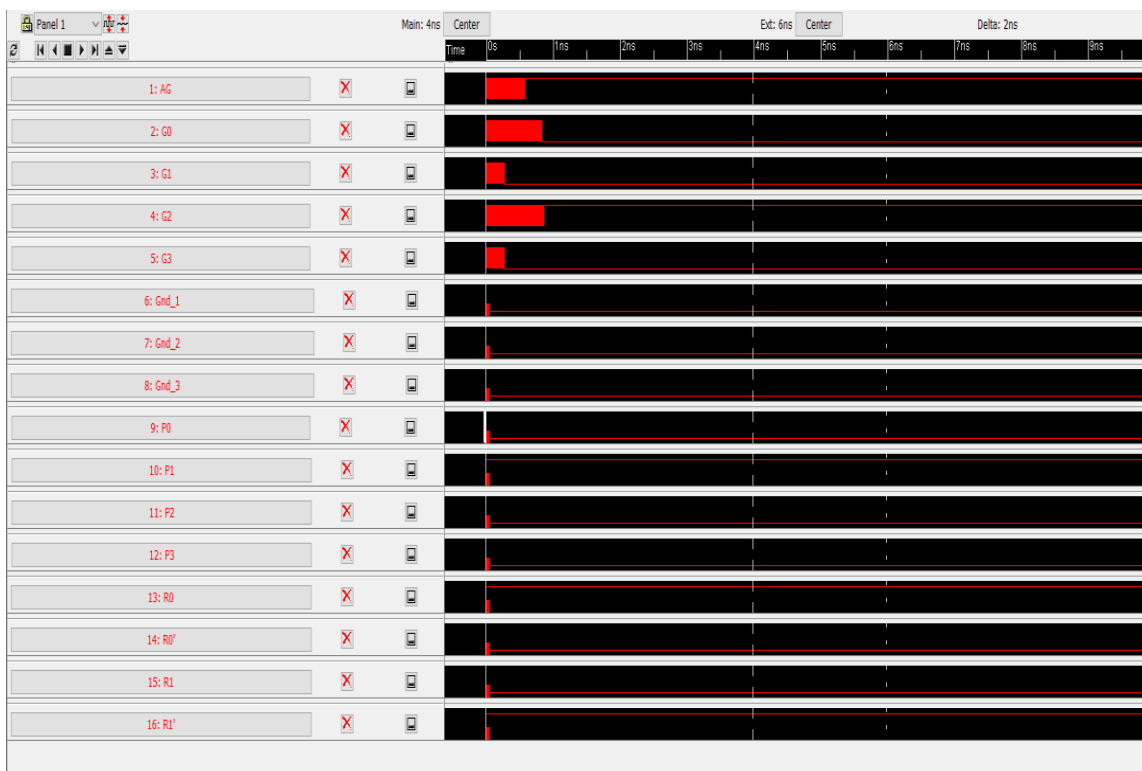
Παρακάτω είναι η πρώτη εξομοίωση με βάση την πρώτη περιγραφή της λειτουργίας του Arbiter στην οποία θέλουμε και βλέπουμε πως οι έξοδοι AG και G1 έχουν έξοδο λογικό 1 ενώ οι υπόλοιπες λογικό 0.





Εξομοίωση 2

Στην δεύτερη εξομοίωση τρέχουμε το δεύτερο παράδειγμα που δίνεται στην εργασία και τα αποτελέσματα που περιμένουμε αλλά και που έχουμε είναι πως οι έξοδοι AG και G2 ισούται με λογικό 1 ενώ οι υπόλοιπες με λογικό 0.

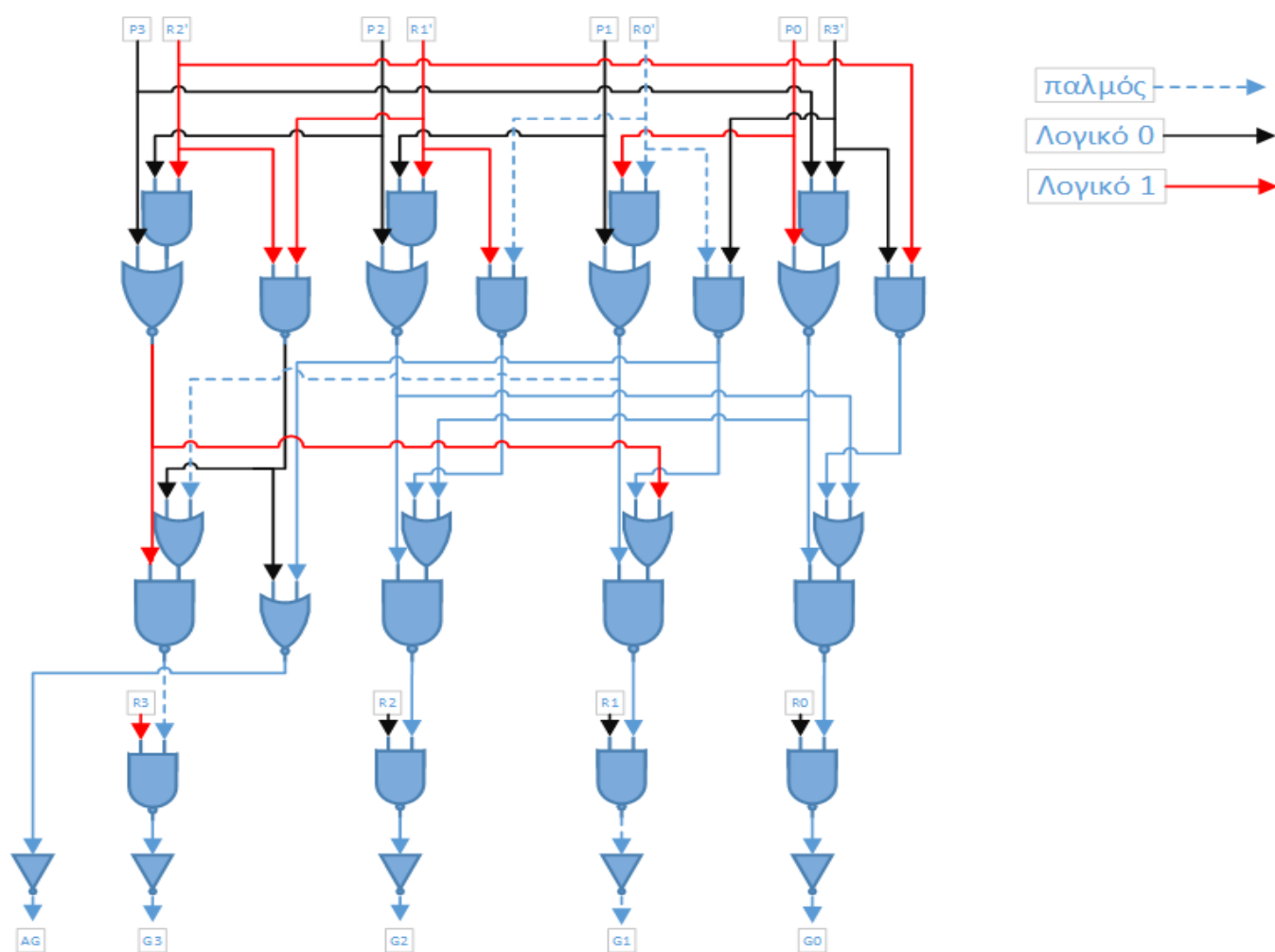




Μέτρηση της Καθυστερήσης

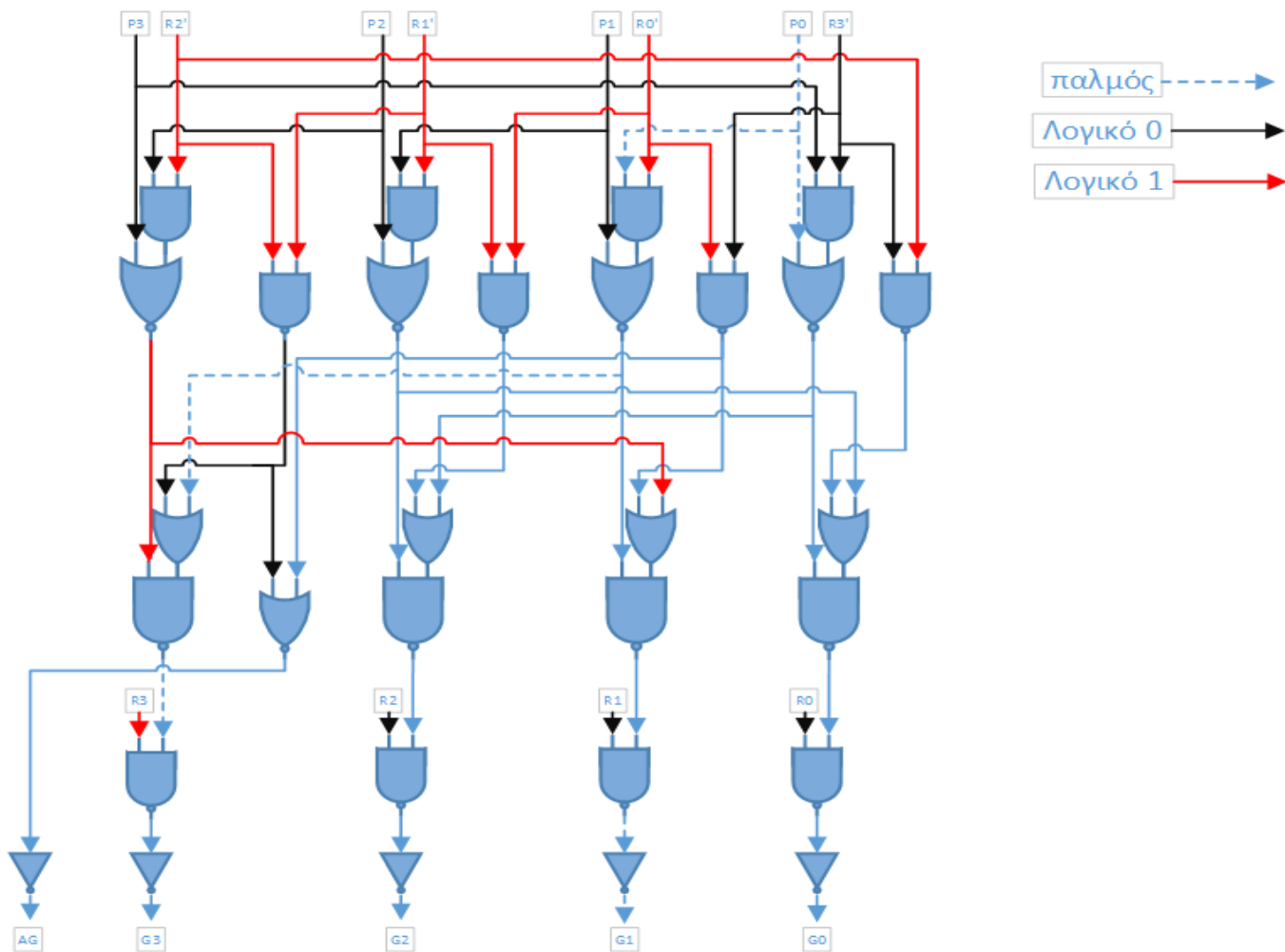
Παρακάτω, παρουσιάζουμε αναλυτικά με ποια κριτήρια θέσαμε σταθερές τιμές και τον παλμό για να υπολογίσουμε τις καθυστερήσεις του Arbiter. Τα αρχεία αυτά είναι διαθέσιμα στον φάκελο Paths.

Critical Path 1



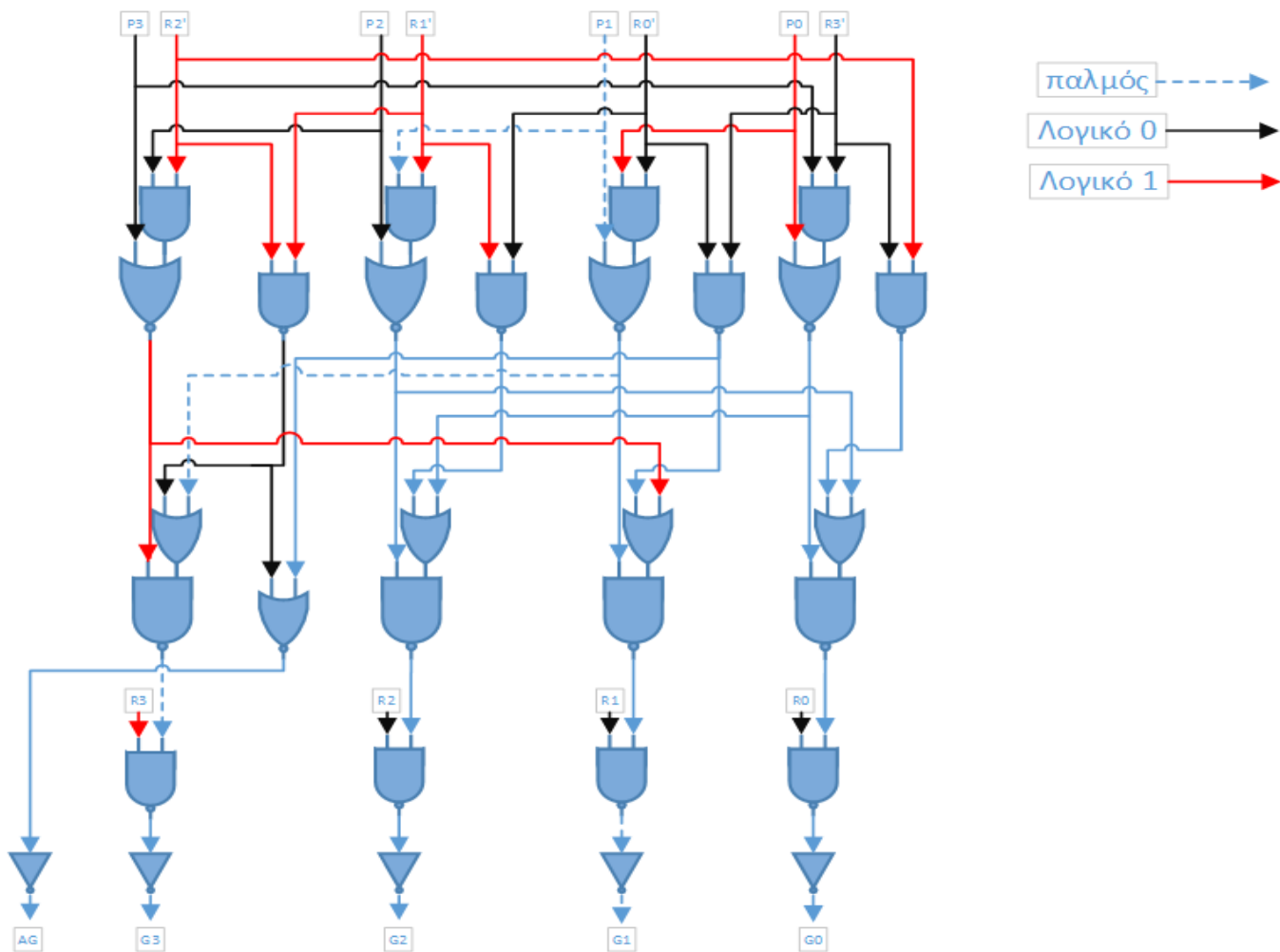


Path 2



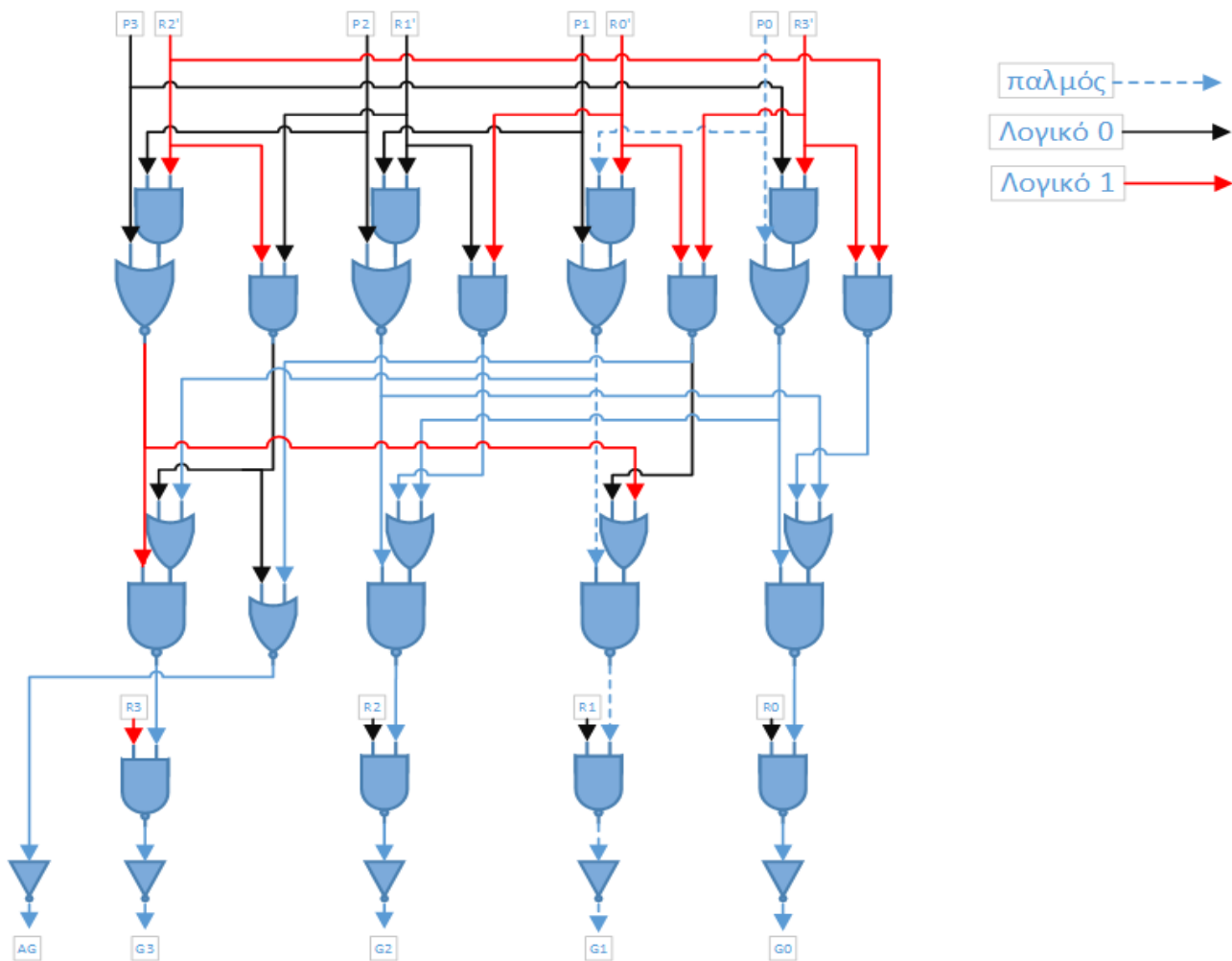


Path 3



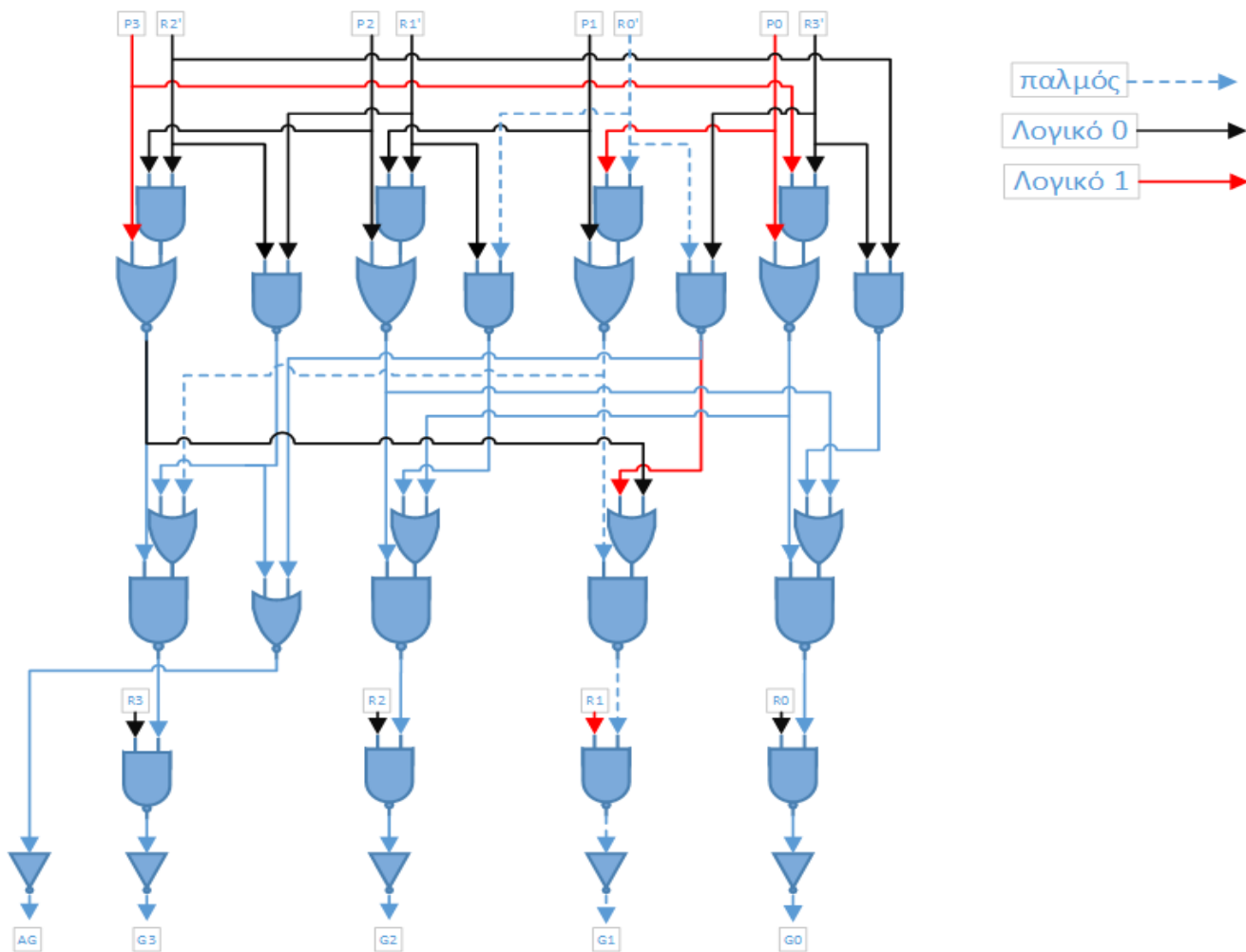


Path 4



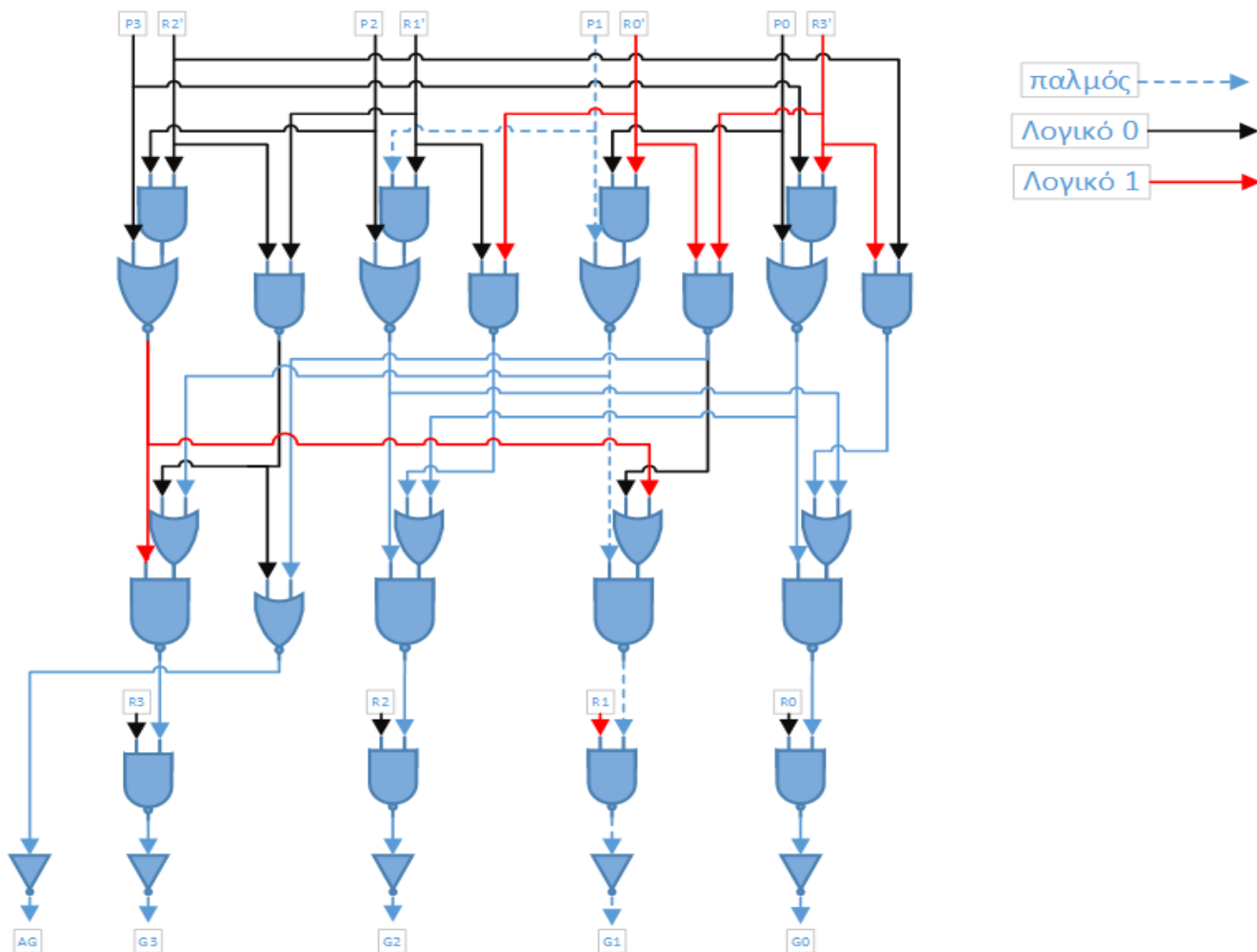


Path 5



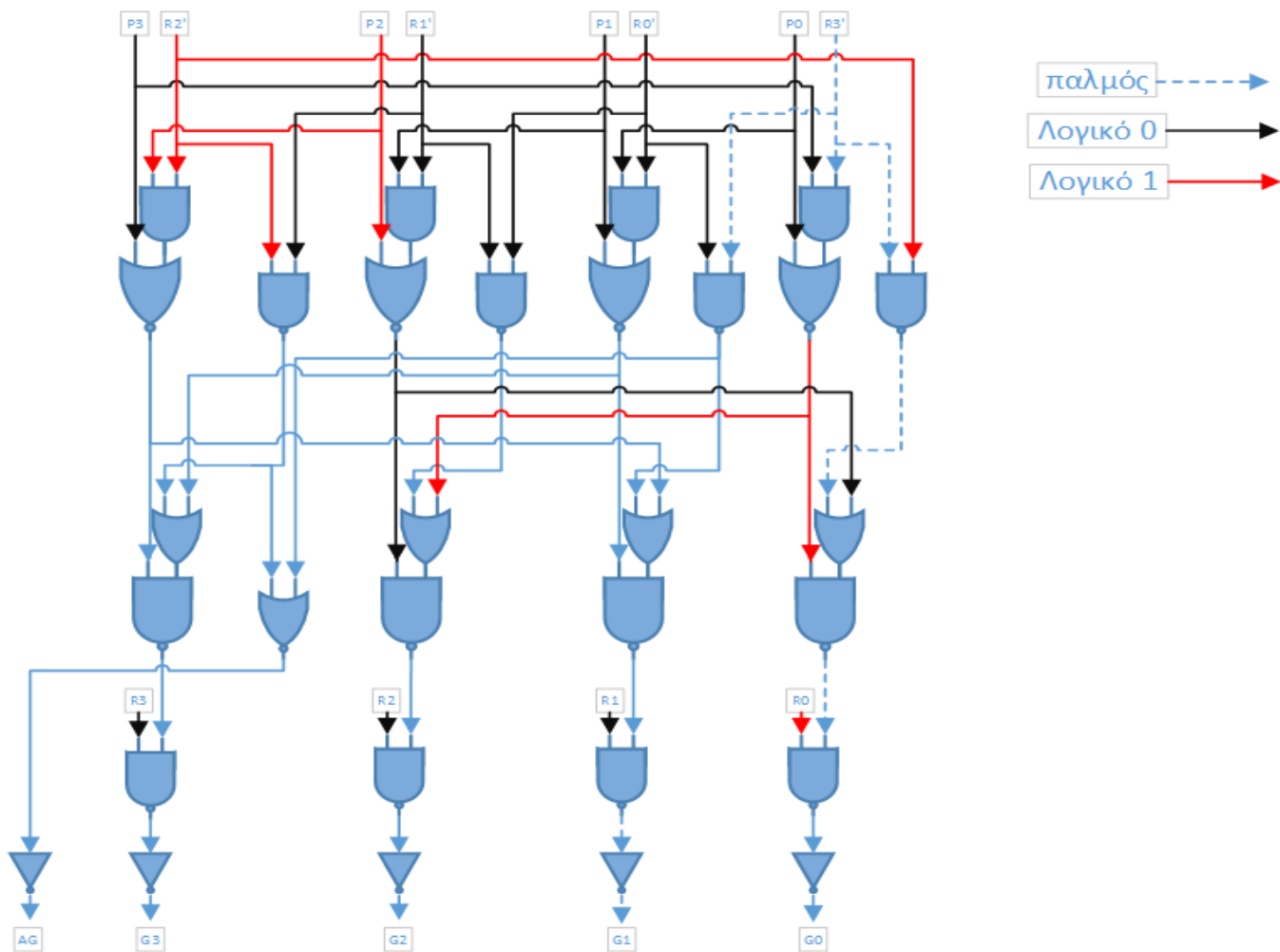


Path 6



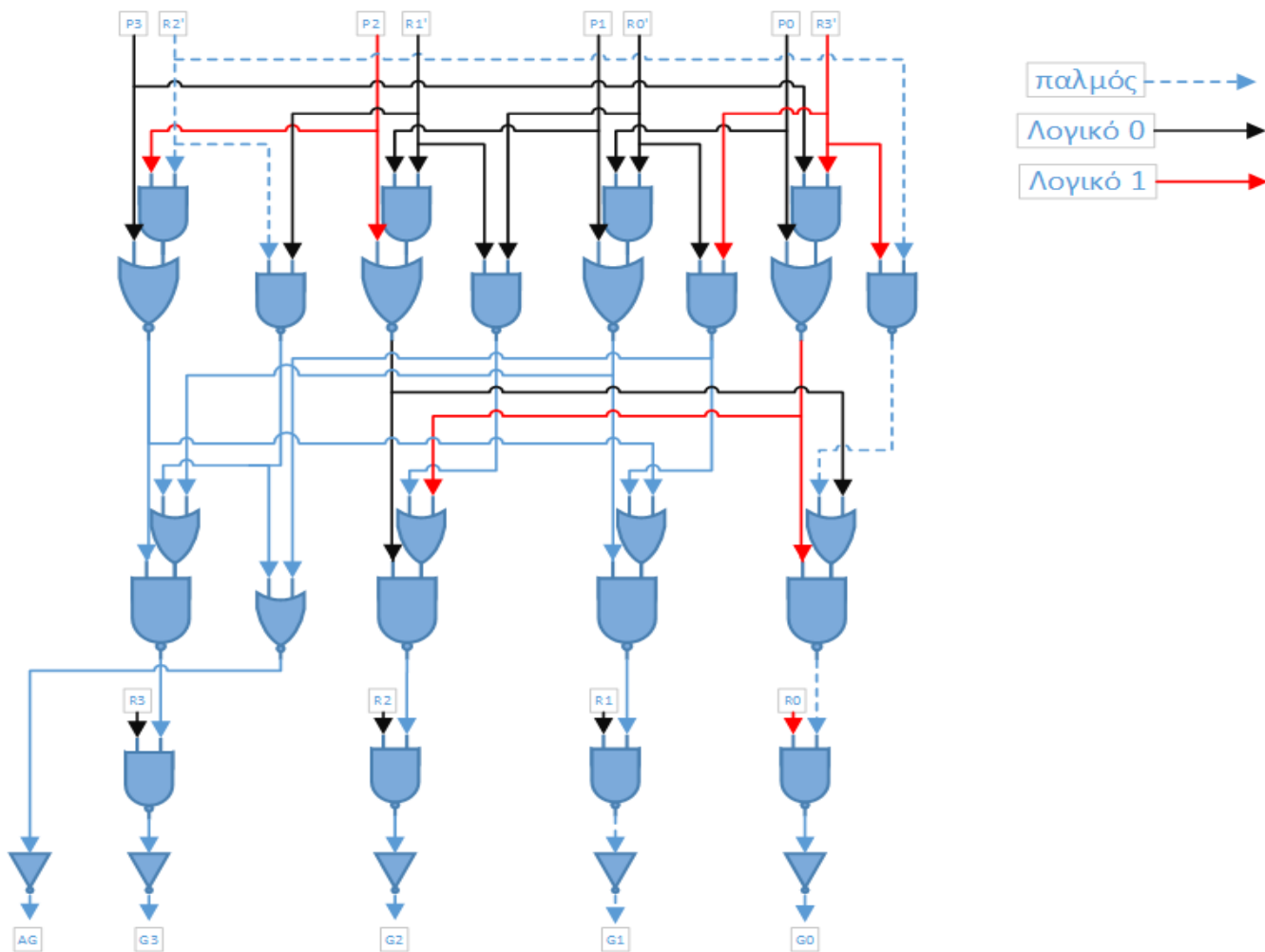


Path 7



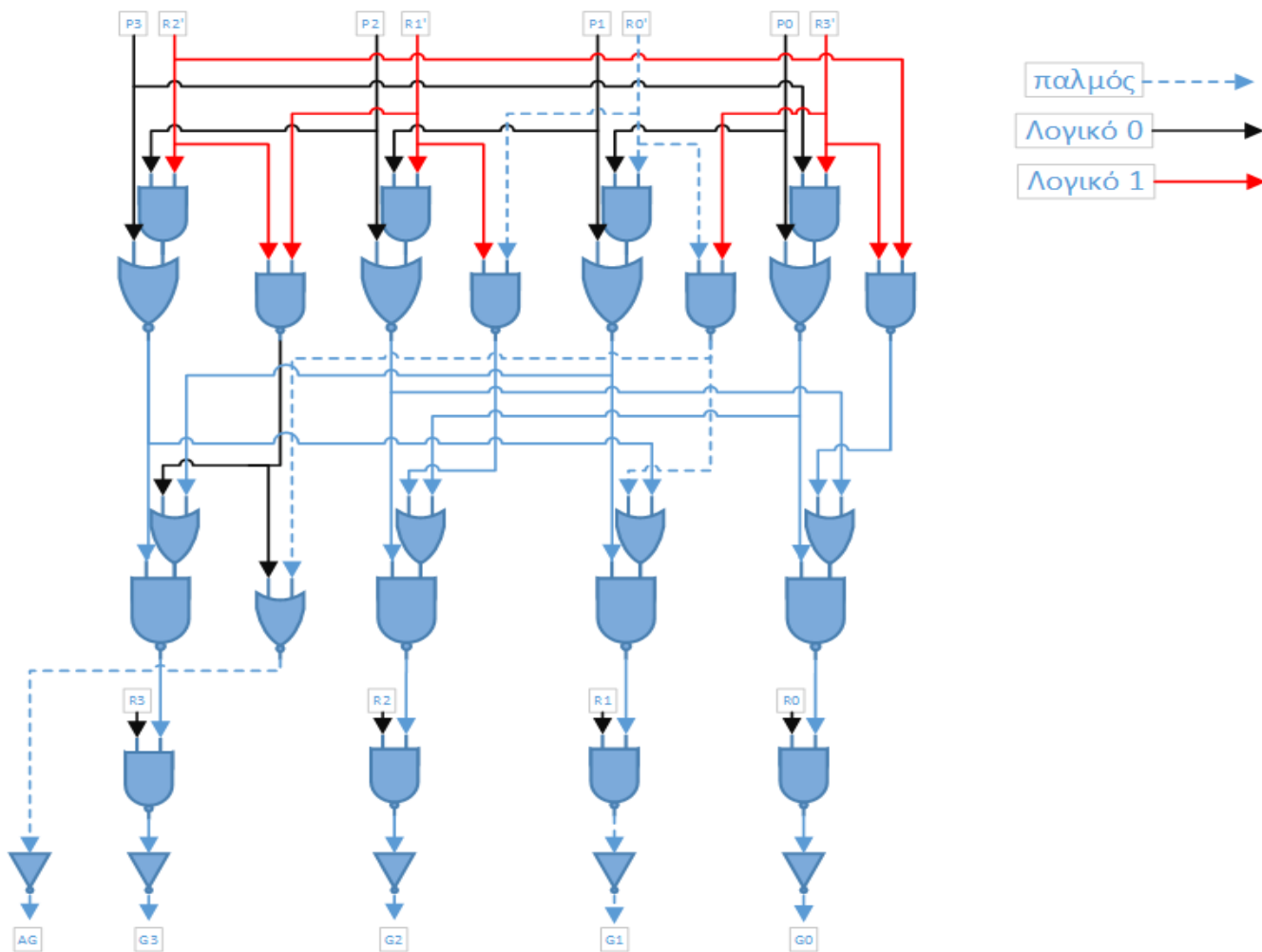


Path 8



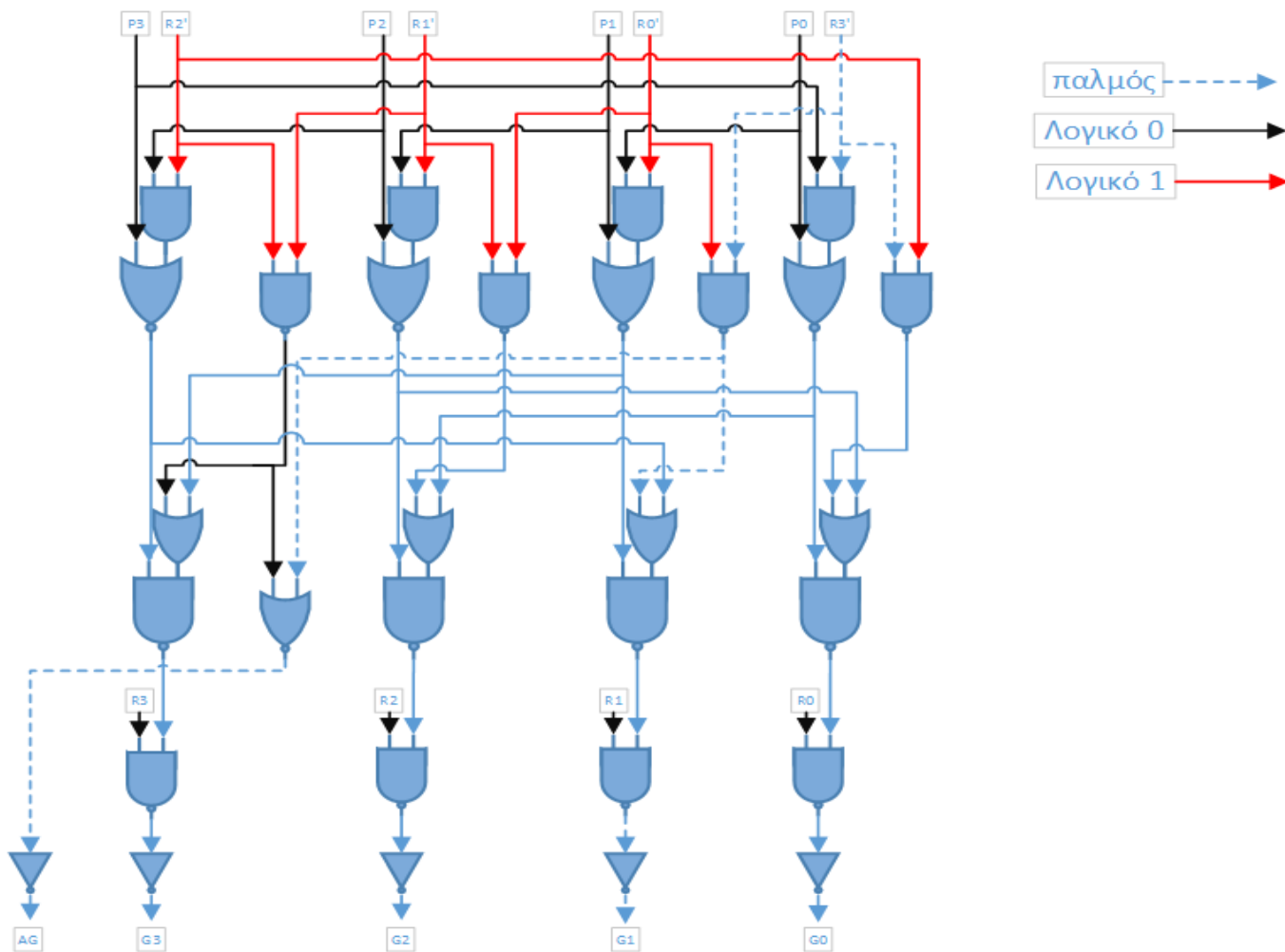


Path 9



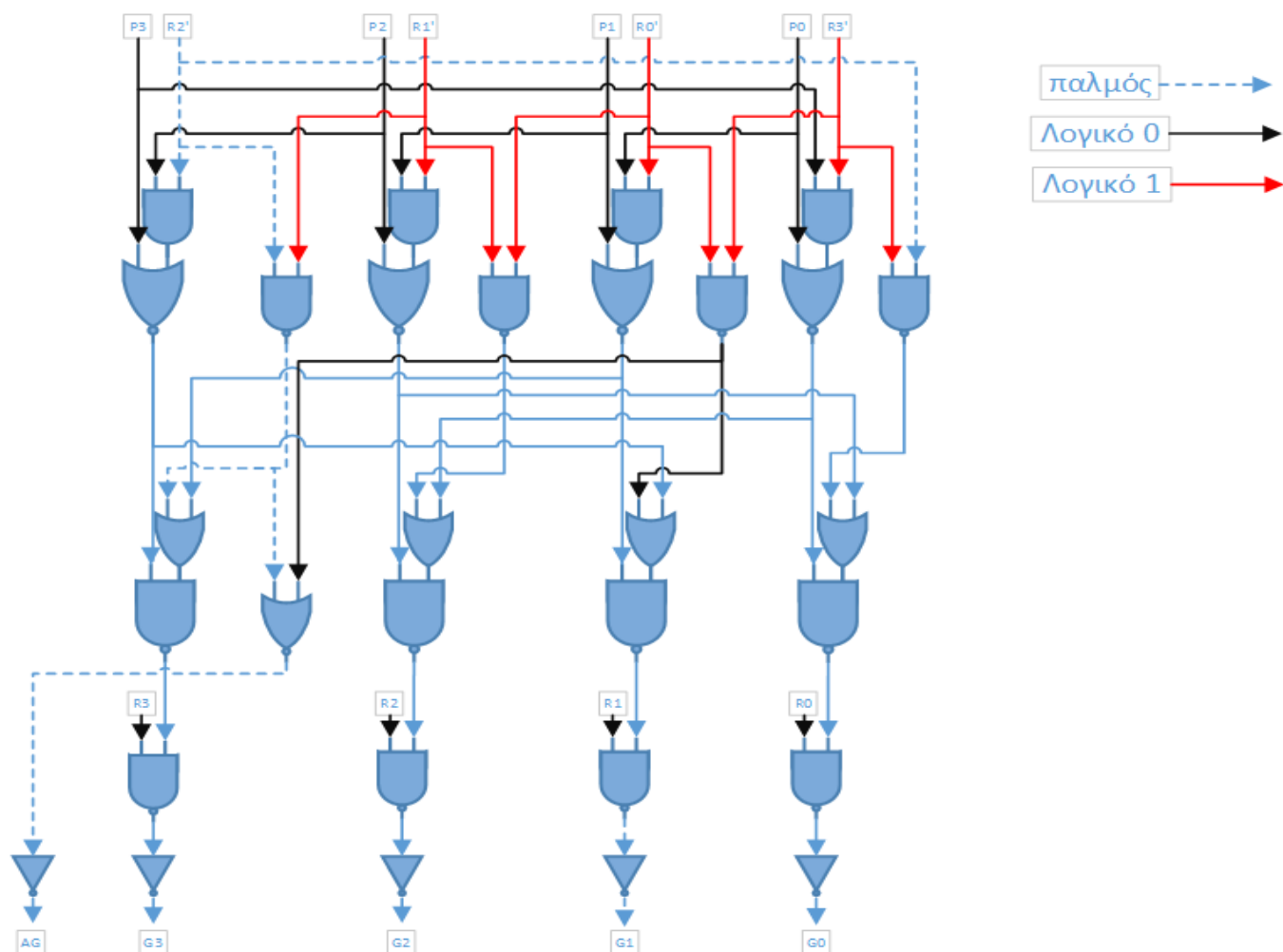


Path 10



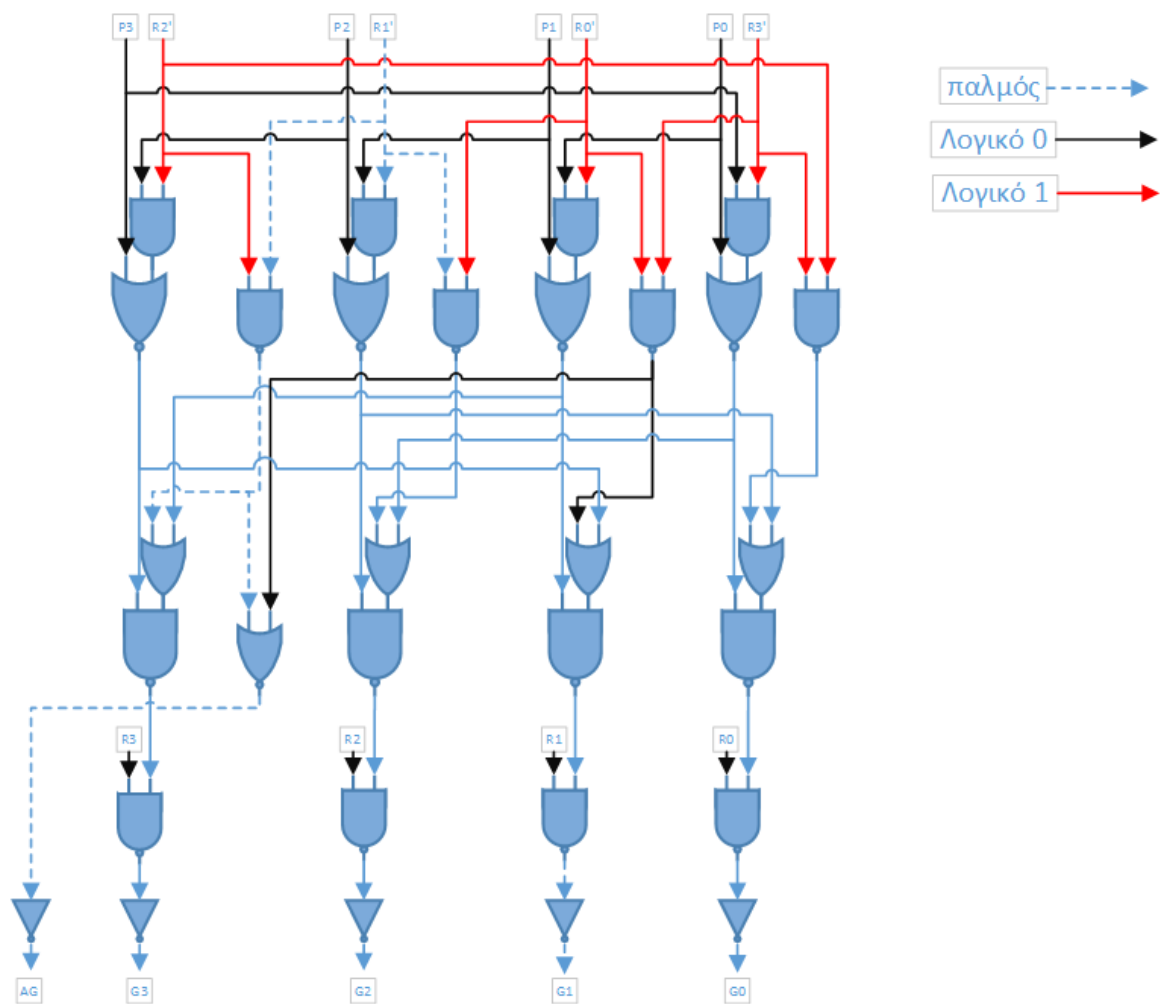


Path 11



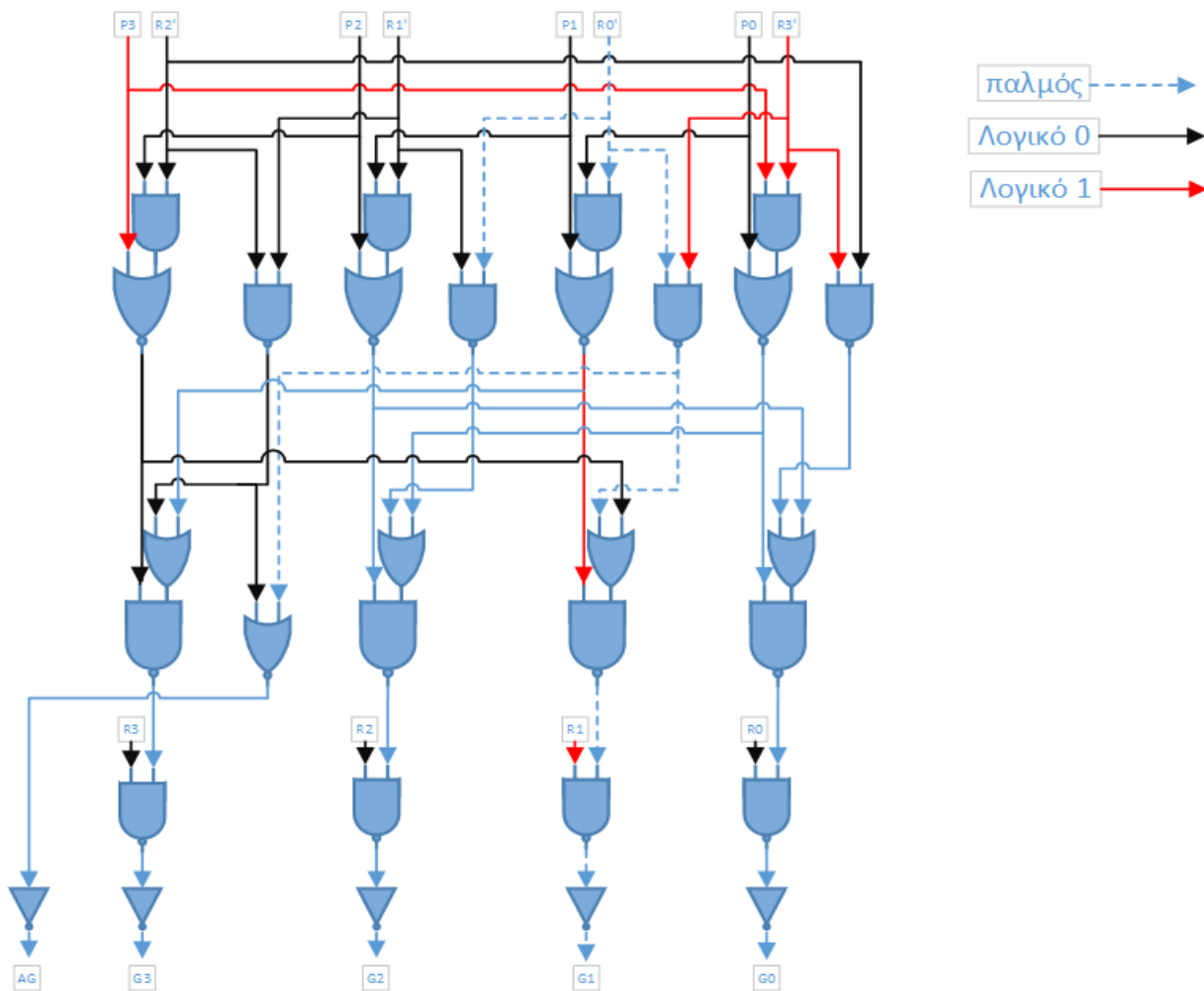


Path 12



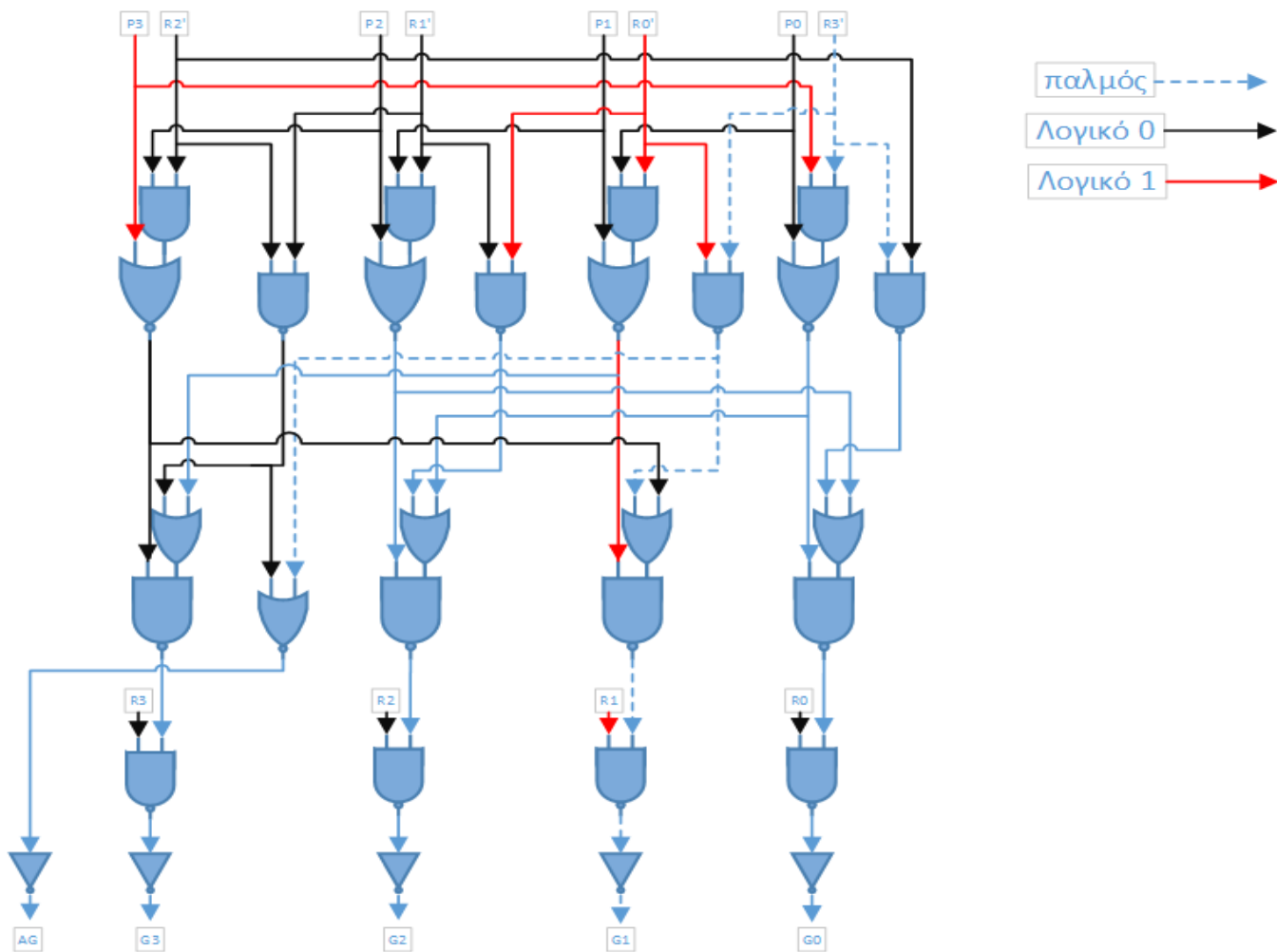


Path 13



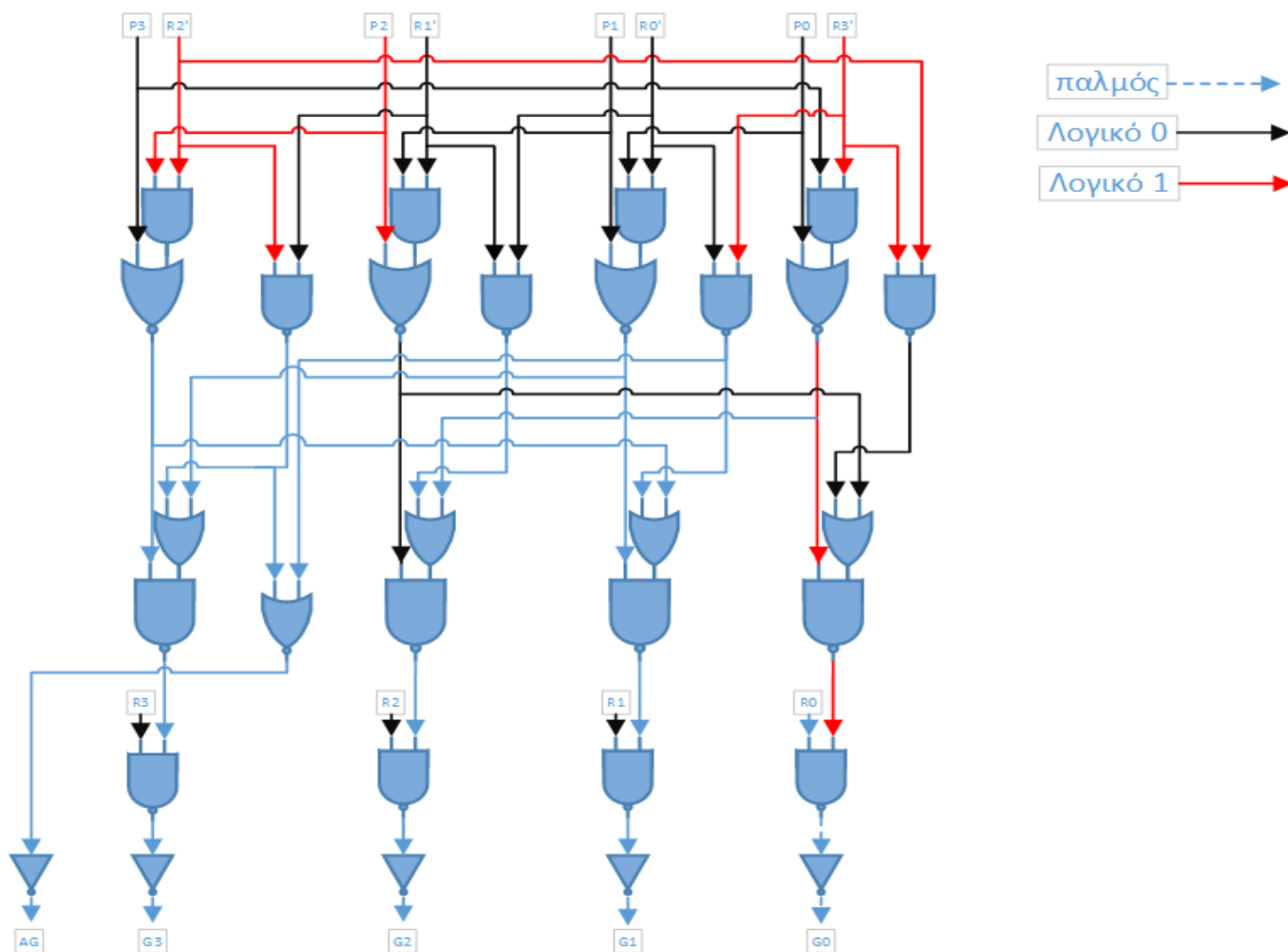


Path 14





Path 15



Γιατί θα έπρεπε να αυξήσω το μέγεθος του μοναδιαίου αντιστροφέα της εισόδου

Το fanout του συγκεκριμένου αντιστροφέα είναι η χωρητικότητα εισόδου προς αυτήν της εξόδου. Αυτές οι χωρητικότητες είναι ανάλογες του μεγέθους των τρανζίστορ που το αποτελούν. Συνεπώς, η αύξηση αυτή, δηλαδή από 8λ->9λ(pmos) και 4λ->5λ(nmos), σημαίνει πως τα μεγέθη τους θα ήταν 2->2,25(pmos) και 1->1,25(nmos). Το αποτέλεσμα θα ήταν, η χωρητικότητα εισόδου να είναι 3,5C, αφού η χωρητικότητα είναι ανάλογη του μεγέθους του τρανζίστορ, και το
$$fanout = \frac{14C}{3,5C} = 4$$





Πίνακας Καθυστερήσεων

Καθυστερήσεις(ps)	Θεωρητικές	SPICE	Απόκλιση
Critical Path 1	380.02	344.73	35.29
Path 2	375.05	336.09	38.96
Path 3	356.81	329.13	27.68
Path 4	349.93	301.29	48.64
Path 5	354.90	315.53	39.37
Path 6	331.68	302.21	29.47
Path 7	318.83	281.39	37.44
Path 8	311.41	275.35	36.06
Path 9	371.81	305,24	66.57
Path 10	365.44	298.41	67.03
Path 11	349.31	289.30	60.01
Path 12	342.91	282.35	60.56
Path 13	342.26	304.04	38.22
Path 14	335.86	299.40	36.46
Path 15	161.56	124.27	37.29





Γιατί οι θεωρητικές τιμές και οι Spice δεν συμπίπτουν

Παρακάτω αναλύουμε συνοπτικά κάποιους λόγους που θεωρούμε ότι έπαιξαν ρόλο ώστε οι θεωρητικές και οι τιμές SPICE να έχουν αποκλίσεις.

Τάση Vdd

Η τάση είναι ένας παράγοντας που δεν παίρνουμε υπόψη μας στην μέθοδο του Logical Effort. Παρόλα αυτά, η τάση επηρεάζει την καθυστέρηση καθώς είναι αντιστρόφως ανάλογή της. Αναφορικά και μόνο, αλλάζοντας την τάση και συγκεκριμένα θέτοντάς την κάπου στα 1.65V καταφέραμε να έχουμε καθυστερήσεις με πολύ μικρές αποκλίσεις από τις θεωρητικές. Εννοείται, πως η αλλαγή της τάσης επιφέρει και ανάλογη αλλαγή στην κατανάλωση.

Διάχυση Χωρητικότητας στο Layout

Η σχεδίαση του Layout παίζει σημαντικό ρόλο καθώς η σχεδίασή του με τον πιο αποδοτικό τρόπο μπορεί να μειώσει την χωρητικότητα εξόδου π.χ αν υπάρχει διαμοιραζόμενη επαφή διάχυσης. Συνεπώς, μπορούμε να θεωρήσουμε πως συνολικά ο τρόπος σχεδίασης του Layout επηρεάζει τις τελικές καθυστερήσεις στο SPICE.

Διασύνδεση

Η μέθοδος του λογικού φόρτου δεν παίρνει υπόψιν της την διασύνδεση(χωρητικότητα αγωγών). Η χωρητικότητα των αγωγών διασύνδεσης προσθέτει φορτίο σε κάθε πύλη. Επιπλέον, οι μεγάλοι αγωγοί έχουν υπολογίσιμη αντίσταση και συνεισφέρουν καθυστέρηση RC.

Συνακρόαση

Καθώς οι αγωγοί έχουν χωρητικότητα ως προς τους γειτονικούς τους και ως προς τη γείωση, όταν ένας αγωγός αλλάζει κατάσταση συμπαρασύρει και τον γειτονικό του λόγω χωρητικής ζεύξης. Στην υπόθεση ότι οι δύο γειτονικοί αγωγοί αλλάζουν κατάσταση ταυτόχρονα, αυτό μπορεί να αυξήσει ή να μειώσει την καθυστέρηση μεταγωγής. Η συνακρόαση είναι πολύ σημαντική για αγωγούς μεγάλου μήκους.

