

# 计算机体系结构 Lab2

- 在实验一中我们初步了解了 RISC-V 指令集和数据通路，接下来需要用 verilog 去实现我们的 RV32I 流水线 CPU 了。
- 本次实验分为三周，总共分为三个阶段进行验收。每周完成一个阶段。
- 实验结束后一周内需要提交 Lab2 的实验报告。
- **实验工具：Vivado**
- **实验方式：Vivado 自带的波形仿真**

## 阶段一验收要求（30%）：

- 自己手写合适的测试用汇编代码，通过提供的工具生成 .inst 和 .data 文件，用于初始化指令和数据的 Block Memory，或者直接手写二进制测试代码
- 测试用的指令流中需要包含的指令包括 **SLLI、SRLI、SRAI、ADD、SUB、SLL、SLT、SLTU、XOR、SRL、SRA、OR、AND、ADDI、SLTI、SLTIU、XORI、ORI、ANDI、LUI、AUIPC**
- 测试例（汇编和对应的 .inst .data）可以用其他同学提供的，但是需要自己知道对应的指令逻辑，需要能清楚的向助教表达这个测试例如何验证 CPU 功能正确，即正确运行后寄存器值应该是多少
- CPU 执行后，各寄存器值符合预期
- 此时不需要处理数据相关。可以令 Harzard 模块始终输出 stall、flush 恒为 0，forward 恒为不转发，每两条指令之间间隔四条空指令。

## 阶段二验收要求（30%）：

- 自己手写合适的测试用汇编代码，通过提供的工具生成 .inst 和 .data 文件，用于初始化指令和数据的 Block Memory，或者直接手写二进制测试代码
- 测试用的指令流中需要包含的指令包括 **JALR、LB、LH、LW、LBU、LHU、SB、SH、SW、BEQ、BNE、BLT、BLTU、BGE、BGEU、JAL**
- 测试例（汇编和对应的 .inst .data）可以用其他同学提供的，但是需要自己知道对应的指令逻辑，需要能清楚的向助教表达这个测试例如何验证 CPU 功能正确，即正确运行后寄存器值应该是多少
- CPU 执行后，各寄存器值符合预期
- 此时不需要处理数据相关。可以令 Harzard 模块始终输出 stall、flush 恒为 0，forward 恒为不转发，每两条指令之间间隔四条空指令。

## 阶段三验收要求（20%）：

- 利用我们提供的修改过得 RISC-V test 官方测试汇编代码，通过提供的工具生成 .inst 和 .data 文件，用于初始化指令和数据的 Block Memory

- CPU 开始执行后 3 号寄存器的值会从 2 一直累增，该数字正在进行第多少项测试，执行结束后 3 号寄存器值变为 1
- CPU 执行后，各寄存器值符合预期
- 此时需要处理数据相关，实现 Harzard 模块内部逻辑。

## Lab2 实验报告 (20%)：

- 实验目标
- 实验环境和工具
- 实验内容和过程（总结自己所做的三个阶段工作）
- 实验总结（说说自己踩的坑，总结收获，分析下自己花了多少时间，都用来做什么事情）
- 提出改进实验的意见