

实验报告主要内容：

参考 4_ProjectDesignFiles 文件夹中提供的 **CPU 模块图**和 1_VerilogSourceCode 文件夹中对应的 **Verilog 代码**，思考每条指令的数据通路，详细写出**每个待完成模块**的设计思路，并思考如何用 verilog 简洁高效的表达这些逻辑电路。

待实现指令：

RISC-V 32bit 整型指令集（除去 FENCE,FENCE.I,CSR,ECALL 和 EBREAK 指令）

- 可参考官方提供的 RISC-V 用户指令集手册（中文版或者英文版），本文件夹内提供了
- 也可以参考 <https://www.cnblogs.com/mikewolf2002/p/9864652.html>（注意本网站有些错误，对于 branch 指令的功能描述不是很准确，auipc 指令描述有问题，jalr 是 I 型指令不是 U 型）

设计原则：

- 你可以完全按照我们提供的 CPU 模块图，补全模块内部逻辑完成 CPU 设计；
- 也可以根据你的个人理解对 CPU 模块图做出相应修改并在报告中提出你自己的改进方案并给出修改原因。

注意事项：

请在报告中回答下述问题：

1. 为什么将 DataMemory 和 InstructionMemory 嵌入在段寄存器中？
2. DataMemory 和 InstructionMemory 输入地址是字（32bit）地址，如何将访存地址转化为字地址输入进去？
3. 如何实现 DataMemory 的非字对齐的 Load？
4. 如何实现 DataMemory 的非字对齐的 Store？
5. 为什么 RegFile 的时钟要取反？
6. NPC_Generator 中对于不同跳转 target 的选择有没有优先级？
7. ALU 模块中，默认 wire 变量是有符号数还是无符号数？
8. AluSrc1E 执行哪些指令时等于 1'b1？
9. AluSrc2E 执行哪些指令时等于 2'b01？
10. 哪条指令执行过程中会使得 LoadNpcD==1？
11. DataExt 模块中，LoadedBytesSelect 的意义是什么？
12. Harzard 模块中，有哪几类冲突需要插入气泡？
13. Harzard 模块中采用默认不跳转的策略，遇到 branch 指令时，如何控制 flush 和 stall 信号？
14. Harzard 模块中，RegReadE 信号有什么用？
15. 0 号寄存器值始终为 0，是否会对 forward 的处理产生影响？