

NEMONICO	FUNCIONAMENTO	FLAGS
<b>INSTRUCCIONS de TRANSFERENCIA</b>		
MOV r1, r2	$(r1) \leftarrow (r2)$	NINGÚN
MOV r, M	$(r) \leftarrow [(HL)]$	NINGÚN
MOV M, r	$[(HL)] \leftarrow (r)$	NINGÚN
MVI r, byte	$(r) \leftarrow \text{byte}$	NINGÚN
MVI M, byte	$[(HL)] \leftarrow \text{byte}$	NINGÚN
LXI rp, dobreB	$(rpL) \leftarrow \text{Byte-baixo ; Low}$ $(rpH) \leftarrow \text{Byte-alto ; Higt}$	NINGÚN
LDA dir	$(A) \leftarrow [dir]$	NINGÚN
STA dir	$[dir] \leftarrow (A)$	NINGÚN
LHLD dir	$(L) \leftarrow [dir]$ $(H) \leftarrow [dir+1]$	NINGÚN
SHLD dir	$[dir] \leftarrow (L)$ $[dir + 1] \leftarrow (H)$	NINGÚN
LDAX rp	$(A) \leftarrow [(rp)]$ ;Non con HL	NINGÚN
STAX rp	$[(rp)] \leftarrow (A)$ ;Non con HL	NINGÚN
XCHG	$(H) \leftrightarrow (D)$ ; $(L) \leftrightarrow (E)$	NINGÚN
<b>INSTRUCCIONS ARITMÉTICAS</b>		
ADD r	$(A) \leftarrow (A) + (r)$	TODOS
ADD M	$(A) \leftarrow (A) + [(HL)]$	TODOS
ADI byte	$(A) \leftarrow (A) + \text{byte}$	TODOS
ADC r	$(A) \leftarrow (A) + (r) + CY$	TODOS
ADC M	$(A) \leftarrow (A) + [(HL)] + CY$	TODOS
ACI byte	$(A) \leftarrow (A) + \text{byte} + CY$	TODOS
SUB r	$(A) \leftarrow (A) - (r)$	TODOS
SUB M	$(A) \leftarrow (A) - [(HL)]$	TODOS
SUI byte	$(A) \leftarrow (A) - \text{byte}$	TODOS
SBB r	$(A) \leftarrow (A) - (r) - CY$	TODOS
SBB M	$(A) \leftarrow (A) - [(HL)] - CY$	TODOS
SBI byte	$(A) \leftarrow (A) - \text{byte} - CY$	TODOS
INR r	$(r) \leftarrow (r) + 1$	Z, S, P, AC
INR M	$[(HL)] \leftarrow [(HL)] + 1$	Z, S, P, AC
DCR r	$(r) \leftarrow (r) - 1$	Z, S, P, AC
DCR M	$[(HL)] \leftarrow [(HL)] - 1$	Z, S, P, AC
INX rp	$(rp) \leftarrow (rp) + 1$	NINGÚN
DCX rp	$(rp) \leftarrow (rp) - 1$	NINGÚN
DAD rp	$(HL) \leftarrow (HL) + (rp)$	CY
DAA	Axuste BCD de (A)	NINGÚN
CMP r	$(A) - (r)$	TODOS
CMP M	$(A) - [(HL)]$	TODOS
CPI byte	$(A) - \text{byte}$	TODOS
<b>INSTRUCCIONS LÓXICAS</b>		
;Todas elas poñen (CY) $\leftarrow 0$ e (AC) $\leftarrow 1$ , excepto CMA		
ANA r	$(A) \leftarrow (A) \text{ and } (r)$	TODOS
ANA M	$(A) \leftarrow (A) \text{ and } [(HL)]$	TODOS
ANI byte	$(A) \leftarrow (A) \text{ and byte}$	TODOS
XRA r	$(A) \leftarrow (A) \text{ xor } (r)$	TODOS
XRA M	$(A) \leftarrow (A) \text{ xor } [(HL)]$	TODOS
XRI byte	$(A) \leftarrow (A) \text{ xor byte}$	TODOS
ORA r	$(A) \leftarrow (A) \text{ or } (r)$	TODOS
ORA M	$(A) \leftarrow (A) \text{ or } [(HL)]$	TODOS
ORI byte	$(A) \leftarrow (A) \text{ or byte}$	TODOS
CMA	Complemento a 1 de (A)	NINGÚN

NEMONICO	FUNCIONAMENTO	FLAGS
<b>INSTRUCCIONS de ROTACION e FLAGS</b>		
RLC	Rotacion esquerda do Ac.	CY
RRC	Rotación direita do Ac.	CY
RAL	Rotación á esquerda con CY do Ac.	CY
RAR	Rotación á direita con CY do Ac.	CY
CMC	$(CY) \leftarrow \text{non } (CY)$ ;Invirte (CY)	CY
STC	$(CY) \leftarrow 1$	CY
<b>INSTRUCCIONS de SALTO ou BIFURCACION</b>		
<b>Salto se sinalizador = 0</b>		<b>Salto se sinalizador = 1</b>
ccc=NZ salto se non cero, Z=0		ccc=Z salto se cero, Z=1
ccc=NC salto se non acarreo, CY=0		ccc=C salto se acarreo, CY=1
ccc=PO salto se paridade impar, P=0		ccc=PE salto se paridade par, P=1
ccc=P salto se positivo, S=0		ccc=M salto se negativo, S=1
JMP dir	$(PC) \leftarrow \text{dir}$	NINGÚN
Jccc dir	Se ccc=1, $(PC) \leftarrow \text{dir}$ ; Se ccc=0, $(PC) \leftarrow (PC) + 3$	NINGÚN
CALL dir	Garda PC na Pila e $(PC) \leftarrow \text{dir}$ ;pón dir en PC	NINGÚN
Cccc dir	Se ccc=1, garda PC na Pila e $(PC) \leftarrow \text{dir}$ ;pón dir en PC Se ccc=0, $(PC) \leftarrow (PC) + 3$	NINGÚN
RET	Recupera PC da Pila	NINGÚN
Rccc	Se ccc=1, recupera PC da Pila Se ccc=0, $(PC) \leftarrow (PC) + 1$	NINGÚN
RST n	$(PC) \leftarrow n \times 8$	NINGÚN
PCHL	$(PC) \leftarrow (HL)$	NINGÚN
<b>INSTRUCCIONS de MANEXO da PILA</b>		
PUSH rp	$[(SP)-1] \leftarrow (rpH)$ $[(SP)-2] \leftarrow (rpL)$ $(SP) \leftarrow (SP) - 2$	NINGÚN
PUSH PSW	$[(SP)-1] \leftarrow (A)$ $[(SP)-2] \leftarrow (RF)$ ;RF= Rex. Flags $(SP) \leftarrow (SP) - 2$	NINGÚN
POP rp	$(rpL) \leftarrow [(SP)]$ $(rpH) \leftarrow [(SP)+1]$ $(SP) \leftarrow (SP) + 2$	NINGÚN
POP PSW	$(RF) \leftarrow [(SP)]$ ;RF= Rex. Estado $(A) \leftarrow [(SP)+1]$ $(SP) \leftarrow (SP) + 2$	NINGÚN
XTHL	$(L) \leftrightarrow [(SP)]$ $(H) \leftrightarrow [(SP)+1]$	NINGÚN
SPHL	$(SP) \leftarrow (HL)$	NINGÚN
<b>INSTRUCCIONS DE ENTRADA E SAÍDA</b>		
IN porta	$(A) \leftarrow [\text{porta}]$	NINGÚN
OUT porta	$[\text{porta}] \leftarrow (A)$	NINGÚN
<b>INSTRUCCIONS de CONTROL do PROCESADOR</b>		
EI	Habilita interrupcións	NINGÚN
DI	Inhabilita interrupcións	NINGÚN
HLT	Para o microprocesador	NINGÚN
NOP	Non fai nada	NINGÚN
RIM	Le da liña serie e estado interrupcións.	NINGÚN
SIM	Escrebe na liña serie e Programa interrupcións.	NINGÚN

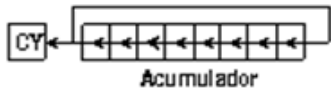
NEMÓNICO	Código OP	Estados	Modo Direccionamento
<b>INSTRUCCIONS de TRANSFERENCIA</b>			
MOV r1, r2	01DDDDFF	4	Por Rexistro
MOV r, M	01DDD110	7	Ind. Parella Rex.
MOV M, r	01110FFF	7	Ind. Parella Rex.
MVI r, byte	00DDD110	7	Inmediato
MVI M, byte	00110110	10	Inmediato
LXI rp, dobreB	00rp0001	10	Inmediato
LDA dir	3Ah	13	Directo
STA dir	32h	13	Directo
LHLD dir	2Ah	16	Directo
SHLD dir	22h	16	Directo
LDAX rp	00rp1010	7	Ind. Parella Rex.
STAX rp	00rp0010	7	Ind. Parella Rex.
XCHG	EBh	4	Por Rexistro
<b>INSTRUCCIONS ARITMETICAS</b>			
ADD r	10000FFF	4	Por Rexistro
ADD M	86h	7	Ind. Parella Rex.
ADI byte	C6h	7	Inmediato
ADC r	10001FFF	4	Por Rexistro
ADC M	8Eh	7	Ind. Parella Rex.
ACI byte	CEh	7	Inmediato
SUB r	10010FFF	4	Por Rexistro
SUB M	96h	7	Ind. Parella Rex.
SUI byte	D6h	7	Inmediato
SBB r	10011FFF	4	Por Rexistro
SBB M	9Eh	7	Ind. Parella Rex.
SBI byte	DEh	7	Inmediato
INR r	00FFF100	4	Por Rexistro
INR M	34h	10	Ind. Parella Rex.
DCR r	00DDD101	4	Por Rexistro
DCR M	35h	10	Ind. Parella Rex.
INX rp	00rp0011	6	Por Rexistro
DCX rp	00rp1011	6	Por Rexistro
DAD rp	00rp1001	10	Por Rexistro
DAA	27h	4	Implicito
CMP r	10111FFF	4	Por Rexistro
CMP M	BEh	7	Ind. Parella Rex.
CPI byte	FEh	7	Inmediato
<b>INSTRUCCIONS LOXICAS</b>			
;Todas elas poñen (CY) ← 0 e (AC) ← 1, excepto CMA			
ANA r	10100FFF	4	Por Rexistro
ANA M	A6h	7	Ind. Parella Rex.
ANI byte	E6h	7	Inmediato
XRA r	10101FFF	4	Por Rexistro
XRA M	AEh	7	Ind. Parella Rex.
XRI byte	EEh	7	Inmediato
ORA r	10110FFF	4	Por Rexistro
ORA M	B6h	7	Ind. Parella Rex.
ORI byte	F6h	7	Inmediato
CMA	2Fh	4	Por Rexistro

NEMÓNICO	Código OP	Estados	Modo Direccionamento
<b>INSTRUCCIONS de ROTACION e FLAGS</b>			
RLC	07h	4	Por Rexistro
RRC	0Fh	4	Por Rexistro
RAL	17h	4	Por Rexistro
RAR	1Fh	4	Por Rexistro
CMC	3Fh	4	Por Rexistro
STC	37h	4	Por Rexistro
<b>INSTRUCCIONS de SALTO ou BIFURCACION</b>			
<b>Salto se sinalizador = 0</b>		<b>Salto se sinalizador = 1</b>	
ccc=NZ s. se non cero, Z=0		ccc=Z salto se cero, Z=1	
ccc=NC s. se non acarreo, CY=0		ccc=C S. se acarreo, CY=1	
ccc=PO s. se paridade impar, P=0		ccc=PE se paridade par, P=1	
ccc=P salto se positivo, S=0		ccc=M S. se negativo, S=1	
JMP dir	C3h	10	Directo
Jccc dir	11ccc010	7 se ccc=1 10 se ccc=0	Directo Relativo a Rex. PC
CALL dir	CDh	18	Directo
Cccc dir	11ccc100	9 se ccc=1 18 se ccc=0	Directo Relativo a Rex. PC
RET	C9h	10	Ind. a Rexistro SP
Rccc	11ccc000	6 se ccc=1 12 se ccc=0	Ind. a Rexistro SP Relativo a Rex. PC
RST n	11NNN111	12	Directo
PCHL	E9h	6	Por Rexistro
<b>INSTRUCCIONS de MANEXO da PILA</b>			
PUSH rp	11rp0101	12	Por Rexistro
PUSH PSW	F5h	12	Por Rexistro
POP rp	11rp0001	10	Por Rexistro
POP PSW	F1h	10	Por Rexistro
XTHL	E3h	16	Por Rexistro
SPHL	F9h	6	Por Rexistro
<b>INSTRUCCIONS DE ENTRADA E SAIDA</b>			
IN porta	DBh	10	Directo a M. E/S
OUT porta	D3h	10	Directo a M. E/S
<b>INSTRUCCIONS de CONTROL do PROCESADOR</b>			
EI	FBh	4	
DI	F3h	4	
HLT	76h	5	
NOP	00h	4	
RIM	20h	4	
SIM	30h	4	
Rex. 8 bits	Código	Código	Rex. de 16 bits
B	000	00	B ;(B-C)
C	001	01	D ;(D-E)
D	010	10	H ;(H-L)
E	011	11	SP
H	100		
L	101		
M	110		
A	111		

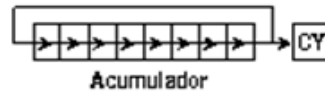
M<=>[(HL)]

## Instrucciones de ROTACIÓN e FLAGS

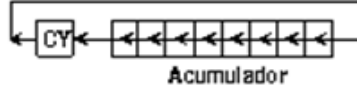
**RLC**



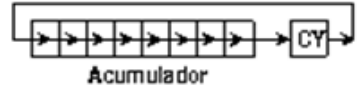
**RRC**



**RAL**



**RAR**



Longitud: 1 Byte (Opcode)

Direccionamiento: por Registro (implícito)

Sinalizadores: CY

Ciclos Máq.: 1 Estados: 4

**CMC**

$(CY) \leftarrow \text{non } (CY)$

**STC**

$(CY) \leftarrow 1$

Direccionamiento: por Registro (implícito)

Sinalizadores: CY

Ciclos Máq.: 1 Estados: 4

**EXEMPLO: Uso de CMC e STC**

		S	Z	AC	P	CY	
	A					1	Antes
1000	CMC					0	
1001	STC					1	Despois
1002							
1003							

